

摘要

时序、面积和功耗是芯片设计中的重要因素，随着半导体工艺的进步，功耗因素在芯片设计中的关注度逐渐增高。业界已经有一套低功耗设计方法，我们在一款低功耗芯片的设计实现以及验证流程中，使用了基于IEEE1801标准Unified Power Format (UPF) 的部分技术，成功的完成了从RTL到GDSII的全部过程，芯片已经完成投片并进行了测试，测试表明芯片一切正常工作，从而验证了所用到的低功耗设计方法的可行性。

本文先介绍了物理设计中的低功耗技术，描述了CMOS电路功耗的组成，包括动态功耗与静态功耗以及它们之间的矛盾。介绍了门控时钟、多阈值电压逻辑、多供电电压和门控电源等低功耗设计的技术。分析了多电压供电的策略和设计中的遇到的困难，对常用的电平转换单元进行了描述。电源门控技术是比较复杂的一种低功耗设计方法，其中还用到了许多特殊的电源管理器件，如MTCMOS、隔离单元、保持寄存器等，而且电源开关网络的控制和门控电源控制器的设计都要经过深入的研究。

本文介绍了Synopsys基于UPF的低功耗设计流程，对UPF文件的内容进行详细的分析。UPF描述了设计的功耗意图，如芯片电源管理的供电网络，隔离单元、电平转换单元的插入，电源开关单元等各个方面。它指定如何为各个设计建立电源网络，各个电源线之间的行为，以及用来支持设计动态电源关断额外的逻辑功能等。UPF并不提供布局布线的信息，和RTL描述设计也是分开的。UPF文件主要的内容包括：对电压域的描述，对电源网络的描述，对电源关断单元的描述，对隔离单元的描述，对电平转换单元的描述，对电源状态的描述。

最后利用Synopsys的EDA平台对SEP6010B芯片进行低功耗物理设计，包括布图规划，电压域的创建，电源关断单元的插入、布局以及控制信号的连接，电源网络综合和分析，布局，时钟树综合，布线。

关键词：低功耗； 门控电源； UPF； 物理设计

Abstract

Timing, area and power are important factors in chip design. Along with advances in semiconductor technology, the attention of power factor in chip design gradually increased. Industry has a set of low-power design methods. Recently, we designed a chip with low power implementation and verification. We used part of IEEE1801 standard based Unified Power Format (UPF) technology, successfully completed the whole flow of RTL to GDSII. The chip has been manufactured and tested, the low-power design methods of this chip has been verified.

This paper first introduces the low power technology of physical design. We describe the theory of power in CMOS circuits, includes dynamic power and static power, and the relation of dynamic power and static power. Clock gating, multiple threshold voltage logic, multi-VDD and power gating technology was introduced. The strategy and difficult of multi-VDD was analyzed. Power gating is a complicated low power design technology. There are some special PM cells, such as MTCMOS, isolation cell, retention registers. The power switch network and power gating controller should be carefully researched.

Synopsys UPF low power design flow was introduced, and the UPF file was analyzed carefully. The low power design intent was described by UPF, such as whole chip power manage supply network, the insertion of isolation cells and level shifters, power switch cells. The power grid and strap, the relation of power rails and RTL description was included by UPF file. The UPF files contain: describing power domain, describing power network, describing power switch cells, describing isolation cells, describing level shifters, describing power state table.

Finally, the physical design of SEP6010B was implemented by Synopsys EDA tools. The flow contain: floor-plan, creating voltage area and MTCMOS, placement and control wire connection, PNS, CTS, routing.

Key Words: Low power; Power gating; UPF; Physical design

第一章 绪论

1.1 课题背景及意义

在过去二十年,复杂芯片经历了一系列的革新,在二十世纪八十年代引入了基于语言描述的电路设计和综合,在二十世纪九十年代设计复用和IP的采用成为设计中的主流方式,最近几年,低功耗设计成为复杂SoC芯片设计中的一个关注点^[1,2]。

以上每次技术革新都是由半导体技术进步推动而来,随着晶体管特征尺寸的减小,芯片密度的指数级增大,基于语言描述的设计和综合被应用到芯片设计中来,大大的增加了设计效率,这种革新和半导体工艺进步一起支撑了摩尔定律。但是在百万门级时代,工程师发现一个新的芯片设计中并不会写入太多的新代码,结果就是大的芯片设计里面采用IP和设计复用方式,并因此提高了效率和节省了人力。今天每个SoC设计都会充分应用IP来享受深亚微米及纳米级工艺所带来的芯片密度增加的好处^[3]。

进入深亚微米工艺,从130um开始,提出了一系列设计问题。我们可以在一颗相当小的芯片中集成数以千万门的门电路,因此造成大的功耗密度和功耗损失,功耗问题开始考验封装、冷却技术。在90nm及以下工艺中,泄漏电流急剧增大,在一些65nm设计中,泄漏电流大到几乎相当于动态电流^[4]。

这些挑战对芯片设计有相当大的影响,高性能芯片的功耗密度问题已经导致芯片的频率无法随着工艺水平的提高而提高,结果设计者开始设计多处理器芯片以代替单个超高频处理器。

电池供电的电子设备在电子市场中的份额逐渐增大,深亚微米及纳米级工艺下的功耗问题已经成为一个显著问题。为了克服这个问题,设计者们采用了一系列措施在设计的每个阶段,从软件到架构再到实现。这些措施包括时钟关断、电源关断、多阈值电压库等。

在所有高性能芯片应用中,复杂SoC芯片的功耗问题成为芯片设计的挑战,面对这个挑战,设计者把供电方案由单电源供电改成多电源供电,在多电源供电方案中,不同模块根据应用,工作在不同的电压下。在某些情况下,设计者采用

可变电压和可变频率技术应用在某个模块上, 根据这个模块不同的负载和性能要求, 去调节这个模块的电压和频率^[5]。

1.2 低功耗设计的研究现状

目前 SOC 低功耗设计技术的研究主要集中在两个方面: 低功耗电路设计和低功耗 EDA 软件研究。低功耗电路设计的研究和其本身的产品方向有着密切关系, 拥有生产线的厂商主要集中在生产工艺方面, 如 LSI Logic 、TSMC 等。EDA 供应商则主要集中在低功耗软件研究方面如 Synopsys、Mentor 等。而一些大型处理器设计公司则比较关注 SOC 各个层次的设计技术和低功耗处理器模型的研究如 ARM、IBM 和 NEC 等^[5]。

所谓低功耗电路设计, 是指在 IC 设计过程中采用各种手段, 降低影响功耗的各种参数, 并最终达到降低系统功耗的目的。与 IC 设计流程相对应, 低功耗设计可以贯穿所有设计层次, 通过实践验证, 按照目前自顶向下的电路设计方法, 在不同设计层次上的努力对功耗的改善是不同的。随着设计层次的提高, 改善的程度越大。这是因为抽象层次越高表明在数字系统的设计中进行低功耗考虑得越早, 因此在较高抽象层采用的低功耗设计策略效果越明显。根据介入系统设计阶段的不同, 系统的低功耗设计方法可以分成若干层次。按照抽象层次的不同, 可以分为: 系统级、寄存器传输级、逻辑门级、电路级。如表 1.1 所示, 是各抽象层次相应的低功耗技术以及它们对功耗的影响。

表 1.1 各抽象层次的低功耗技术划分

Table1.1 Low power technology for different level

抽象层次	对功耗的影响	典型低功耗技术
系统级	50%--90%	功能划分, 功耗管理, 变电压技术
行为级	30%--50%	数据本地化, 并行操作, 流水线
RTL级	30%--50%	数据编码, 多时钟技术, 结构转换, 存储器分段
逻辑级	20%--30%	逻辑表达式转换
晶体管级	10%--20%	尺寸调整, 顺序调整

低功耗EDA 软件的研究主要集中在功耗建模、功耗分析和功耗优化三个方面。国外各大学对低功耗技术的研究比较全面, 但每个大学进行的侧重点不同, MIT主要从事低功耗处理器的研究, 普林斯顿大学主要进行低功耗综合技术的研

究,而其它一些大学则主要从事异步电路的研究。

在国内,当前集成电路无论在设计方面还是制造上都仍处于起步阶段,巨大的芯片消费市场绝大部分被国外芯片供应商所占有,国产芯片不到所需总量的30%,且多为低档芯片。因此开发具有自主产权的高性能、高层次芯片对于想在世界占有一席之地的中国集成电路产业而言已是极其重要了,作为当前世界研究热点及集成电路发展趋势,SOC芯片正是一个极佳的切入点。相应的,国内对低功耗技术的研究同样处于发展阶段,虽然也有一些专门的低功耗研究机构如中科院计算机所,清华大学,东南大学等,但目前开展的一些工作主要集中在工艺研究和功耗建模方面。SOC软件低功耗设计技术的研究较少,硬件低功耗设计技术也有待进一步完善和提高^[7]。

在工业界,人们也越来越意识到低功耗设计的重要性了。Intel、IBM等IC大厂商都成立了独立的低功耗研究中心;AMD公司更是将低功耗移动处理器作为其主要发展方向,写入公司发展规划中;很多公司,特别是移动设备(如手机、笔记本)等生成厂家,都将低功耗作为自己产品的卖点。

总体来说,低功耗技术的研究在近十年取得了长足的进步,但其仍处于发展阶段,很多方面还有待进一步的研究。前期低功耗研究的重点是动态功耗的估算及其优化方法,目前来说这方面的研究已相当成熟。近两年,人们已经转向静态功耗的研究,特别是对其快速、精确计算的方法研究较多。在设计各个层次上,都已有相应的功耗优化方法,但相对而言,寄存器传输级和逻辑门级的研究已较为成熟,体系结构级和算法级的研究还较为薄弱。此外,低功耗测试技术及综合技术方面也取得了相当的成果。

随着集成电路的进一步发展,功耗的制约作用将越来越突显出来,必将促使、吸引IC业界更多地投入到对其的研究中。

要研究SoC的低功耗设计,首先要从物理层次上弄清该集成电路的功耗组成,才能从物理实现到系统实现上采用各种方法来节省功耗达到低功耗设计的目的。芯片电路的功耗主要来自三个方面:动态功耗、内部功耗、泄漏功耗。动态功耗主要是电容的充放电所引起的;内部功耗主要是短路电流所引起的;泄漏功耗主要是漏电流引起的,包括PN结反向电流和亚阈值电流以及穿透电流。在超深亚微米阶段,随着工艺尺寸的不断减小,泄漏功耗呈指数形式上升,其在总功耗中占的比例越来越大,泄漏功耗变得不能忽略,特别是到90nm工艺节点后漏电功耗已逐渐赶上并超越动态功耗成为功耗的主要部分,因而泄漏功耗的降低迫在眉睫。近两年,低功耗研究的重心已经转移到泄漏功耗上。

基于随着介入设计层次的提高,低功耗技术对于降低功耗的效果就越明显这一理论依据,本课题主要从系统级层次的低功耗技术来探讨低功耗设计的相关问

题。低功耗设计的原则之一就是在设计的初期考虑功耗问题。在典型的SoC设计中，80%的功耗在RTL确定之前就已经确定，当RTL就位后，设计师只能影响20%的功耗。传统的设计流程常常是通过诸如功耗优化、门控时钟和多阈值电压等技术来降低RTL之后的优化。如果需要大幅度降低功耗，则需采用目标更明确的技术，在最终RTL确定之前降低功耗。低功耗架构选择、电源关断、多供电电压和动态电压频率调节等技术就是这方面的应用。

各种低功耗技术在设计中的应用必然会影响到其它设计参数，如面积和时序。更重要的是，它们对设计方法学将会有重大影响。方法学的影响包括架构选择、验证、合成、测试以及实现阶段。表1.2列出了各低功耗技术所造成的影响。

表1.2 功耗影响

Table1.2 The influence of power consumption

功耗降低技术	漏电功耗/ 倍	动态功耗/ 倍	时序影 响	面积影 响	架 构	设 计	验 证	实 现
门控时钟	0	20	小	小	无	低	低	中
多阈值电压	6	0	小	小	无	低	无	低
多供电电压	2	40-50	一些	小	高	中	中	高
电源关断	10-50	0	一些	一些	高	高	高	高
动态电压频率调节	2-3	40-70	一些	一些	高	高	高	高

由上表可以看出，电源关断技术对泄漏功耗的降低效果较好，而动态电压频率调节技术与多供电电压技术及门控时钟技术主要针对于动态功耗的降低，从表中还可以看到，电源关断技术、动态电压频率调节技术与多供电电压技术这三种技术对功耗降低影响最大的同时，对设计的时序、面积和设计方法如架构选择、设计、验证和布局布线也会有比较大的影响。

此外，集成电路设计流程中设计数据是有统一的格式的，系统设计到逻辑综合由RTL网表传递，逻辑综合到物理实现则由门级网表传递，布局布线后，逻辑验证和形式验证由门级网表传递。显然，对于低功耗设计我们也需要一种统一的功耗约束文件，目前业界有两个较成熟的功耗格式文件，其一是2006年由Cadence公司发布的针对解决低功耗设计的约束文件：通用功耗格式CPF(common power format)文件。CPF文件作为一种严格基于TCL格式的约束文件，称之为“通用”是

因为它所表达的低功耗设计约束能够支持整个Cadence从验证、综合、测试、物理综合、布线到签收的几乎所有的数字设计工具^[8]。其二是由Synopsys发布的统一通用格式(Unified Power Format, UPF), UPF和CPF一样也是一种严格基于TCL格式的功耗约束文件, 它作为专为低功耗设计的逻辑扩展规范, 为那些不能通过HDL语言在RTL代码中描述出来的功耗约束信息提供了一个统一的格式^[9]。这两种约束文件的产生为前后端设计提供了很好的交互平台, 有利于设计的可预测性和可验证性。本文将重点介绍基于UPF的低功耗物理设计。

1.3 本文的主要内容

本文根据Synopsys的低功耗设计流程, 基于UPF文件实现了SEP6010B芯片的物理设计, 主要内容如下:

第一章是绪论, 介绍了课题的研究背景和意义, 以及目前国内外低功耗设计的研究现状。

第二章是介绍物理设计中的低功耗技术, 描述了CMOS电路功耗的组成, 包括动态功耗与静态功耗以及它们之间的矛盾。介绍了门级低功耗物理设计技术包括门控时钟等、多阈值电压逻辑、多供电电压技术和门控电源技术。

第三章是基于UPF的低功耗物理设计分析, 介绍了Synopsys基于UPF的低功耗设计流程, 对UPF文件的内容进行详细的分析。

第四章是SEP6010B芯片的低功耗物理设计, 介绍了SEP6010B芯片的结构和应用场合, 低功耗的管理模式, 采用UPF的设计流程完成了布局布线。

第二章 物理设计中的低功耗技术

2.1 CMOS 电路功耗

2.1.1 CMOS 电路功耗的组成

SoC芯片功耗由动态功耗和静态功耗组成。动态功耗来源于器件上电情况下的电路翻转，静态功耗来源于器件上电而电路不翻转时器件消耗的功耗，例如在CMOS器件中，静态功耗源自泄漏功耗。

第一个并且是最主要的动态功耗来源是转换功耗，由对门电路输出电容充放电造成，如图2.1所示^[10]。

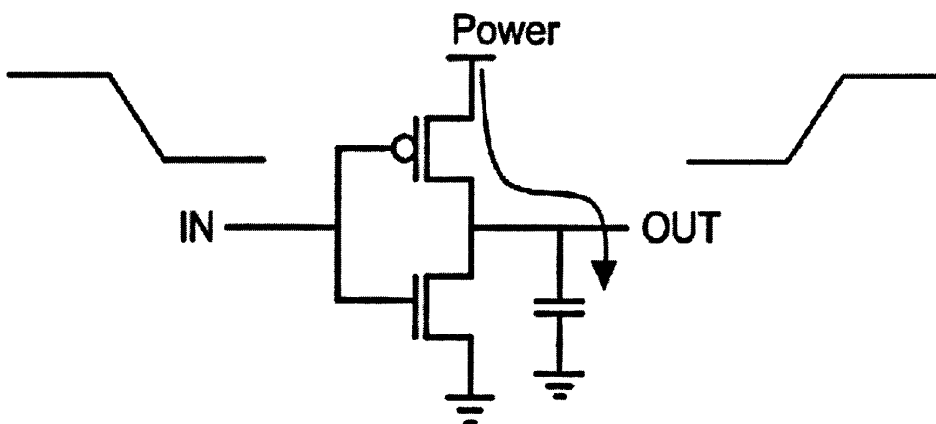


图2.1 动态功耗示意图

Figure 2.1 The schematic of dynamic power consumption

电路每次翻转等效于对电容的充电或放电一次，每次消耗的能量为

$$E = \int_0^V \frac{1}{2} CV^2 = CV^2 \quad (2-1)$$

以时钟翻转为参考，一次时钟翻转并不一定造成门电路输出的翻转，可以定义每个时钟周期 T ，门电路输出翻转的概率 P_{tran} ， n 个周期的功耗见式(2-2)。

$$P_{dyn} = nP_{tran}E / nT = P_{tran}CV^2f = C_{eff}V^2f \quad (2-2)$$

动态功耗除了包含转换功耗外还包括门电路内部功耗，如图2.2，示意了内部转换电流，内部转换电流一部分是内部短路电流直接贯穿于电源、NMOS、PMOS

和地，另一部分用于对门电路内部电容的充放电。

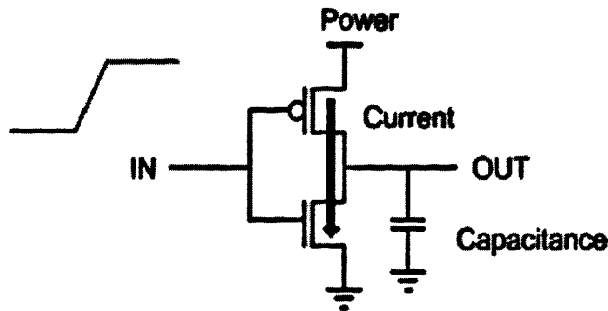


图2.2 电路内部功耗

Figure2.2 Crowbar current consumption

加上电路内部功耗之后的动态功耗如下：

$$P_{dyn} = C_{eff}V^2f + t_{short}VI_{short}f \tag{2-3}$$

其中 t_{short} 是内部短路电流的持续时间， I_{short} 是内部转换电流。内部短路电流是由 PMOS 和 NMOS 同时导通造成，所以只要输入信号坡度足够陡，那么 PMOS 和 NMOS 同时导通的时间就足够短，因此内部短路电流所造成的功耗就足够小，在不考虑内部短路电流的情况下，可以用转换功耗代替动态功耗。

由于供电电压对功耗呈平方的贡献关系，降低供电电压是非常有效的减小动态功耗的方式。但是随着供电电压的减小，MOS 管的驱动电流也随之减小，从而速度也相应降低下来，设计者可以根据应用场合利用降电压的方式。对于频率要求不高的模块，例如外围设备，可以采用低电压供电，而其它高速电路采用高电压供电，这种方法称之为“多电压”；对于处理器因为任务不同，可以对它采用可变电电压技术供电，当对处理器性能要求高时，对处理器提供高电压和高频的时钟，当对处理器性能要求低时，对处理器提供低电压和低频时钟，这种方式称之为电压缩放^[11]。

另外一个降低动态功耗的方法是门控时钟，使时钟不翻转，从而使动态功耗将为零^[12]。

静态功耗主要来源于晶体管的泄漏功耗，在 MOS 管中，主要有四种泄漏功耗：

- (1) 亚阈值电流：MOS 管工作在弱反型区时，MOS 管源漏之间的电流。
- (2) 栅漏电流：栅漏电流是由于栅氧隧穿效应导致的直接从栅经过栅氧到衬底

的电流。

(3) 栅诱导漏电流：由于栅漏电压VDG形成的强电场导致电流从漏流向衬底。

(4) 反偏结电流：PN结少子漂移电流

泄漏电流在晶体管中的示意图如下图2.3所示，图中I1为源漏PN结反偏漏电流，I2为亚阈值电流，I3为栅氧化层穿透引起的泄漏电流，I4为热载流子注入引起的栅电流，I5为栅诱导漏电流，I6为沟道穿透电流^[13]：

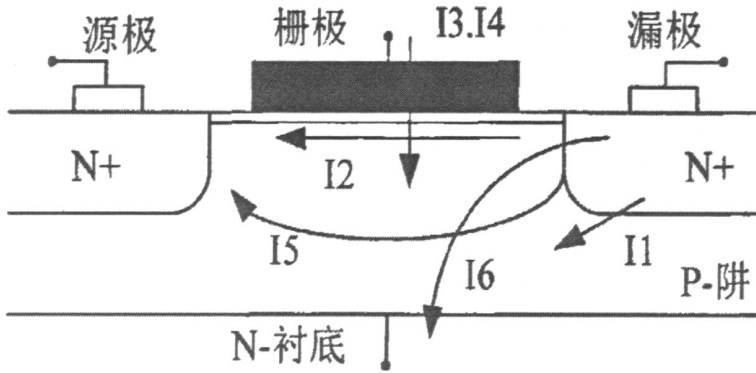


图2.3 泄漏电流在晶体管中的示意图

Figure2.3 Leakage current in MOSFET

2.1.2 动态功耗和静态功耗之间的矛盾

最有效的降低静态功耗的方法是降低供电电压VDD，随着晶体管尺寸的减小，VDD经历了5V、3.3V、2.5V、1.2V，高性能的器件甚至会使用更低的电压。VDD降低的同时也带来了不好的影响，低的VDD导致小的MOS管驱动电流，从而导致电路速度的降低。MOS管驱动电流可以近似如下：

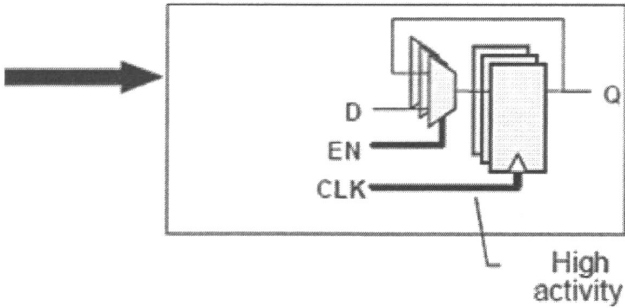
$$I = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (2-4)$$

对于PMOS， $V_{GS} = VDD - V_G$ 。其中， μ 为载流子迁移率， C_{ox} 为栅电容， V_{th} 为阈值电压， V_{GS} 为栅源电压，从上式可以看出，为了降低动态功耗，VDD被降低，为了补偿速度的损失，阈值电压需要降低。但是，亚阈值漏电流随着阈值电压的降低呈指数级的增长，漏电流会增加的非常快，导致静态功耗迅速增加，这与动态功耗的降低是矛盾的。

2.2 门级低功耗物理设计技术

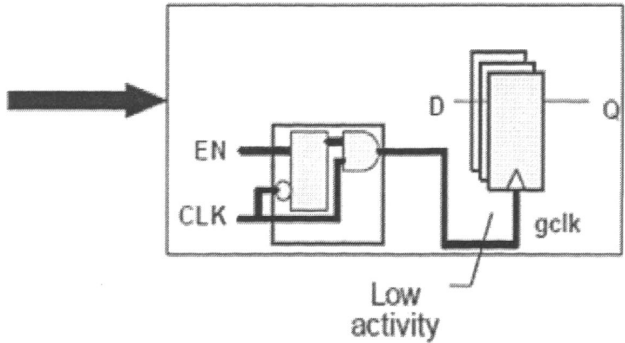
2.2.1 门控时钟技术

时钟网络的功耗占整个芯片的功耗的相当一部分，50%甚至更多的动态功耗消耗在时钟缓冲器上，很明显这些时钟缓冲器有很高的翻转率，为了满足时钟网络上插入延迟和信号陡度的要求，相当多的时钟缓冲器会选用延时小，驱动能力大的缓冲器。另外，寄存器即使输入输出信号不变，但时钟翻转时，寄存器内部还是有器件会翻转的，造成功耗损失^[14]。备电模式下，最大的动态功耗来源于时钟，时钟接到空闲模块上，不仅会增加时钟负载，而且会造成假的数据活动性。现在的综合工具都支持插入门控单元，根据电路描述自动识别需要插入门控的地方。



(a) 不带门控时钟单元的电路

(a) The circuit without clock gating



(b) 带门控时钟单元的电路

(b) The circuit with clock gating

图2.4 门控时钟技术

Figure2.4 Clock gating technology

根据RTL，在图2.4中上图中寄存器的Q端数据由EN信号控制其是否更新。另一种综合方式是通过EN信号去开关控制时钟。图中如果寄存器数目不多，那么功耗节省不大，如果一个EN信号控制比较多的寄存器的时钟，则可以节省可观的功耗，不仅寄存器上的功耗得到节省，而且时钟树上面的一部分缓冲器上的功耗也节省了。不过值得注意的是，由于时钟门控会产生专门的门控电路，所以如果一个EN信号如果控制的寄存器太少的话，并且关断时钟的频率不高的话，那么并不能有效节省功耗，所以门控单元的扇出在32或64是比较好的^[15]。

早期的设计里，前端设计者要在代码里例化门控电路，但这样的门控容易产生毛刺，造成逻辑错误，现在常用的门控有latch和与门组成的门控、集成门控单元^[16]。只要RTL中有门控描述，如：

```
always @(posedge CLK)
```

```
  If(EN)
```

```
    Q<=D;
```

那么综合工具就可以自动插入门控，例如在Synopsys的Design Compiler 工具中，采用Compile_ultra -gate_clock 即可在综合是自动插入门控时钟。除了门控技术，还有考虑功耗优化的布局和一系列逻辑优化技术去优化动态功耗。

2.2.2 其它门级功耗优化技术

在物理设计阶段对于门级的功耗优化技术还有以下方法，由于优化的力度有限，下面仅做简单介绍。

(1) 插缓冲器：插入缓冲器以减少电容负载减少充放电功耗，并且可以减少输入跳变时间,从而减少作为负载门电路的内部功耗。

(2) 单元尺寸更改：在关键时序路径上，减小高翻转率的单元的尺寸，增大低翻转率的单元的尺寸，在不恶化时序的前提下，可以节省功耗；在非关键时序路径上，可以对某些单元减小尺寸，节省功耗。

(3) 端口交换：对于一个多输入的门电路，多个端口在功能上等价的，但是每个端口的输入电容并不相同，把接到大输入电容端口的高翻转率的节点与接到小输入电容端口的低翻转率的节点交换。

(4) 相位重分配：相位偶数次倒向，消除高翻转率节点上的反向器。

(5) 逻辑重映射：一个与门的输出端有相当高的翻转率，与门的后面紧接着一个NOR门，可以把这两个门重映射成AND-OR和一个反向器，这样高翻转率的节点就变到了单元内部，使得重映射后的电路功耗小于重映射前的电路功耗。

(6) 低功耗布局技术：对于高翻转率的非时钟net，使net两端的单元靠近，可以缩短net布线长度，减小负载电容，节省功耗，如图2.5所示。

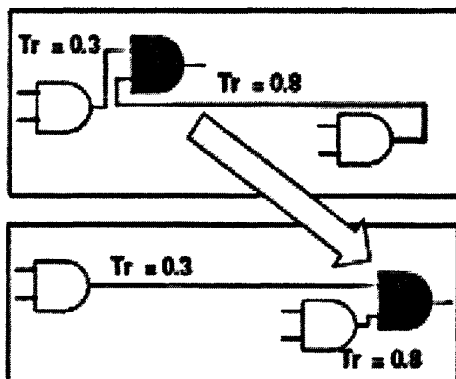


图2.5 低功耗布局示意图

Figure 2.5 The diagram of low power placement

2.3 多阈值电压逻辑

随着半导体工艺尺寸减小至130nm,90nm及以下，数字集成电路中采用多阈值电压库已经成为常用的降低泄漏功耗的方式。亚阈值电流与阈值电压呈指数级关系，而延时对于阈值电压的相关度要弱于亚阈值电流与阈值电压的相关度。现在先进工艺的标准单元库基本上会提供多个版本阈值电压的标准单元，低阈值、普通阈值、高阈值。物理实现阶段，布局布线工具可以利用多阈值电压库同时进行时序和功耗的优化^[17]。

对于时序不难满足的电路，一般在综合时采用高阈值电压的标准单元，如果综合时的时序不满足条件，也可写出网表给后面的布局布线工具进行设计的布局布线工作，在此过程中，再加入标准阈值和低阈值的单元进行时序优化，这样即能满足时序又能使泄漏功耗最小化。但是，采用速度慢的高阈值电压单元会导致在逻辑映射时映射出那些具有大面积的电路结构，会增加芯片的面积，也可能引起动态功耗和泄漏功耗的增加。

对于时序难满足的电路,在综合以及布局布线时三种阈值电压的标准单元都采用。每一阶段均使用功耗优化相关措施来进行其设计的功耗优化,再在最后的时序收敛阶段将非关键路径上的低阈值电压单元替换成高阈值电压单元以最大化减小泄漏功耗。这种方法在综合时会使用过多的低阈值电压单元,同时数据路径的结构也不是最优化的。这是因为低阈值单元的使用并没有限制,较多的采用低阈值电压标准单元来满足那些低性能的数据通路的时序,映射出的电路结构不一定是最优的,导致在后面流程中许多低阈值电压标准单元无法批量把它们替换成高阈值电压的标准单元,泄漏功耗相对过大。

2.4 多供电电压技术

众所周知,动态功耗正比于VDD的平方,如果降低VDD电平值,则可以显著降低功耗值,VDD的降低带来功耗降低的同时也带来了门电路延时的增大。类似于门控时钟,多供电电压需要考虑一系列问题,诸如以下:规划的实施,可验证性设计。在实施阶段,布图规划、布局、布线,都要考虑在多电压设计中,不同电压域之间的信号需要通过电平转换进行交互,电平转换单元的摆放是有一定要求的,电平转换单元放在源电压域里面或目的电压域里面面对最终物理实施是不一样的。多电压域的时序分析问题会变得更复杂,首先时序分析需要多电压库的支持,而且时序分析需要分析更多的工艺角组合^[18]。

2.4.1 多电压策略

把芯片内电路分割成若干子部分,每一部分拥有自己的电源,这种方式称之为多电压设计,由于在SOC设计中,不同模块对性能的要求不一样,例如,处理器是芯片中频率要求最高的地方,所以处理器的供电电压要求最高,而UART模块对频率的要求不高,那么UART就可以工作在比较低的电压下面了,动态功耗和静态功耗都会因此降低。

为了降低功耗,可以利用很多电源策略,例如,当处理器任务多时,对其提供高电压,当处理器任务少时,对其提供低电压。同样也可以对RAM提供不同的供电电压,当对其进行读写操作时,对其供高电压,当其保持数据时,对其供低电压,当其不工作是也可以关掉它的电源^[19]。多电压策略可以归类如下:

(1) 多静态电压：不同的模块供不同的固定电压。

(2) 多级静态电压：作为多静态电压的扩展，不同模块除了不同供电外，供电电压可以在几级不连续的电压之间调节。

(3) 动态电压频率调节：作为多级静态电压的扩展，根据工作任务的多少，会有许多级电压可以动态调节

(4) 自适应电压调节：作为动态电压频率调节的扩展，工作负载和供电电压之间有反馈环路进行调节。

2.4.2 多电压设计的困难

由多级电压技术带来的设计上的困难包括：

(1) 各级电压域之间信号的传递需要增加电平移位器

由于芯片中各个模块之间电压有差异，信号的传递就会有从高电压区域传到低电压区域的情况或者由低电压区域向高电压区域传递的情况。由高电压区域传到低电压区域时，输出可以直接连接到输入管子的栅上，不用插入特别的接口单元。但是如果这样设计，目标电压域中的所有单元都将重新针对输入高压情况下建库，对时序进行建模，工作量会很大。如果插入特殊设计的电平转换单元，电平转换单元两边的电压域和电平转换单元本身时序模型上各自独立，这样有利于建库和静态时序分析。而由低电压区域向高电压区域传递时，还会有功耗问题。低电压的驱动器直接驱动高电压管子的栅极，如压差较大，则会造成负载单元P管不能完全关断，造成较大漏电流。所以，不同电压域之间需要插入电平转换单元。常规设计里，它只能是单向的，也就是只能是高到低或者是低到高。因此系统在划分不同电压域时，相临电压域之间的关系必须是确定的。也就是一个电压域在工作时电压值只能是永远高于相临区域或者永远低于相临区域，而不能是一段高，一段低。现在也有双向电平转换单元的设计，用来支持相邻电压域电平关系不确定的设计的研究。

(2) 由于芯片各个模块会工作在多种电压下，因此在各种电压下的时序都要满足，增加了静态时序分析的复杂度。一方面，插入的电平转换单元会带来延迟，在设计关键路径和时钟树综合时要充分考虑到这个影响。另一方面，各个模块的供电电压不同，而且在工作中会动态变化，而不同的电压值会带来不同的时

序值。那么需要同时对所有可能的电压情况进行约束，用于综合、静态时序分析和布局布线。在一个电路实现中要同时满足各种电压模式下的时序要求，复杂度要增加很多。

(3) 由于增加了电压域划分以及电平转换单元等器件，电源网络的布局规划、模块接口单元的电源布线等需要仔细考虑。

(4) 由于电压不同，各个模块的上电和关电顺序也需要仔细设计，以避免电路出现死锁。由于各个模块由各自电压源驱动，各模块间有一个上电顺序的问题以保证电路正常功能。一般来说CPU会等待周边模块完全上电完成后再启动。整个上电过程包括上电、PLL稳定、复位信号完成。一些复杂情况下，上电完成后还需要一些握手协议表示上电完成。而且，各个模块电压在工作中还会动态变化，要对电压上升下降的时间进行控制，避免出现过冲现象。否则过高或过低的异常电压值可能会造成电路自锁甚至损坏。这个过程可以用控制信号控制电压的启动、上升过程。最后由于电压控制一般都是由CPU控制，因此电压控制软件需要集成在系统软件中运行。

(5) 板级上要求能够提供各种不同电压，增加板级设计复杂度。

2.4.3 电平转换单元

供电电压差别很大的电压域之间的信号交互显然是需要电平转换单元的，如果把1V电平的信号传输到5V电平的电压域内，1V电平不足以开启PMOS，此时，电平转换单元是必需的。但是同一个芯片内除了PAD，不同电压域的电压差别不可能差别巨大，例如0.9V的电压域和1.2V的电压域之间也需要电平转换单元作为信号接口，这是因为0.9V的信号会造成1.2V电压域的门电路内部PMOS和NMOS同时导通，电流直接从电源经过PMOS和NMOS流到地，造成短路电流，增大了功耗。

另外，标准单元建库时会根据单元的输入跳变时间和输出负载来决定延时，单元的输入跳变时间是单元所在电压域内，信号电平在电源和地之间转换的时间。不同电压域接口处若无电平转换单元，那么单元的输入跳变时间就不是此单元所在电压域内的信号电平在电源和地之间转换的时间，这样使静态时序分析变得不准确。在任意有交互的不同供电电平的电压域之间，都插入电平转换单元，这样

解决了接口处单元的短路电流问题，对电平转换单元建时序库，解决了端口的时序分析问题^[18]。所以任意不同电平的电压域之间都通过电平转换单元进行信号交互是有必要的。

（1）非定向电平转化器

两个不同固定电平的电压域接口处的电平转换单元只需要具备转高或转低的单向转换功能即可，如果是两个非固定电平的电压域信号之间的交互，由于非固定电平的电压域之间电压差有可能为正，也有可能为负，因此就需要自适应调节电平转换方向的电平转换单元。

（2）高到低电平转换单元

高电压域内的高电平信号驱动低电压域的电路，不会出现大的短路功耗之类的问题。低电压域内的端口处门电路接受高电压域内的高电平信号会造成端口处时序分析不准确，可以为低电压域内的所有单元重新建库，使得新库覆盖高的电压摆幅输入，另一种解决方式是端口处插入电平转换单元，只要给电平转换单元建库即可。如图2.6所示，高到低的电平转换单元可以直接由两个串联的反向器组成即可，两个反向器都采用低电压域电源供电。

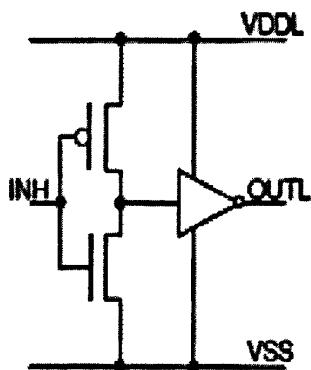


图2.6 高到低电平转换单元

Figure2.6 High to low level shifter

（3）低到高电平转换单元

逻辑信号从低电压域到高电压域传输，在接口处会造成大的短路电流，并且降低噪声容限。对于时钟树还会造成大的时钟偏斜。所以低到高的电平转换单元在逻辑信号从低电压域到高电压域传输时是必需的。如图2.7，显示了一种低到高的电平转化器的电路图，这种结构是低电压供电的两个串联的反向器驱动一个

高电压供电的交叉耦合电路。

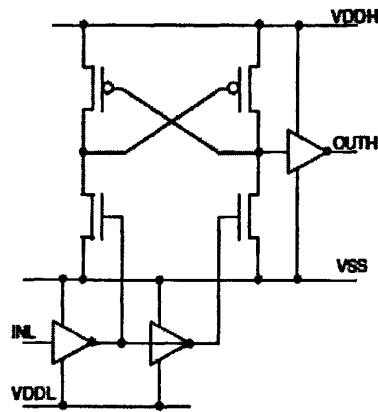


图2.7 低到高电平转换单元

Figure2.7 Low to high level shifter

从电路图中可以看出低到高的电平转换单元电路复杂度要大于高到底的电平转换单元，因此会增加端口延时，会对时序造成影响。

2.5 电源门控技术

电源门控有片外门控和片内门控两种：对于片外门控，例如在SOC中，某个模块可以设计为由单独的电源PAD供电，当这个模块不需要工作时，可以切断它的电源，彻底消除它的功耗，这种关断方式响应时间最长^[20]。

片内关断分为片内LDO关断和片内MTCMOS关断两种。对于片内LDO关断，例如片内某个模块由LDO单独供电，在芯片某个工作模式下可以通过LDO关断这个模块的供电，则可以消除它的功耗。对于片内MTCMOS关断，就是在常开区电源网络和关断区电源网络之间加入一定数量的电源门控单元（MTCMOS），控制信号去控制MTCMOS的开关来实现关断区的开关。

MTCMOS 关断可以关电源也可以关地，如图2.8所示。关断模块的电源与外部电源之间通过关断电路连接，关断电路是由分布在关断区外围的MTCMOS或嵌入在关断区内部的MTCMOS组成，关断区的输出全部加了隔离单元。常开区的电源控制逻辑用来控制MTCMOS开关电路的开关。

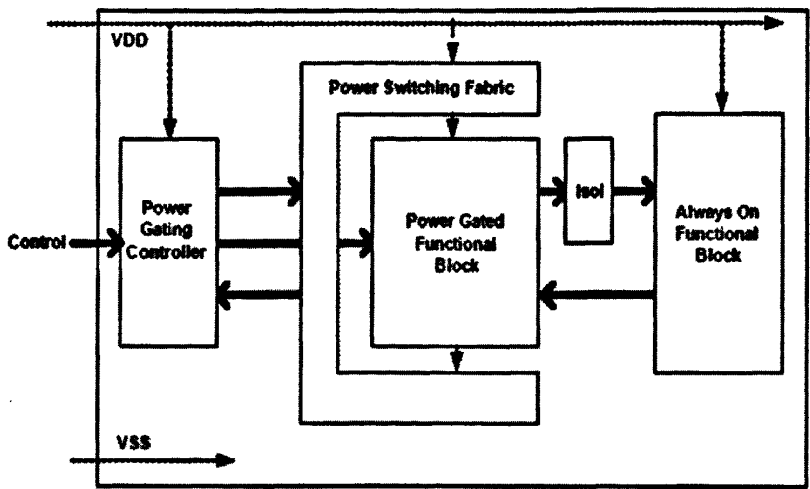


图2.8 SoC电源门控示意图

Figure2.8 Block diagram of an SoC with power gating

有一个问题是关断模块的开关过程中输出信号的跳变时间会非常大,会导致常开区接受此信号的CMOS电路有长时间的短路电流。另外关断区关断之后,常开区边界接受的是不定态信号,此信号可能就是中间电平值,导致常开区接受此信号的CMOS电路,PMOS和NMOS全部开启,造成短路电流。另外常开区边界的输入CMOS电路的栅电容可能被芯片内噪声充放电,造成错误的逻辑值传输下去。为了避免以上不利因素,在关断区的输出端插入隔离单元,隔离单元的的设计使得隔离单元不会造成大的短路电流,且隔离单元的输出为定值^[22]。

2.5.1 细调电源门控和粗调电源门控

电源门控可以分为细调门控和粗调门控两种。对于细调门控,电源开关内置于标准单元的内部,为了保证标准单元驱动电流足够大,那么开关管尺寸就必须足够大,以满足性能要求。这样内置开关管的标准单元面积要大于没有内置开关管的标准单元面积,如图2.9示意了一个带开关管的与门。细调门控的好处是电压降低,且由于开关管内置于标准单元内部,开关行为的功耗建模和时序建模方便,相比于粗调电源门控,细调门控可以沿用传统后端物理实现方式。

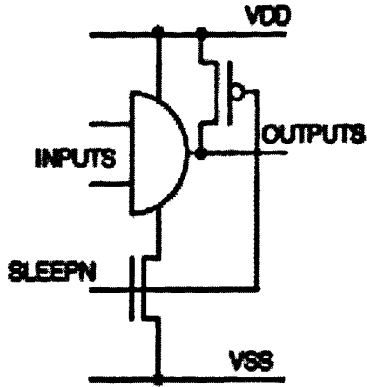


图2.9 带上拉的细调与门

Figure2.9 Fine grain AND gate with pull-up

对于粗调电源门控，关断区电源或地由一批开关单元（MTCMOS）控制，粗调电源门控要大大复杂于细调电源门控，但是粗调电源门控相比细调电源门控要节省面积。

电源门控有一个很重要的问题就是关断区打开时的过冲电流问题，大的过冲电流会造成常开区电源网络上有短时间的大的电压降，大的电压降造成晶体管的输出逻辑值发生变化，最终造成功能错误。

2.5.2 隔离单元

SoC设计中采用电源门控的模块，在门控开启一个模块的过程中或关断一个模块的过程中此模块的输出是缓慢变化的，这样导致这些输出信号会有一段很长的时间处于阈值电压附近，从而使得在与这些输出信号相连的常开逻辑模块的输入端口处产生很大的MOS管开启电流^[21]。为了防止这些开启电流的出现，最基本的方法就是将这些输出信号钳位到一个特定的合法的值。

隔离单元的一个作用就是防止关断模块的输出端口在关断模块开启过程、关断过程和关断后不要对相连的上电模块的功能造成破坏。关断模块的开启过程和关断过程输出端口的问题如上所述，而在关断模块断电后，其内部节点电位并不是一定被拉向高或低，而是有可能上下漏电流形成一种平衡，中间节点长时间处在一个中间电平处，因此要将下电模块输出端隔离。下电模块的输入端由上电模块驱动为正常电平，不会引起电路异常。有三种功能隔离单元，将输出钳位到0、钳位到1和锁存到最近值。单元库中的隔离单元经过精心设计可以在控制端使能

情况下，输入悬空也不会有串通电流和且只有很小的泄漏电流。另外，这些隔离单元可以被综合工具识别，不会对其进行逻辑上的优化。但是使用隔离单元会增加延时，对某些关键路径而言，这些增加的延时可能是不能接受的，它会降低设计的性能。

一般来说，要避免输出的钳位值被接口模块误认为是有效信号，在电路设计中采用的高电平有效信号，因此隔离单元的接口钳位为0比较合适，而复位信号一般是低电平有效（因为在全部上电之前，所有信号都是低电平），因此复位信号需要钳位为1。在相临两个模块都可以独立下电的情况下，如果输入模块下电，而输出模块隔离接口钳位为1，则会有从输出到输入的漏电流存在，在这种情况下，所有信号应该钳位到0最合适。

2.5.3 状态保持和恢复

系统下电后，内部寄存的所有状态均会消失，如果想要系统上电后继续前面状态进行工作，则需要一种状态保持和恢复的策略。目前有三种方法：

(1) 通过软件控制读出和写入寄存器的方式

通过软件的方式有以下问题，在上电下电过程中，通过总线将内部寄存器读出至RAM，再从RAM读回至寄存器，显著降低了上电下电速度。总线的竞争也造成了上电下电过程时间的不可预测性，很难判断是否还值得关断电源。增加了软件工作量，降低了软件的适用性。

(2) 通过扫描链将内部状态串入串出的方式。

这种方式利用芯片内部的扫描链，在下电的过程中，下电模块内的寄存器向扫描测试的工作方式那样将寄存器状态扫描输出至片内或片外RAM中。在上电过程中，再将RAM中的值通过扫描链扫描回芯片内部寄存器。整个过程由开关电源控制器来控制。这种方式不会增加太多额外的面积，但是扫描链的插入是在综合后才进行的，而我们需要在RTL设计时就要在RTL级验证控制器。而且寄存器的数量、扫描链的长度也在初步实现后才可以确定，在RTL设计时需要参数化这些值。而且扫描所有寄存器进出RAM，需要一定的时间。而且RAM需要保持上电状态。如果RAM是在片外，扫描动作在IO端口上会消耗大量功耗。即使RAM在片内，这时寄存器同时翻转，在最坏情况下的动态电流也会过大，造成可以破

坏内部状态的IR-Drop。

(3) 基于芯片内部状态保持寄存器的方式。

使用内部状态保持寄存器（Retention Register）单元，当芯片正常工作时，这些单元的功能就和普通的寄存器一样工作；当电压域中电源网络被关断时，它能保存这些寄存器中关断前最后的状态直到重新上电。与普通寄存器不同的地方在于，这些单元的结构中除了具有主从锁存器之外，还有一个影子锁存器，它的电源网络与主从锁存器不同，是由常通电源网络提供的，当提供主从锁存器的电源网络需要关断时，就将数据锁存到影子锁存器中，由于它能持续供电，所以保存在其中的数据不会丢失，直到提供主从锁存器的电源网络再重新接通时，影子锁存器再将数据写入到主从锁存器中，从而能保证上一次的数据得到正常恢复。

2.5.4 电源门控的挑战

电源门控的主要思想就是在不需要电路工作时把它的电源关掉，那么动态功耗和静态功耗就都没有了。在需要电路工作时，再把电源打开。虽然门控电源的思想简单，实现起来有许多复杂的情况要考虑。

(1) 电源开关网络的控制

控制开关网络的关键是控制过冲电流，否则会在电源轨道上会出现电压尖峰，破坏其余模块的工作状态。开关网络上可能会有成百上千个开关，避免过冲电流的思想就是分时打开这些开关。采用菊花链的形式（开关上的power on信号通过缓冲器传到各个开关上，每一个开关打开都会有一定延时），或者由控制器发出多个power on信号，分时打开相应开关。不管怎样，开关网络的全部打开需要一定的时间，开关网络需要给出一个确认信号给控制器，表示上电完成，然后控制器才可以开始下一步操作。

(2) 门控电源控制器的设计

由于电压不同，各个模块的上电和关电顺序也需要仔细设计，以避免电路出现死锁。由于各个模块由各自电压源驱动，各模块间有一个上电顺序的问题以保证电路正常工作。门控电源控制器控制模块上电/关电的操作顺序。

对于不需要保持电路的下电操作，首先结束所有总线上的交易和正在执行的动作，停止时钟，然后启动隔离控制信号，使所有输出处于安全状态，再使能电

源关闭信号，关断电源；相应的上电操作顺序为先禁止电源关闭信号，电源恢复后，置位复位信号置位隔离输出信号，恢复输出，然后启动时钟工作，避免毛刺产生。

对于需要保持状态电路的下电顺序为先结束所有总线上的交易和正在执行的动作，停止时钟，然后启动隔离控制信号，使所有输出处于安全状态，再产生状态保持信号使需要保持状态的寄存器将状态值存入影子寄存器中，使能电源关闭信号，关断电源；相应的上电操作先禁止电源关闭信号，电源恢复后，置位复位信号，产生状态恢复信号，控制寄存器读入影子寄存器状态值，置位隔离输出信号，恢复输出，再启动时钟工作。

避免瞬态大IR drop的产生，电源的关断或打开都需要一定的延时（避免大的过冲电流），控制器则需要等待电源动作完成后才会进行下一步操作。控制器这时可以设定一个固定的较长延时，确保电路操作已经完成，但这种方式不利于可重用的设计。较好的方法是控制器和开关网络之间建立一个握手协议，通过需求、应答信号来交互信息。在大多数设计中，应答信号是异步的，它的时间决定于开关电路的设计。开关控制器在接收时需要先同步这个信号。设计电源控制器时要考虑一个极端情况，就是在下电过程还没有结束，又要上电时该如何处理。

（3）电源开关在DFT中的考虑

DFT的核心是要提供对时钟和复位信号的控制，使得内部所有寄存器都是可测的，在有门控电源的电路中，对DFT会带来新的要求。对电源开关信号、保持信号、隔离信号的可控和可观测性，在测试中，对电源开关电路的可控性包括：防止测试图形偶然的激活电源关断状态使子系统电源关断、防止测试图形偶然使能输出隔离功能、防止测试图形偶然使能自恢复功能，从而破坏扫描链上寄存器值。这就要求在测试中要能提供直接控制电源控制器输出的方式，或者直接在PAD上外加信号控制，或者内部测试控制模块产生屏蔽信号。测试中控制所有带有门控电源模块，禁止其关断功能是通常作法，但也有例外。测试中，由于所有寄存器都处于激活状态，会造成电路动态功耗达到极大值，可能会超过芯片、封装允许的极限而毁坏芯片。从而可以有这种作法，在测试中控制让有门控电源功能的模块断电，只测试power on的模块。在测试门控电源模块时，再控制让其上电。这样，对扫描链的设计也要power on/off的模块分开设计。根据芯片的不同，

这些额外的控制信号可以从pad上直接引入，或者用一些内部专门的测试模块产生。

第三章 基于 UPF 的低功耗物理设计分析

UPF是一种严格基于TCL格式的功耗约束文件，由Synopsys发布的统一通用格式（Unified Power Format, UPF），它作为专为低功耗设计的逻辑扩展规范，为那些不能通过HDL语言在RTL代码中描述出来的功耗约束信息提供了一个统一的格式。这种约束文件的产生为前后端设计提供了很好的交互平台，有利于设计的可预测性和可验证性。

3.1 UPF 的特征

UPF文件可以在设计早期引入对功耗的考虑。在RTL级设计中，UPF可以把电源方案相关信息关联到RTL代码中。图3.1展示了UPF对整个设计流程的支持。UPF提供了低功耗设计流程前后一致的功耗信息格式^[9]。

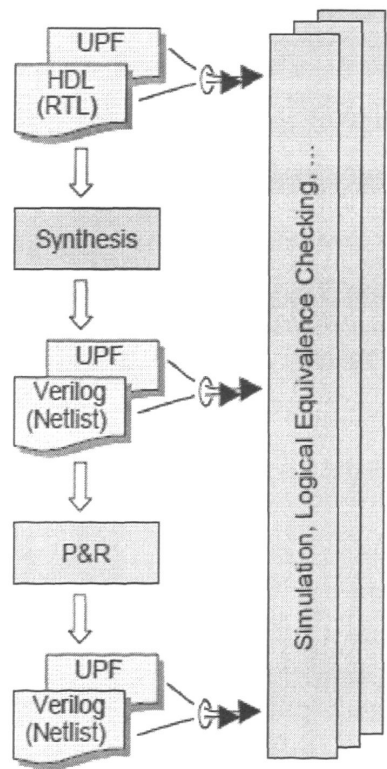


图 3.1 UPF 的流程

Figure3.1 The flow of UPF

如图3.1所示，UPF文件是设计源文件之一，RTL和UPF都是设计者的设计意图的体现，其中RTL是功能意图的体现，UPF是电源方案的体现。多个工具可以读入RTL和UPF的组合，如仿真器，综合工具，形式验证工具。

综合工具可以读入RTL和UPF，然后产生一个网表文件，综合阶段会引入一些低功耗设计标准单元，如电平转换单元和隔离单元，综合工具会产生一个新的UPF文件，新UPF文件与读入的UPF文件所表达的功耗意图是一样的，但是新UPF文件是基于门级网表的并且包含综合阶段引入的电平转换单元和隔离单元。

布局布线工具读入网表和UPF文件，布局布线阶段会定义电压域的物理尺寸和位置，会插入Power Switch Cell，布局布线之后，工具会产生新的网表和新的UPF^[23]。

综合或布局布线之后代码和UPF文件根据变化会相应更新，形式验证工具可以进行包含UPF的等价性验证。

UPF 的语法定义很丰富，可以灵活且准确的定义电源方案，还可以定义合理的限制方便实现和验证。UPF 文件可以定义不同模块的供电电源，定义各电源之间的关系，定义门控电源。

根据这个统一的UPF文件，设计者的低功耗设计意图贯穿于仿真验证、综合、布局布线、形式验证等整个IC设计实现验证过程，如图3.2所示。这种贯穿降低了低功耗的设计风险。UPF作为IEEE1801标准，被广泛采用，得到了众多EDA工具的支持。

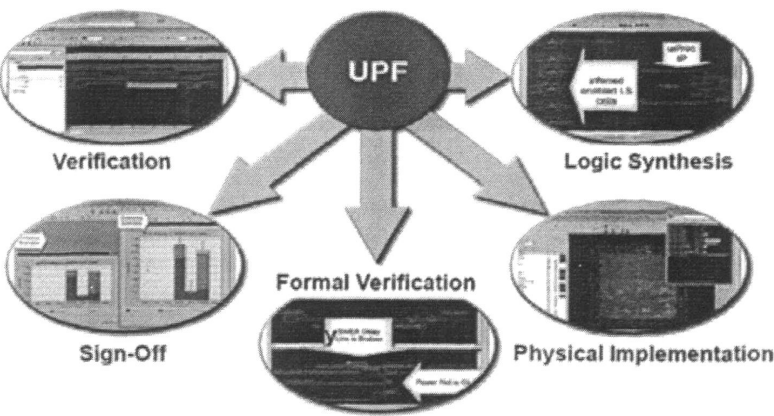


图 3.2 UPF 的应用流程

Figure3.2 The application flow of UPF

3.2 Synopsys 基于 UPF 的低功耗设计流程

图3.3说明了Synopsys 低功耗验证、综合和物理实现流程，这个流程的开始是寄存器传输级（RTL）对逻辑设计的描述，UPF文件对电源方案意图的描述。RTL和UPF是两个不同的文件，便于维护和修改。图3.3中初始的UPF文件标记为UPF。

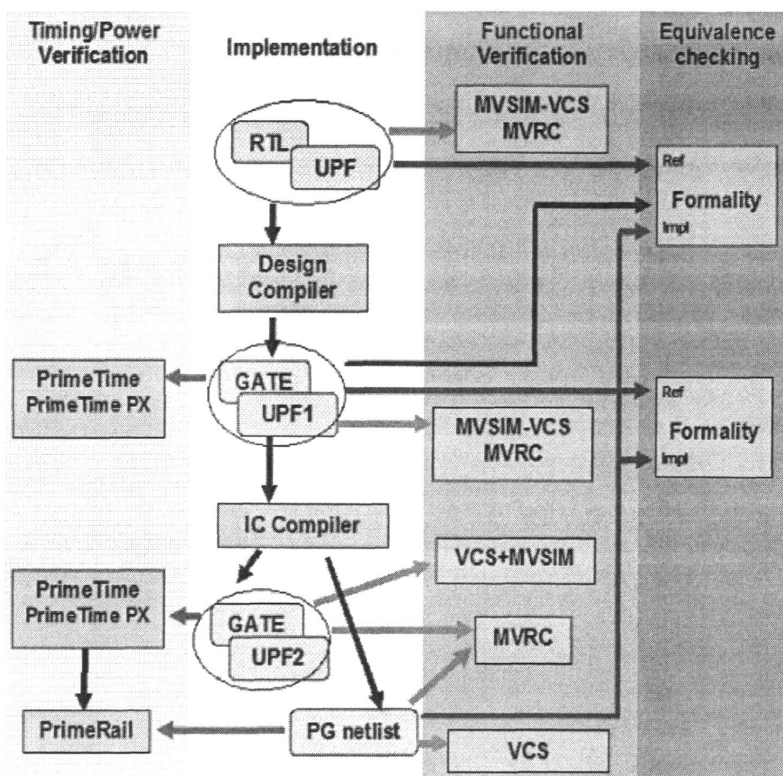


图3.3 Synopsys低功耗设计流程

Figure3.3 Synopsys low power design flow

Design Compiler 读入RTL代码和UPF文件，然后综合出门级网表并更新UPF文件为UPF1。UPF1包含UPF内的信息和综合后某些cell的显式的电源地连接关系 [22]。

IC Compiler 读入门级网表和UPF1，依据门级网表和UPF1，IC Compiler 进行布局布线产生一个带完整电源地信息的网表，更新UPF1文件为UPF2，UPF2文件包含UPF1文件的信息和布局布线对UPF的修改，例如UPF2文件会新增加

MTCMOS的信息^[24]。

此流程里的文件可以被VCS 仿真器用来做功能仿真验证，被Formality用来做形式验证，被Prime Time, Prime Time PX, Prime rail用来做时序和功耗分析。

VCS 仿真器和MVSIM 多电压仿真器可以用来做多电压设计的功能验证。

MVRC(multi-voltage rule checking) 工具可以验证多电压设计规则的正确性。

Prime Time, Prime Time PX读入Design Compiler和IC Compiler产生的网表和UPF文件，并通过UPF文件建立一个虚拟的电源网络并且把电源信息标记到所有叶子单元的电源端口。

3.3 UPF 文件的内容

UPF 描述了设计的电源方案意图，如芯片的供电方案，隔离单元、电平转换单元、电源开关单元的插入等各个方面。它指定如何为各个设计建立电源网络，各个电源线之间的行为，以及用来支持设计动态电源关断额外的逻辑功能等。UPF 并不提供布局布线的信息，和 RTL 描述设计也是分开的。下面以示例介绍UPF。芯片的部分电源分布如图 3.4 所示，其中 TOP 为顶层设计，采用 1.8V 的 VDD 供电。PD_FLASH 区域是电源可关断的电源区域，将 VDD 的电源通过电源开关单元传输至 VDD_FLASH，用 VDD_FLASH 作为 PD_FLASH 区域的供电电源，这样可以通过电源开关单元 flash_sw 来关断 PD_FLASH 区域的电源。而 PD_DIG 区域则是电压可调的区域，从 1.8V-1.2V，可以在不同工作模式下降低电压来节省功耗。

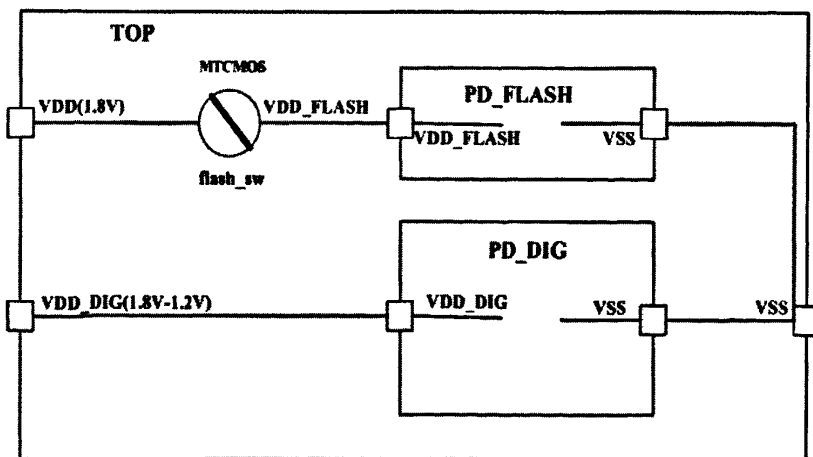


图 3.4 芯片电源分布图

Figure3.4 The diagram of full chip power

3.3.1 电压域的描述

在 UPF 中，需要先对电压域进行定义。电压域是指共用一组电源的一组设计元素。在默认情况下，设计中所有元素都用同一种电源/地，电压域也可以定义其他电源。

3.3.2 电源网络的描述

然后根据电源分布，准确地描述各个电压域里面的电源网络，详细的定义每个电压域里面的电源线名称以及和芯片原始电源输入端口的连接关系。

3.3.3 电源关断单元的描述

在有电源关断的设计中，需要在 UPF 中定义电源关断单元，描述该单元的电源输入、输出以及控制信号的连接关系。电源关断单元是在物理实现阶段插入的。

3.3.4 隔离单元的描述

在存在电源关断的设计中，还需要加入隔离单元，以阻断关断区对非关断区信号等影响。以 PD_FLASH 电压域为例，指定在其输出端口全部插入隔离单元，并钳位至 0，并定义了控制信号的来源和有效电平，以及隔离单元插入的位置在 PD_FLASH 的上一个层次。

3.3.5 电平转换单元的描述

在多电压设计中，在信号通过不同电压的电压域之间时，需要加入电平转换单元。在 UPF 中指定电平转换单元插入的位置以及插入规则（从低电平到高电平还是从高电平到低电平）。由于 PD_DIG 电压域输入/输出信号都是与 1.8V 的

电压域有关，而 PD_DIG 可以降压至 1.2V，因此在 PD_DIG 的输入和输出端口都应该加入电平转换单元。通常电平转换单元应放置在目的电压域，即对于 PD_DIG 的输入来说，需要插入从高电平到低电平的电平转换单元，应该放置在低电压区；对于 PD_DIG 的输出来说，应该将从低到高的电平转换单元放置在高电压区。

3.3.6 电源状态的描述

对于电源状态的描述是 UPF 的一个重要部分，电源状态表（Power State Table），简称 PST，用来描述各个电源的工作模式。如以下 4 种工作模式：全部工作且无降压，PD_DIG 关断，PD_DIG 和 PD_FLASH 关断和全部工作同时 PD_DIG 采用低电压。

3.4 静态时序分析

传统的电路设计分析方法采用动态仿真的方法来验证设计的正确性，但是随着集成电路的发展，这种验证方法就成为了大规模设计验证时的瓶颈。因为现在 SOC 的发展趋势是将上千万个甚至更多的门级电路集成在一个芯片上，如果通过动态仿真的方法验证这样的电路设计，则需要花费很长的时间。此外，动态仿真取决于验证时采用的测试向量的覆盖率及仿真平台的性质，因此往往只能测试到部分逻辑。为了解决这个问题，设计者采用其他的验证手段来一起验证设计，如利用静态时序分析来验证时序^[25]。

静态时序分析最大的特点是不需要输入测试向量，每一个时序路径都自动被检测到。但是它无法区别电路逻辑功能经过的路线和非逻辑功能经过的路线，因为它不会考虑电路的逻辑功能。这些特性使得 STA 成为整个设计流程中最重要步骤之一^[26]。

静态时序分析工具主要针对设计电路中以下路径进行分析：

- (1) 从原始输入端到设计电路中的所有触发器；
- (2) 从触发器到触发器；
- (3) 从触发器到设计电路的原始输出端口；
- (4) 从设计电路的原始输入端口到原始输出端口。

对于整个电路，静态时序分析工具把它打散成上述四种类型的时序路径来分析其时序信息，如计算出最快与最慢的开关时间，决定最坏的路径、比较信号到达的时间与要求的时间是否一致等，最后产生分析报告。其中一些关键的时序信息参数包括建立时间和保持时间、时钟偏斜、最大扇出、最大跳变时间、最大负载电容。

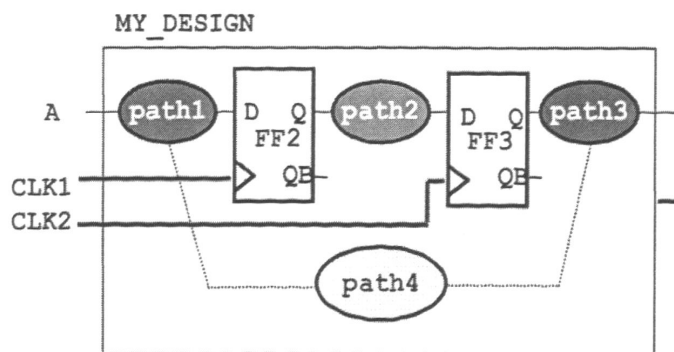
对于建立时间的检查，静态时序分析工具的分析思想是通过比较信号最晚可能到达的时间与最早要求到达的时间，来检测信号是否到达太晚，同时它可以找出所有时序路径中最长的一条，这条最长路径将决定系统最快的工作速度，即所谓的关键路径。

由于建立时间的违反更多的发生在最慢的工艺条件及工作条件下，因此，应该使用对应最坏条件下的库文件来进行分析。同样的，对于保持时间的分析是通过比较信号最早可能改变的时间和要求保持到的最晚的时间，来检测信号是否达到太早，进而可以检查出设计中潜在的竞争与冒险问题。与建立时间分析相反，保持时间的违反更可能发生在最快、最好的工艺条件及工作条件下，因此，应该使用对应最好条件下的库文件来进行分析。下面是几个时序分析当中的概念：

(1) 时序路径

路径的源头是电路中的原始输入端，而终点是原始输出端和时序检查到的地方，可以是触发器、锁存器、门控时钟等。

每一条路径都有一个起始点和终止点，起始点可以是设计电路的输入端，也可以是触发器的时钟端。而终止点可以是设计电路的输出端，也可以是触发器的数据输入端。



Timing Paths

图 3.5 时序路径示意图

Figure3.5 The diagram of timing path

路径 1: 从设计电路的原始输入端口 A 到触发器的数据端口 D。

路径 2: 从触发器的 CLK 端到触发器的数据输入端口 D。

路径 3: 从触发器的 CLK 端到设计电路的原始输出端口 Z。

路径 4: 从设计电路的原始输入端口 A 到设计电路的原始输出端口 Z。

(2) 触发器的建立时间

建立时间指的是在采样时钟沿之前多长时间数据必需到达。

(3) 触发器的保持时间

保持时间指的是在采样时钟沿之后数据必需保持不变的时间。

(4) 触发器的恢复时间

对于异步置位、复位时序单元来说,是指如果要撤销异步控制信号,异步控制信号变化沿相对于它后一个时钟沿而言,必须在时钟沿之前一定的时间到来,才可以保证此时钟沿到来时时序单元正常采样。

(5) 触发器的清除时间

对于异步置位、复位时序单元来说,是指如果要撤销异步控制信号,异步控制信号变化沿相对于它前一个时钟沿而言,必须在时钟沿之后一定的时间到来,才可以保证此时钟沿到来时时序单元仍处于复位状态。

(6) 时间裕量

时间裕量是指信号在时序路径上要求的时间和实际花费的时间之差。如果裕量的值为正值或零,则说明设计电路的实际时序符合约束条件,如果为负值则说明不符合约束条件。

(7) 时钟偏斜

时钟偏斜是指从时钟定义点到不同触发器时钟引脚的延时差。在可综合的同步设计电路中,在一个时钟沿第一个触发器放出数据,此数据在另一个时钟沿(通常是接下来的那个时钟沿)被第二个触发器接收到。如果这两个时钟沿(发出数据的时钟沿和接收数据的时钟沿)是同一个时钟源放出的,则在理想状态下,两个时钟沿相差一个时钟周期。但是由于两个触发器的时钟路径的不同,路径上的延时会有一定的差别,接收数据的时钟沿可能早到或者晚到,这样的话就会产生时钟偏斜。如果接收数据的时钟沿早到,则有可能产生建立时间的冲突,如果晚

到,则有可能产生保持时间的冲突。因此在布局布线前的阶段通常会制定少许的时钟偏斜量,这样既保证了设计电路的健壮性,又能得到更接近实际情况的时序分析报告。

由于静态时序工具把整个设计电路打散成时序路径,分析不同路径的时序信息,得到建立时间和保持时间的计算结果。

假设数据从触发器 A 的 D 端进入,传到触发器 B 的 Q 端输出,这是一个最基本的时序路径,而且这两个触发器都是用同一个时钟驱动的。

首先检查建立时间。假设在 $time=0$ 的时候,触发器 A 的第一个上升沿时钟使得触发器 A 获得 D 端的数据,那么,数据到达触发器 B 的 D 端的时间一定要短于触发器 B 的第二个上升沿时钟到达触发器 B 的 CLK 端的时间减去建立要求时间,也就是在触发器 B 的第二个上升沿时钟到达之前,触发器 B 的 D 端数据就该已经到达。如果设置的建立时间冲突的尺度为 0,要求数据到达的时间必须小于一个时钟周期的时间,否则,时序分析结果就会报建立时间的冲突。建立时间的冲突设定的尺度也可以是比 0 大的值,这样,时序路径的延时就必须更小,对设计电路时序的要求就更高。通常建立时间的冲突发生在最坏工作环境的情况下,因此使用最坏情况下的库文件来检查建立时间的冲突。

同理可以检查保持时间。总的来说,就是检测数据是否传得太快。假设当 $time=0$ 的时候,触发器 A 的第一个上升沿时钟使得 D 端的数据进入触发器,那么,数据从触发器 A 传到触发器 B 的 D 端的时间一定要长于触发器 B 在 $time=0$ 的第一个上升沿时钟到达触发器 B 的时钟端的时间加上保持要求时间,否则,就会报保持时间冲突。通常保持时间冲突发生在最好的工作环境的情况下,因此使用最好情况下的库文件来检查保持时间的冲突。

如果设计电路中的静态时序分析结果显示没有冲突,那么电路就没有时序错误,否则可以通过 `report_timing` 命令将发生冲突的时序路径的详细信息显示出来,再根据具体情况,决定是否重新综合。对于建立时间和保持时间的冲突,有不同的方法可以消除。

消除建立时间的冲突方法如下:

(1) 加强约束条件重新综合设计电路,或对产生冲突的时序路径进行进一步的优化;

- (2) 通过 ECO(Engineering Change Order)来消除冲突;
- (3) 如果以上方法都不能产生效果, 那可能只好通过修改 RTL 代码来实现。

消除保持时间冲突方法如下:

- (1) 绝大多数的布局布线工具都具有自动消除保持时间冲突的功能, 可以通过这些工具来实现;
- (2) 如果工具不能实现的话, 可以在产生冲突的时序路径上通过 ECO 添加缓冲器逻辑, 使得数据到达的时间符合保持时间的检查, 以此消除冲突。

第四章 SEP6010B 芯片的低功耗物理设计

4.1 SEP6010B 芯片概述

SEP6010B低功耗MCU采用ACORE处理器内核，内置存储器和外围功能模块。主要应用是针对ZigBee/IEEE802.15.4无线局域网，主动RFID和无线传感器网络的应用，采用SiP(System in Package)技术，单封装内集成微控制器SEP6010B和兼容IEEE802.15.4-2003标准的无线收发器UZ2400。SEP6010B作为芯片中的微控制器部分，采用ACORE处理器内核，内置存储器和外围功能模块，也能够应用于低成本GPS模组中的MCU部分，SEP6010B亦可成为低功耗低成本单片微控制器来应用，芯片采用上海中芯国际0.18um CMOS E-Flash 工艺设计。

4.1.1 芯片主要功能

- 处理器内核为 ASIC 中心兼容 ARM7TDMI 指令的 ACORE 处理器，运行主频 1~70MHz，16 位/32 位工作模式；当开启 GPS 应用时，至少工作在 80MHz。
- 可在线编程片内并行 256K Byte FLASH
- 72K Byte SRAM（含 8K Byte 常开 SRAM，在 PM1、PM2、PM3 三种低功耗模式下存储）
- 32 字节小电池供电的备份寄存器，在有侵入事件时立刻清除内容
- PMC 时钟和功耗管理单元，支持多种工作模式，并能够管理内部时钟、内部稳压器和复位，带低电压监测功能，支持 DVFS。
- 片内 POR 上电复位电路；3 个片内低功耗 LDO，包括 1.8V LDO，输出在 1.2~1.8V 区间可变的 LDO，和一个 3V LDO。
- 3 通道标准 UART
- 2 通道 SPI，支持 Motorola SPI 和 Microwire 协议，在使用 50M PLL 时钟时最高传输速率可达 25M。
- 1 通道 I²C

- RTC，支持日历功能
- 看门狗 Watchdog
- 通用定时器 8 通道，全部支持捕获功能/MATCH OUT 输出，支持 5 通道 PWM
- 片内集成音频编解码器
- 4 通道 12bits ADC
- 支持 DMA 传输

芯片的功能框图如下：

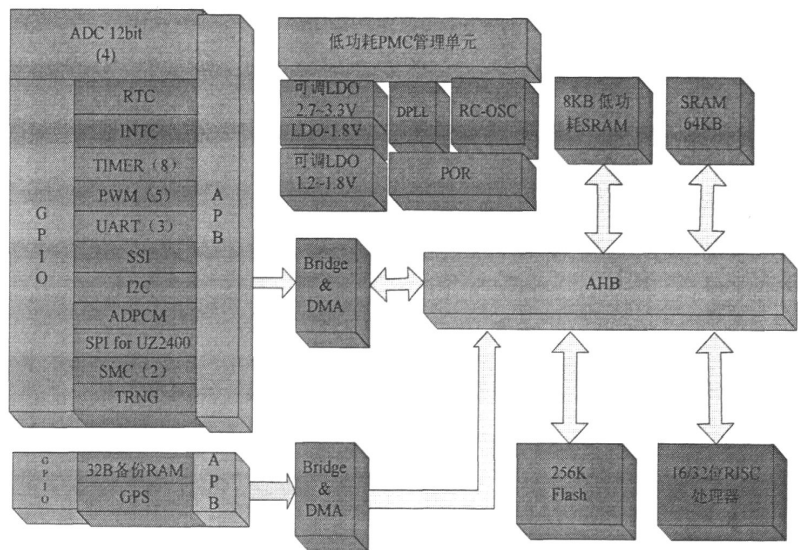


图 4.1 SEP6010B 芯片功能框图

Figure4.1 The function diagram of SEP6010B

4.1.2 芯片的低功耗设计方案

从低功耗的需求出发，芯片内部有不同的电源区域，以保证在低功耗模式下彻底的关断部分单元的电源。外部电源输入以后可以划分为以下区域：

- (1) 备份电源供电区：主电源被切断以后，由备份电池供电，此需求中仅有 RTC_Timer 和 BKP 采用备用电池供电。
- (2) 常开区，包含在芯片任何工作状态下都需要供电的单元。
- (3) 可关断区：包含数字核心区 and 芯片内部可以被独立关断的单元。具体如下：

- (a) 数字核心区(1.3~1.8V 可配置供电电源): 此区域包含 ARM 和数字外设。整个数字核心区实行统一关断策略, 其关断通过不使能 LDO1 来实现。
- (b) 1.8V 固定电压区 (LDO-1.8V): 此区域包含几个子区域: 1) Flash 区域, 可用电源门控关断; 2) DPLL 区域, 不可关断, 不使能时漏电 1uA); 3) 狭义的常开区, 即芯片任何工作状态下都需要供电的单元, 即只要主电源有电就一直开启的电压区域, 包括复位唤醒模块、功耗管理单元、2KHz RC 振荡器、wakeup timer 和一些寄存器; 4) ADC 的 1.8V 数字电路; 5) IO 的 pre-drive; 6) 低功耗 RAM 保护区 1~4 (1.8V): 此区域分为四个 2K byte 大小的区域, 第一个小区域不关断, 另三个小区域采用电源门控技术可关断。
- (c) 模拟 3.3V ADC 区: ADC 需要双电源, 3.3V 以及 1.8V

整个芯片的电源区域划分如图 4.2 所示:

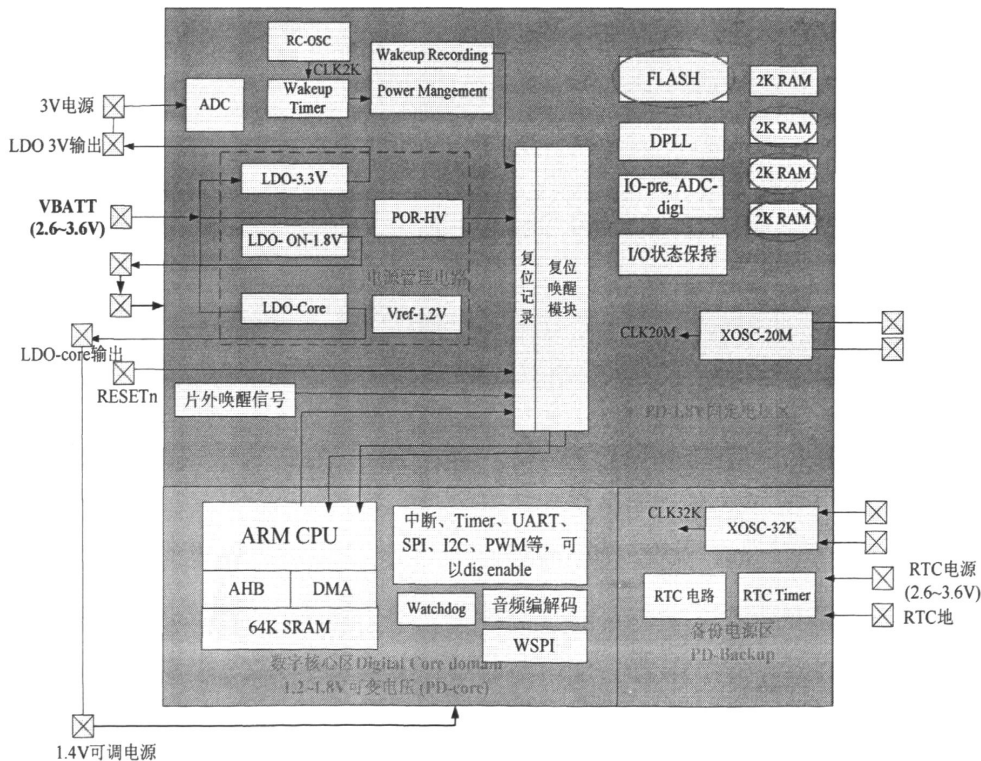


图 4.2 芯片的电源区域划分

Figure4.2 The power domain of full chip

根据芯片的应用场合不同, 可以有不同的工作模式, 功耗也各不相同, 具体

的功耗模式有：

(1) 慢速工作模式

使用 20M 晶振的正常工作状态，关闭 DPLL，选择分频时可配置为 0/2/4.../128 分频。无关断电源，备份电源区可选择使用；外部高速晶振打开；低速振荡器选其一开启。

(2) 高速工作模式

PLL 开启的正常工作状态，通过配置 DPLL 选择运行速率可以选择在 DPLL 方式下在 20~50MHz 工作；无关断电源，备份电源区可选择使用；外部高速晶振打开；低速振荡器选其一开启。

(3) IDLE 模式

处理器时钟关断，不工作；无关断，备份电源区可选择使用；外部高速晶振和一个低速振荡器打开，其他功能单元时钟可根据应用选择关断；

(4) PM1 模式

高速时钟关断，低速时钟选择保留一种，即 32KHz 或者片内 RC 振荡器；无电源关断；系统状态保存（寄存器、I/O 状态、8KB RAM）；内部 Wakeup Timer 唤醒，支持外设(UART, TIN, SPI,I2C,I/O 等)中断唤醒，在使用备份电源和 RTC 的情况下也支持 RTC timer 唤醒。

(5) PM2 模式

高速时钟关断，低速时钟选择保留一种（32KHz 或者片内 RC 振荡器）；数字核心区全部关断；系统状态保存（寄存器、I/O 状态、2KB RAM，6K RAM 可选关断与否）；多路唤醒：Wakeup Timer 唤醒，外部唤醒；在使用备份电源和 RTC 的情况下支持 RTC Timer 唤醒。

(6) PM3 模式

全部时钟关断，备份电源区不能使用（低速时钟关断）；数字核心区全部关断；系统状态保存（寄存器、I/O 状态、2KB RAM，6K RAM 可选关断与否）；只能外部唤醒和复位。

各个工作模式下的时钟、电源的开启情况及唤醒方式总结如表 4.1 所示：

表 4.1 工作状态表

Table4.1 Work state table

		工作	IDLE	PM1	PM2	PM3
时钟	20M XOSC	√	√	×	×	×
	32K OSC	二选一	二选一	二选一	二选一	×
	RC OSC					×
	CPU 时钟	√	×	×	×	×
PLL		开：20-50M 关：1-20M	同 RUN	×	×	×
电源	主电源	√	√	√	√	√
	常开区电源	√	√	√	√	√
	低功耗 RAM	√	√	√	可选	可选
	备份电源	可选，默认√	同 RUN	同 RUN	同 RUN	×
状态 保存	寄存器、I/O 状态、2KB RAM			√	√	√
	6KRAM 保 存		√	√	可选	可选
唤醒	Wakeup timer			√	√	×
	中断唤醒			√	×	×
	RTC timer			若开启 √	若开启 √	×
	片外唤醒			√	√	√
	复位唤醒			√	√	√

4.2 UPF 低功耗流程在本芯片中的应用

SEP6010B的设计实现验证过程用到了如图4.3中所示的部分Synopsys工具，也应用到了大部分的UPF技术，成功实现了从代码到版图的过程，芯片已经完成制造、功能测试和低功耗测试。

本芯片是基于SMIC 0.18um工艺制造的，相对于日新月异的工艺水平的发展，数字集成电路中0.18um的工艺已经算是比较落后的工艺了，UPF流程需要单元逻辑库具备PG信息，而现有的0.18um的单元逻辑库并没有PG信息，Synopsys的布局布线工具IC Compiler可以根据不带PG信息的单元逻辑库和Milkyway（布局布线所用到的一种物理库）生成带PG信息的单元逻辑库，具体生成方式如下：

```
add_pg_pin_to_db old.db -mw_library_name {mw_lib} -output pg.db
```

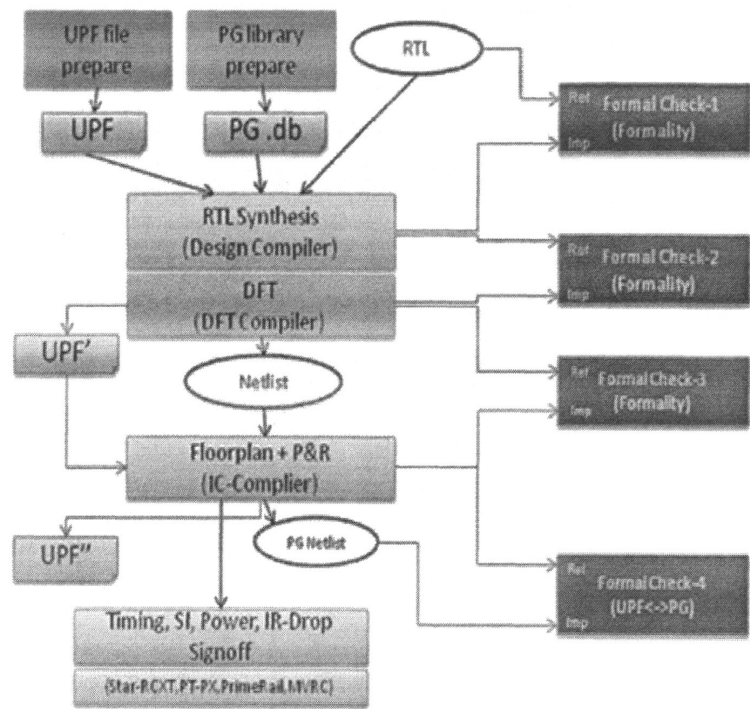


图 4.3 芯片的实现流程图

Figure4.3 The flow of chip design

多电压设计里面用到了MTCMOS, 电平转换单元、隔离单元等, 由于业界的门控电源低功耗设计基本上都是在90nm及以下工艺实现, 一个重要原因是高级工艺的泄漏功耗大。我们没有现成的MV cell的库, 所以我们向一家库单元供应商定制了SMIC 0.18um的MV cell。

UPF文件包含设计者的电源方案设计意图, 所以在设计的开始阶段设计者就需要写UPF文件, UPF文件与RTL代码是对应的关系, 例如UPF里对Power Domain的定义对象是RTL里的一个module。

Design Compiler 读入RTL和UPF,综合产生门级网表, 综合阶段会插入门控, 并且会插入除MTCMOS之外的所有MV cell, 如电平转换单元、隔离单元等。

综合后, 进行DFT方面的工作, 由于DFT会引入穿越power domain的逻辑, 所以DFT的工作做完后, 要再次插一次MV cell, 并进行一次增量编译。

做完DFT之后, 就可以进行物理上的布局布线了, 包括: 布图规划, 电压域的创建, 电源关断单元MTCMOS的插入、布局以及控制信号的连接, 电源网络综合和分析, 布局, 时钟树综合, 布线。

布局布线完成后，我们还对时序、噪声、功耗和 IR-DROP 等进行了 Sign-off 分析。

4.3 版图布局预规划

在本芯片中采用了时钟关断（Clock-Gating）、电源关断（MTCMOS Power Gating）和低电压待机（Low-Vdd Standby）等低功耗技术。图4.4是芯片版图布局预规划（Floorplan）示意图，划分成7个power domain: PD_TOP, PD_FLASH, PD_BAT, PD_SSRAM1, PD_SSRAM2, PD_SSRAM3, PD_DIG。右上角两块是flash存储器，需要进行power switch 关断。左上角为模拟IP。左下角四个2k SSRAM, 从下至上, 依次是ssram1 (power switch 关断), ssram2 (power switch 关断), ssram3 (power switch 关断), ssram4 (常开)。PD_DIG为 LDO 电压可调区 (1.2v-1.8v), 可LDO关断。Flash 关断区和dig_core 之间留有布局布线通道, dig_core 底部留有布局布线通道。在进行芯片设计之前, 要先对芯片的低功耗意图用UPF描述出来, 下面的章节做详细的阐述。

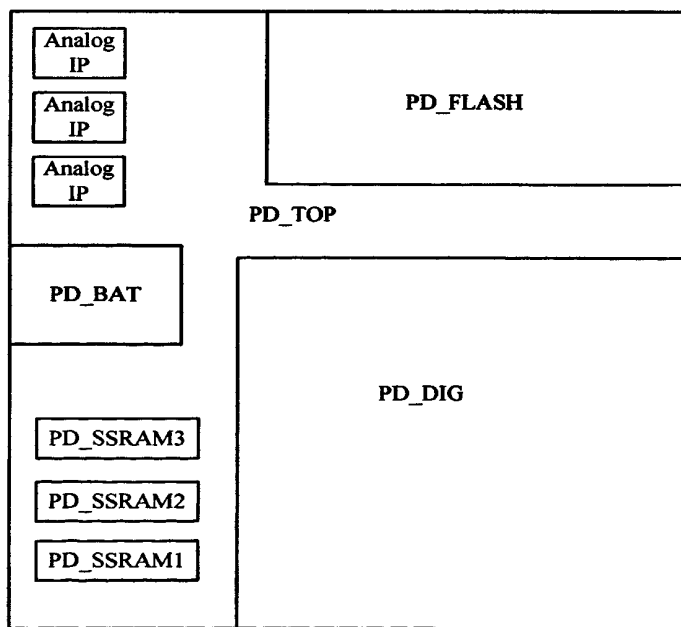


图4.4 芯片的版图预规划

Figure4.4 The floorplan of full chip

4.4 UPF 对芯片设计意图的描述

在UPF中，包含了所有对低功耗设计意图的描述，例如：芯片中有哪些相对独立的电源模块；每个电源模块中用到哪些电源或地；如果有电源关断模块的话还要描述其关断的方式及控制；每一个电源的各种工作模式（工作电压或是否关断）；特殊单元的规划等。

4.4.1 UPF 对电源域的描述

在UPF中，首先要对所有的电源域进行定义。先设定顶层的电源域，然后描述，PD_FLASH和PD_BAT等power domain。如下所示：

```
#power domain definitions
create_power_domain TOP -include_scope
create_power_domain PD_FLASH -elements Block_1
create_power_domain PD_BAT -elements Block_2
create_power_domain PD_SSRAM1 -elements Block_3
create_power_domain PD_SSRAM2 -elements Block_4
create_power_domain PD_SSRAM3 -elements Block_5
create_power_domain PD_DIG -elements Block_6
```

4.4.2 UPF 对电源网络的描述

根据电源分区拓扑图，要清晰地描述各个电源域里面的电源网络，如下所示，详细地定义了每个域里面的电源线的名称以及和芯片原始电源输入端口的连接关系。

```
# supply nets definitions
create_supply_net VDD -domain TOP
create_supply_net VDD -domain PD_FLASH -reuse
create_supply_net VDD -domain PD_SSRAM1 -reuse
create_supply_net VDD -domain PD_SSRAM2 -reuse
create_supply_net VDD -domain PD_SSRAM3 -reuse
```

```
create_supply_net VSS -domain TOP
create_supply_net VSS -domain PD_FLASH -reuse
create_supply_net VSS -domain PD_SSRAM1 -reuse
create_supply_net VSS -domain PD_SSRAM2 -reuse
create_supply_net VSS -domain PD_SSRAM3 -reuse
create_supply_net VSS -domain PD_BAT -reuse
create_supply_net VDD_FLASH -domain PD_FLASH
create_supply_net VDD_BAT -domain PD_BAT
create_supply_net VDD_DIG -domain PD_DIG
create_supply_net VDD_DIG -domain TOP -reuse
create_supply_net VDD_SSRAM1 -domain PD_SSRAM1
create_supply_net VDD_SSRAM2 -domain PD_SSRAM2
create_supply_net VDD_SSRAM3 -domain PD_SSRAM3

#define the primary power/ground for power domains
set_domain_supply_net TOP -primary_power_net VDD
- primary_ground_net VSS
set_domain_supply_net PD_FLASH -primary_power_net VDD_FLASH
- primary_ground_net VSS
set_domain_supply_net PD_BAT -primary_power_net VDD_BAT
- primary_ground_net VSS
set_domain_supply_net PD_SSRAM1 -primary_power_net VDD_SSRAM1
- primary_ground_net VSS
set_domain_supply_net PD_SSRAM2 -primary_power_net VDD_SSRAM2
- primary_ground_net VSS
set_domain_supply_net PD_SSRAM3 -primary_power_net VDD_SSRAM3
- primary_ground_net VSS
set_domain_supply_net PD_DIG -primary_power_net VDD_DIG
- primary_ground_net VSS
```

```
# power ports definitions

create_supply_port VDD -direction in
create_supply_port VSS -direction in
create_supply_port VDD_BAT -direction in
create_supply_port VDD_DIG -direction in

#connect the supply net to power port
connect_supply_net VDD -ports VDD
connect_supply_net VSS -ports VSS
connect_supply_net VDD_BAT -ports VDD_BAT
connect_supply_net VDD_DIG -ports VDD_DIG
```

4.4.3 UPF 对门控电源的描述

本设计中含有电源关断模块,需要在UPF中定义电源关断单元(Power Gating cell),描述该单元的电源输入输出,以及控制信号的连接。如下所示。

```
create_power_switch flash_sw -domain PD_FLASH -output_supply_net {out_flash
VDD_FLASH} -input_supply_port {in_flash VDD} -control_port {FLASH_SLEEP
U_topbody/u_pmc/FLASH_PD} -on_state {flash_on in_flash {~FLASH_SLEEP}}
-ack_port {sleep_out U_topbody/U_pmc/in_SLEEP {1}} -off_state {flash_off
{FLASH_SLEEP}}
```

这条命令中VDD_FLASH是VDD经过该单元后的电源名称,FLASH_SLEEP是控制信号,当该控制信号为低的时候,VDD_FLASH接通VDD使电路处于开启状态。除了该控制信号,该单元还输出一个叫sleep_out的响应信号。至于如何在物理上实现电源关断单元的插入以及控制信号的连接,这个要在IC Compiler里面完成。

4.4.4 UPF 对隔离单元的描述

因为芯片中有关断模块,从功能上为了处理模块关断后信号输出的稳定性,还需要增加关断电源模块处于关断时如何插入隔离单元的描述。如下所示:

指定其所有输入信号都不插入隔离单元，输出信号默认插入箝位到0的隔离单元。而且定义了隔离单元的控制信号，以及插入的位置是在PD_TOP domain。

```
set_isolation flash_iso_out -domain PD_FLASH -isolation_power_net VDD
```

```
-isolation_groud_net VSS -clamp_value 0 -applies_to outputs
```

```
set_isolation_control flash_iso_out -domain PD_FLASH -isolation_signal
```

```
U_topbody/U_pmc/Isolation_EN -isolation_sense low -location parent
```

```
set_isolation SSRAM1_iso_out -domain PD_SSRAM1 -isolation_power_net VDD
```

```
-isolation_groud_net VSS -clamp_value 0 -applies_to outputs
```

```
set_isolation_control SSRAM1_iso_out -domain PD_SSRAM1 -isolation_signal
```

```
U_topbody/U_pmc/isolation_1_en -isolation_sense high -location parent
```

```
set_isolation SSRAM2_iso_out -domain PD_SSRAM2 -isolation_power_net VDD
```

```
-isolation_groud_net VSS -clamp_value 0 -applies_to outputs
```

```
set_isolation_control SSRAM2_iso_out -domain PD_SSRAM2 -isolation_signal
```

```
U_topbody/U_pmc/isolation_2_en -isolation_sense high -location parent
```

```
set_isolation SSRAM3_iso_out -domain PD_SSRAM3 -isolation_power_net VDD
```

```
-isolation_groud_net VSS -clamp_value 0 -applies_to outputs
```

```
set_isolation_control SSRAM3_iso_out -domain PD_SSRAM3 -isolation_signal
```

```
U_topbody/U_pmc/isolation_3_en -isolation_sense high -location parent
```

```
set_isolation dig_iso_out -domain PD_DIG -isolation_power_net VDD
```

```
-isolation_groud_net VSS -clamp_value 0 -applies_to outputs
```

```
set_isolation_control dig_iso_out -domain PD_DIG -isolation_signal
```

```
U_topbody/U_pmc/Isolation_EN -isolation_sense low -location parent
```

4.4.5 UPF 对电源状态的描述

在UPF里面，还有一个非常重要的部分，那就是描述电源状态表（Power State

Table)，简称PST，也就是说要描述各个电源有哪些工作模式。有了这个表格，工具就可以判断是否需要在各个电源模块之间插入特殊的单元。

本芯片的电源状态表如下：

```

add_port_state VDD -state {HV 1.620000}
add_port_state VSS -state {GND 0.000000}
add_port_state VDD_BAT -state {LV 1.620000}
add_port_state VDD_DIG -state {LV6 1.620000}
add_port_state VDD_DIG -state {OFF off}
add_port_state SSRAM1_sw/out_1 -state {HV 1.620000}
add_port_state SSRAM1_sw/out_1 -state {OFF off}
add_port_state SSRAM2_sw/out_2 -state {HV 1.620000}
add_port_state SSRAM2_sw/out_2 -state {OFF off}
add_port_state SSRAM3_sw/out_3 -state {HV 1.620000}
add_port_state SSRAM3_sw/out_3 -state {OFF off}
add_port_state flash_sw/out_flash -state {HV 1.620000}
add_port_state flash_sw/out_flash -state {OFF off}
create_pst chip_pst -supplies [list VDD VDD_BAT flash_sw/out_flash
SSRAM1_sw/out_1 SSRAM2_sw/out_2 SSRAM3_sw/out_3 VDD_DIG]
add_pst_state ALL_ON_2 -pst chip_pst -state {HV LV HV HV HV HV LV6}
add_pst_state DIG_OFF -pst chip_pst -state {HV LV OFF HV HV HV OFF}
add_pst_state RAM_OFF_1 -pst chip_pst -state {HV LV HV OFF HV HV LV6}
add_pst_state RAM_OFF_2 -pst chip_pst -state {HV LV HV OFF OFF HV LV6}
add_pst_state RAM_OFF_3 -pst chip_pst -state {HV LV HV OFF OFF OFF LV6}
add_pst_state ALL_OFF -pst chip_pst -state {HV LV OFF OFF OFF OFF OFF}
add_pst_state ALL_OFF_1 -pst chip_pst -state {HV LV HV OFF OFF OFF OFF}

```

4.5 芯片布局布线的实现

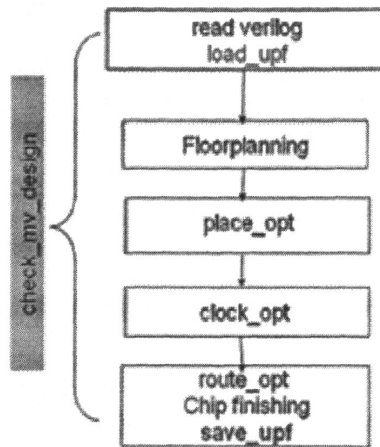


图 4.5 IC Compiler 的 UPF 流程

Figure4.5 UPF flow of IC Compiler

IC Compiler的UPF流程如图4.5所示，可以直接用DC输出的ddc文件，里面已经包含了UPF信息。我们采用的是读入网表加UPF的方式。首先需要在读入verilog网表以后，把UPF文件导入到ICC中：

```
load_upf $ICC_IN_UPF_FILE
```

读入网表以及UPF文件后就可以做版图预规划（floorplan）了，注意在版图预规划之前，要正确设置芯片的工作条件(operating_condition)以及用set_voltage命令对所有的电源和地设置正确的工作电压值。ICC会根据这些设置来选择正确的单元进行时序计算。芯片的版图如图4.6所示。

在图 4.6 中，右上角两块是 flash 存储器，需要进行 power switch 关断。左上角为模拟 IP。左下角四个 2k SSRAM，从下至上，依次是 ssram1 (power switch 关断)，ssram2 (power switch 关断)，ssram3 (power switch 关断)，ssram4 (常开)。右下角两个 32K esram 位于 dig_core 区域，PD_DIG 为 LDO 电压可调区（1.2v-1.8v），可 LDO 关断。Flash 关断区和 dig_core 之间留有布局布线通道，dig_core 底部留有布局布线通道。

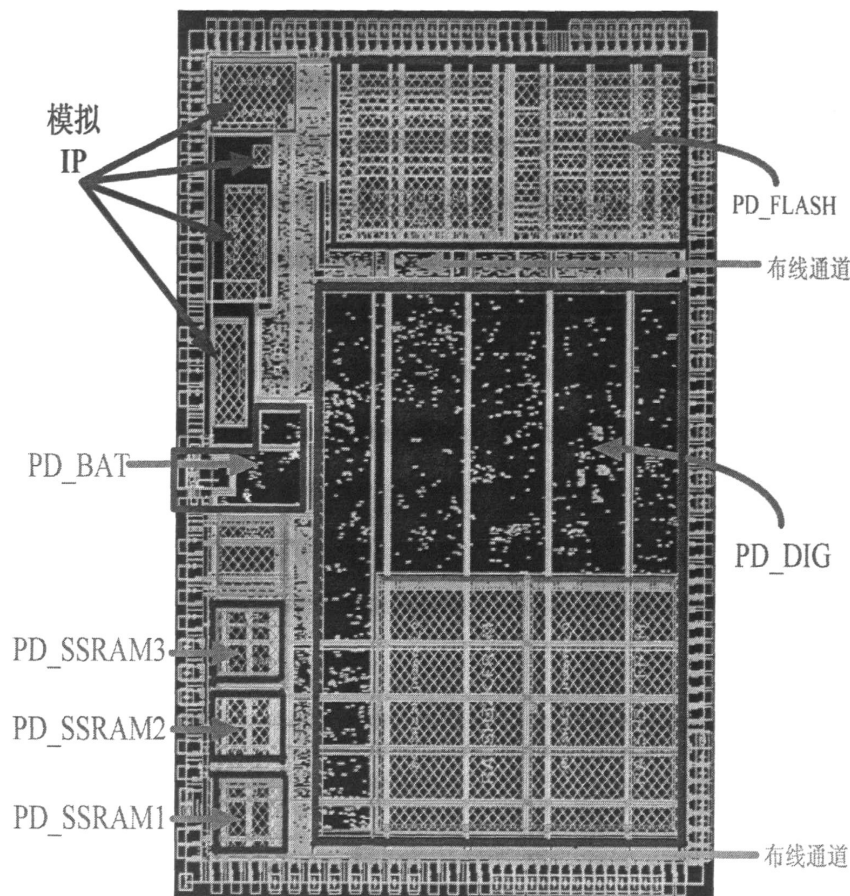


图 4.6 芯片的版图

Figure4.6 The chip layout

Pad 有 6 个 domain，如图 4.7 所示。与 ADC 和 PMU 相关的 Pad_domain_pmu_adc，与 PLL 相关的 Pad_domain_pll，与 PD_BAT 相关的 Pad_domain_rtc，与 TOP 相关的 Pad_domain_top_1、Pad_domain_top_2，与 PD_DIG 相关的 Pad_domain_dig_core。

在放置标准单元时，所有的电源 ring 和 strap 下面都打上了 placement blockage，若不打，布线的时候这些位置布不通。关断区，不可以优化进任何标准单元，我们的关断策略是只关断存储器本身，所以关断区只为存储器做了电源网络，所以任何进入关断区的标准单元无法被供电，placement 阶段及以后阶段要对关断区所有 net 设成 dont_touch 属性。

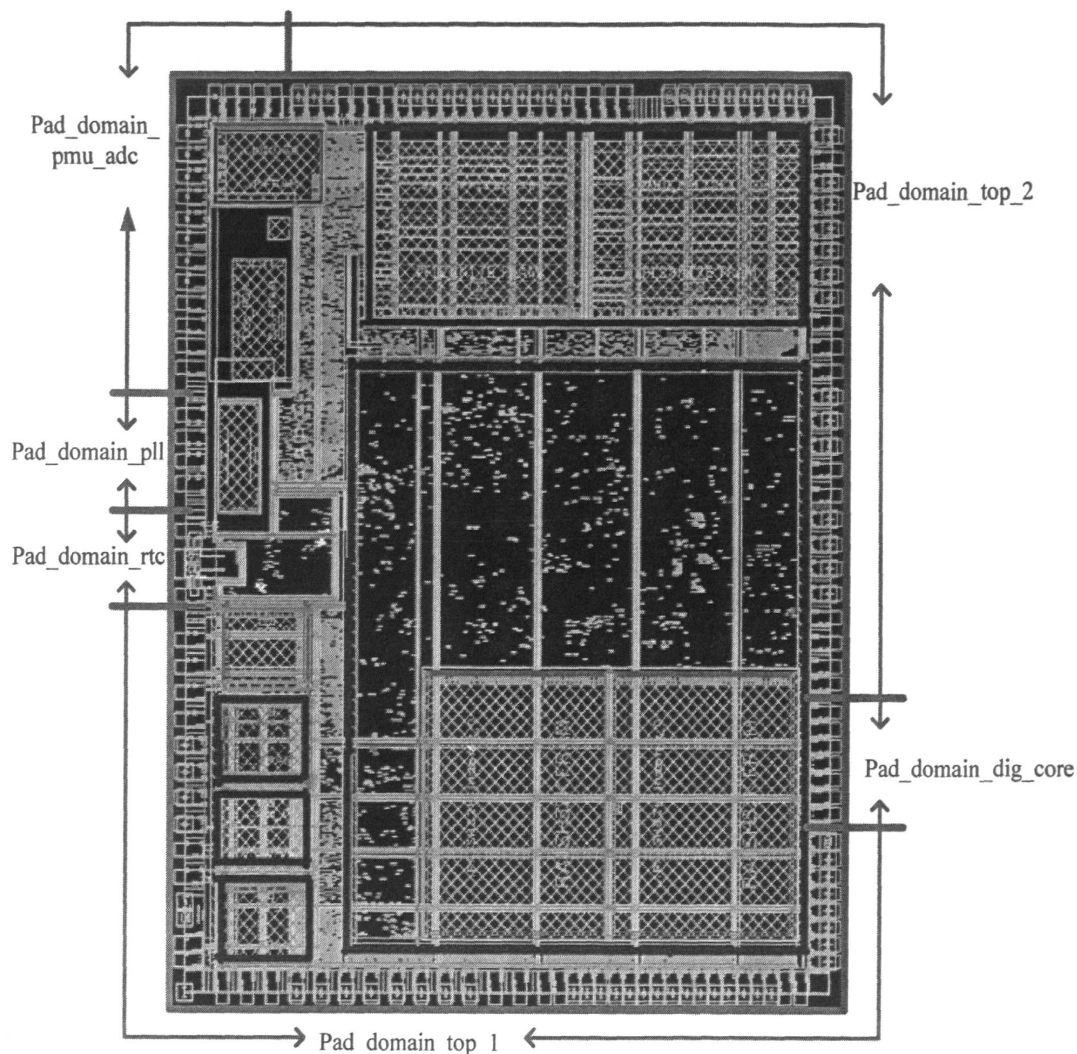


图 4.7 芯片 pad 区域图
Figure4.7 The diagram of pad domain

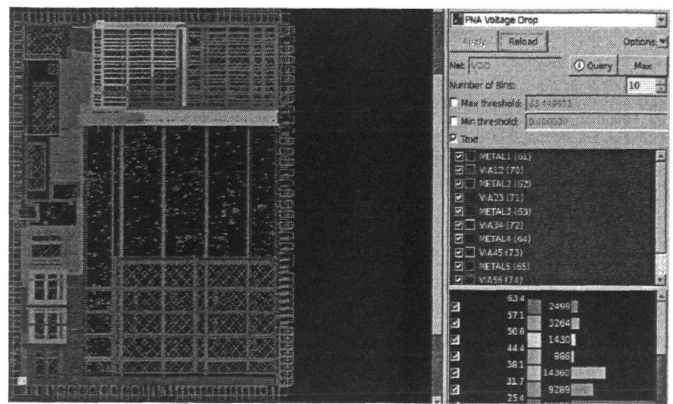
布线之前要完成电源网络综合（PNS），使芯片的电源网络符合设计要求。在电源网络综合中，需要首先对电源关断区域中硬宏单元电源/地端口进行逻辑上的连接定义，否则在 PNS 的时候，硬宏单元的电源/地线不会连接到相应的电源/地网络上去。Flash 存储器的电源端口连接到虚拟电源 VIRTUAL_VDD 网络上。

电源网络综合之后，对于网络的电压降、线与孔的电迁移值，可先在物理设计工具 ICC 中进行分析，所得到的数值满足设计要求时，就可以进入下一步流程，ICC 中完成这一分析的过程叫电源网络分析（PNA）。本芯片中的 VDD 有真实 VDD 和虚拟 VDD 两种，当 MTCMOS 开启时，这两个电源网络连接在一起，

而当 MTCMOS 关断时，这两个电源网络断开，因此在对关断的电压域进行 PNA 时，需要考虑这两个电源网络的特殊性。MTCMOS 开启的时候它在芯片中所起的作用相当于电阻，对芯片的电压降与电迁移效应等均会产生一定的影响，在电源网络分析时必须考虑。本次电源网络的分析结果如下：

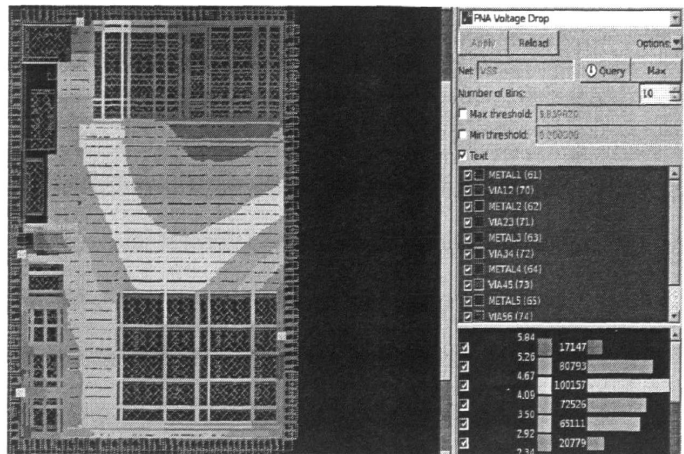
(1) TOP 域 的电源网络分析结果

从图 4.8 中可以看出，TOP 域 VDD 的 IR-Drop 是 63.4mV，VSS 的 IR-Drop 是 5.8mV，总的 IR-Drop 是 69.2mV，为电源供电电压的 3.5%，符合设计要求。



(a) VDD 的电压降图

(a) The diagram of VDD IR-Drop



(b) VSS 的电压降图

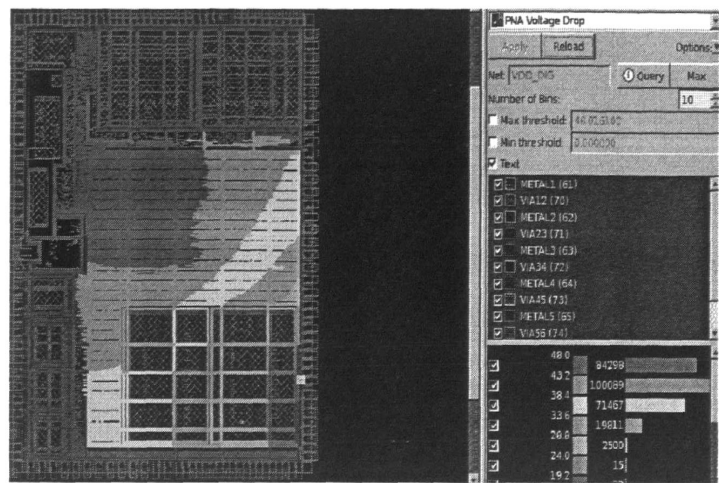
(b) The diagram of VSS IR-Drop

图 4.8 TOP 域的电压降示意图

Figure4.8 The diagram of TOP domain IR-Drop

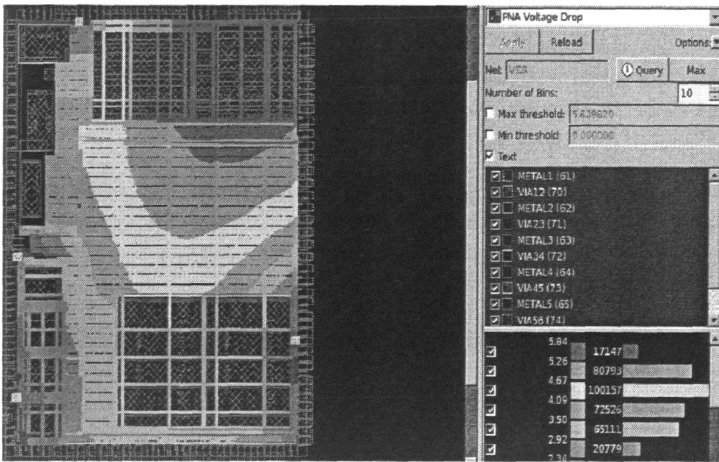
(2) PD_DIG 域电源网络分析结果

从图 4.9 中可以看出,PD_DIG 域 VDD 的 IR-Drop 是 48mV,VSS 的 IR-Drop 是 5.8mV, 总的 IR-Drop 是 53.8mV, 为电源供电电压的 2.7%, 符合设计要求。



(a) VDD 的电压降图

(a) The diagram of VDD IR-Drop



(b) VSS 的电压降图

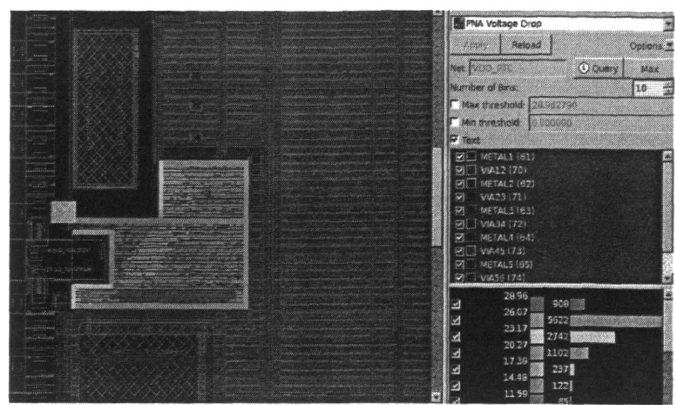
(b) The diagram of VSS IR-Drop

图 4.9 PD_DIG 域的电压降示意图

Figure4.9 The diagram of PD_DIG domain IR-Drop

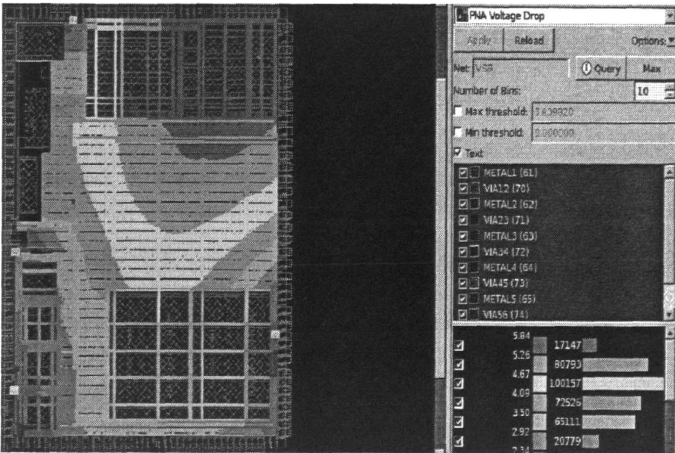
(3) BAT 域电源网络分析结果

从图 4.10 中可以看出,BAT 域 VDD 的 IR-Drop 是 30mV,VSS 的 IR-Drop 是 5.8mV, 总的 IR-Drop 是 35.8mV, 为电源供电电压的 1.7%, 符合设计要求。



(a) VDD 的电压降图

(a) The diagram of VDD IR-Drop



(b) VSS 的电压降图

(b) The diagram of VSS IR-Drop

图 4.10 BAT 域 的电压降示意图

Figure4.10 The diagram of BAT domain IR-Drop

由于标准单元库中没有集成门控单元，只有使用一个锁存器和一个与门组成的分立门控，由于与门的 enable 端不是真实的时钟传播路径，所以把与门的 enable 端设成 exclude pin，这样可以提高时钟树平衡的效果。

由于做时钟树时，工具会找所有可以让时钟穿过的路径，时钟会穿过分频时钟的逻辑，由于芯片中的分频时钟存在于不同的模块中，所以可能会对时钟树平衡造成不好的影响，如果有一个专门的模块包含所有的分频时钟，可能会有利于时钟树平衡。时钟树平衡的结果，CTS 之后的主时钟的 skew 为 0.28ns。CTO 之后的主时钟的 skew 为 0.32ns。

第五章 总结与展望

SEP6010B芯片是一款要求超低功耗的MCU，它是针对ZigBee/IEEE802.15.4无线局域网、RFID和无线传感器网络的应用，采用SiP（System in Package）技术，单封装内集成微控制器SEP6010B和兼容IEEE802.15.4-2003标准的无线收发器UZ2400。SEP6010B作为芯片中的微控制器部分，采用ACORE处理器内核，内置存储器和外围功能模块，芯片内部的电源划分为常开区、可关断区和备份电源供电区三个部分，要能够进行6种功耗模式的管理，分别是慢速工作、高速工作、Idle、PM1、PM2和PM3模式，各个模式对电源关断区域的要求也不相同。该芯片采用上海中芯国际0.18um CMOS E-Flash 工艺设计，为了完成电源门控技术，需要特别定制在0.18um CMOS工艺下的PM单元，因为Foundry不提供这种标准单元。芯片的设计是根据Synopsys的低功耗设计流程，从RTL级设计就引入了UPF文件，本文描述的是从综合后的门级网表到布局布线的实现过程。

论文首先介绍了SoC芯片低功耗物理设计的研究背景和意义，以及目前国内外低功耗设计的研究现状，阐述了门级低功耗物理设计包括门控时钟、多阈值电压逻辑、多供电电压技术和门控电源技术。然后对Synopsys基于UPF的低功耗设计流程进行展开叙述，对UPF文件的内容进行详细的分析。最后描述了SEP6010B芯片的低功耗物理设计过程，给出了芯片的版图截图。

芯片参加了中芯国际的full mask投片，加工好的芯片经测试，能够正常工作，完成了设计的功能，可以实现多个工作模式的切换。当然在本次物理设计中，还是有些问题的。在时序方面，由于无法得到1.2V工作条件下标准单元的时序库，所以不能准确的知道1.2V情况下芯片的工作频率，为了保证能正常工作，在设计中对于1.2V工作条件下的保持时间就加了很大的余量，这可能也是一种资源的浪费。在门控电源设计方面，插入MTCMOS以后开关的过冲电流大小在ICC里面是不能准确得到的，要使用PrimeRail才能准确计算，但是我们没有PrimeRail所需的库，因此设计的验证还是不充分的。有了这次的设计经验，相信在以后的低功耗物理设计中，一定可以做的更好。

参考文献

- [1] 王祚栋,魏少军, SOC时代低功耗设计的研究与进展[J].微电子学,2005, 35(2):74-179.
- [2]林孝康, SoC低功耗设计与评估技术[D].太原: 太原理工大学, 2003.
- [3]林涛译, 数字系统原理与应用电子工业出版社[M].北京: 电子工业出版社, 2005
- [4]孟一聪, 数字集成电路低功耗设计技术的研究及应用[D].北京:清华大学, 2005.
- [5] Giuseppe Scafidi. Low Power Design at 90nm and below [C].In:IEEE.Proc. 2006 DAC. USA:IEEE, 2006:19 - 30
- [6] MinSuk Koo, Hakchul Jung,etal, A 2.4 GHz CMOS ultra low power low noise amplifier design with 65 nm CMOS technology [C]. Solid-State and Integrated-Circuit Technology, 9th International Conference, 2008 Page(s):1488-1491
- [7] 伍艳春, 65nm SoC芯片低功耗设计的物理实现[D].南京: 东南大学, 2010
- [8] Cadence Common Power Format User Guide[M],2007
- [9] Synopsys Unified Power Format User Guide[M],2008
- [10] 吉利久, 深亚微米CMOS的功耗分析[J].中国集成电路, 2004, 12(67):29-37.
- [11]王志华, 数字集成系统的结构化设计与高层次综合[M].北京:清华大学出版社, 2000.
- [12]Juanjuan Chen, Xing Wei, Improve clock gating through power-optimal enable function selection[C]. Design and Diagnostics of Electronic Circuits & Systems, 12th International Symposium on, 2009, pp:30 - 33
- [13] 洪锡高, 周玉洁, 片上系统设计方法和低功耗设计[J]. 微型机与应用,2005, 24(10):22-25
- [14] Darren Jones, How To Successfully Use Gated Clocking in an ASIC Design, SNUG 2009,
- [15] Plkhrel.k, Physical and Silicon Measures of Low Power Clock Gating Success:

An Apple to Apple Case Study[C], SUNG, 2007

[16] 张永新, 门控时钟的低功耗设计技术[J].微电子学与计算机,2004 ,21 (1) :23 - 26

[17]迟雪锋, 65nm下的TD-SCDMA芯片低功耗后端实现[D].上海: 复旦大学, 2008

[18] Michael Keating, David Flynn, Low Power Methodology Manual: For System-on-Chip Design[M],Springer, 2007

[19] Karsten.Matt, Rainer Mann. Multi-Voltage Implementation Flow with Synopsys tools[C].SNUG, 2008

[20] Y. Berg, O. Mirmotahari, P.A. Norseng and S. Aunet, Ultra Low Voltage CMOS gates[C]. In Proc. IEEE International Conference on Electronics, Circuits and Systems (ICECS), France, September 2006

[21] H.H. Huang and C.H. Cheng, Using Clock-Vdd to Test and Diagnose the Power-Switch in Power-Gating Circuit[C]. in Proc.IEEE VLSI Test Symposium (VTS), 2007, pp.110-118.

[22] Implementing Power Gating Using Synopsys Tools Application Note[M].Synopsys, 2008

[23] Wang L, Jiang Y, Selvara H. Multiple Voltage Synthesis Scheme for Low Power Design Under Timing and Resource Constraints[J]. Integrated Computer-Aided Engineering, 2005, 12(4): 369-378

[24]IC Compiler User Guide[M]. Synopsys,2007

[25] 陈春章, 艾霞, 王国维. 数字集成电路物理设计[M]. 北京: 科学出版社, 2008

[26] E.G.Friedman. Clock Distribution Networks in VLSI Circuits and System [C]. IEEE Press, 1995:405-121

致谢

本文的撰写过程中遇到了许多困难，很多人都给了我无私的帮助和指导，值此论文完成之际，谨向给予过我指导、关心和帮助的人们表示最衷心的感谢。

首先要感谢我的导师吴秀龙老师，在我的整个研究生阶段给予我多方面的帮助，在论文的撰写过程中提出了很多有益的建议。吴秀龙老师渊博的知识、严谨求实的治学态度、精益求精的科研精神都值得我学习。在此向吴老师致以我深深的敬意和诚挚的谢意。

本文的实践部分是一款低功耗芯片的物理实现，在项目实施阶段，感谢吴秀龙老师、徐太龙老师、刘毅、白雪等项目组成员和我一起克服项目中的重重困难，感谢黄凯、蔡志匡、伍艳春、李立丰、黄丹丹师兄师姐在学习和项目上的指导。

最后感谢我的家人给予我精神和物质上的支持。

攻读学位期间发表的学术论文

- [1] 柯烈金, 吴秀龙, 徐太龙. 时钟树性能的研究及改进方法[J]. 电脑知识与技术