

基于 VHDL 的数字存储示波器的设计与开发

摘要

随着集成电路(IC)技术的发展,电子设计自动化(EDA)技术逐渐成为模拟与数字集成电路系统的重要设计手段。电子设计自动化是实现电子系统或电子产品自动化设计的技术,它与电子技术、微电子技术的发展密切相关,它吸收了计算机科学领域的大多数最新研究成果,以高性能计算机作为工作平台,促进了工程发展。EDA 技术的发展始于 70 年代,至今经历了三个阶段。电子线路 CAD(计算机辅助设计)是 EDA 发展的初级阶段,80 年代初期,形成了 CAE(计算机辅助工程),也就是所谓的 EDA 技术中级阶段,90 年代出现了以自动综合器和硬件描述语言为基础,全面支持电子设计自动化的 ESDA(电子系统设计自动化),即高级 EDA 阶段,也就是目前常说的 EDA。使用 EDA 技术设计的结果既可以用 FPGA/CPLD 来实施验证,也可以直接做成专用集成电路(ASIC)。EDA 的一个重要特征就是使用硬件描述语言(HDL)来完成设计文件。诞生于 1982 年的 VHDL 语言是 IEEE 确认的标准硬件描述语言,在电子设计领域已经广泛应用。

本文首先综述了 EDA 技术和 PLD 器件的发展概况;然后对数字存储示波器的原理进行介绍和分析;接着介绍使用 FPGA 进行开发设计的优点以及 VHDL 语言和 MAXPLUS 软件的特点,也介绍了本文的设计方案;接下来介绍使用 EDA 技术,用 VHDL 语言完成了 DSO(数字存储示波器)的底层控制及主要功能部件的设计工作;最后介绍了 EDA 技术的前沿发展趋势及系统开发中的几点体会。

本文的技术难点在于控制器和用 EAB 实现数据存储的设计,主要体现在对状态机的设计上;通过用状态机实现 ADC 控制器,可以看出 VHDL 语言具有很多的优势和特点。

示波器是电子测量中一种最常用的仪器,它可以用来观察、测量、记录各种瞬时物理现象并显示其与时间关系的电子仪器。数字存储示波器的原理是利用 A/D 转换把被测模拟信号变为数字信号,然后存入存储器中,需要显示的时候,将存储器中存储的内容调出,通过相应的 D/A 转换恢复为模拟信号显示。

本文设计的数字存储示波器是在通用示波器的基础上进行改造,可以节约大量的仪器设备购置资金,对于促进实验教学质量的提高具有重要的现实意义。

关键词: 数字存储示波器 有限状态机 VHDL CPLD

分类号: G434

The Design and Development of Digital Storage Oscilloscope Based on VHDL

Abstract

The Electronic Design Automation(EDA) technology has become an important design method of analog and digital circuit system as the integrated circuit's growing. The EDA technology, which is closely connected with the electronic technology, microelectronics technology and computer science, can be used in designing electronic product automatically. It was firstly put forwarded In70s. And till now there has been three stages of the EDA. That is the computer aided design (CAD) of electronic circuit in 70s, the computer aided engineering(CAE) in 80s and the electronic system design automation(ESDA) in 90s. The ESD A, Which is called EDA now, is based on the automatic synthesizer and the hardware description language (HDL) . The design result of EDA can not only be verified by FPGA/CPLD but also be implemented through the Application Specific Integrated Circuit (ASIC). One important characteristic of the EDA is that the design documents should be completed by the HDL. The VHDL is one of the standard hardware description languages validated by IEEE, which was firstly introduced in 1982. And it was widely used by electronic designer now.

We firstly present the technology of EDA and the development of PLD devices in this thesis. The elements of EDA then was introduced .And then introduced the strongpoint of the FPGA , VHDL language and the software MAXPLUS, also the design plan is introduced. Finally, we introduced the foreground of EDA and the experience in design.

The key point in this paper is the method how to design the controller and the memory based on EDA. It's mainly focus on the realization of data memory and the method to design the Finite State Machine in the A/D control unit. The design of the controller is based on MCU+CPLD. MCU is used to control the whole DSO and CPLD control the high speed part. The reliability of A/D controller

depends on the Finite State Machine.

Oscilloscope is a often used instrument in electronic measurement, it is a electronic instrument which can observe,measure,register diversified instantaneous physics phenomenons and show relation with time. Making use of A/D conversion DSO changes analog signals to digital signals,and places it to memorizer,when it will display, we will take out content of memorizer, making use of D/A conversion DSO changes digital signals to analog signals to display.

The design of DSO in this paper will be mostly used in experiment instruction, and it is very important in experiment instruction. It is rebuild on currency oscilloscope, which may save money.

Keywords: DSO FSM VHDL CPLD

Category Number: G434

独 创 声 明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的
研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其
他人已经发表或撰写过的研究成果，也不包含为获得_____（注：如
没有其他需要特别声明的，本栏可空）或其他教育机构的学位或证书使用过的材
料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明
并表示谢意。

学位论文作者签名：

周在龙

导师签字：

卢浩斌

学位论文版权使用授权书

本学位论文作者完全了解学校有关保留、使用学位论文的规定，有权保
留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。
本人授权学校可以将学位论文的全部或部分内容编入有关数据库进行检索，可
以采用影印、缩印或扫描等复制手段保存、汇编学位论文。（保密的学位论文在
解密后适用本授权书）

学位论文作者签名：

周在龙

导师签字：

卢浩斌

签字日期：200 6 年 4 月 21 日

签字日期：200 6 年 4 月 21 日

第一章 前言

本章简单介绍示波器的发展现状、基本原理和特点；EDA 技术的发展阶段。论述 DSO（数字存储示波器）开发的可行性和必要性。阐述 DSO 的功能要求。

示波器在是实验室中的常用重要仪器，它能把人们无法直接看到的电信号，转换成肉眼能直接观察的波形，显示在示波管屏幕上，以便对信号进行定性和定量观察。在教学中它是帮助学生学习验证原理和进行实验研究的重要工具。

1.1 数字存储示波器概述

示波器是电子测量中一种最常用的仪器，它是一种可以用来观察、测量、记录各种瞬时物理现象，并以波形方式显示其与时间关系的电子仪器。示波器直观的显示效果有助于对被测对象的深入理解，所以得到了广泛的应用，目前人们已将它作为最重要的测试工具之一。典型的示波器产生一个二维或者三维的波形，输入端接收的电压信号显示在 Y 轴方向上，而时间参数则显示在 X 轴方向上。传统的示波器是模拟的，用 CRT 作为显示器件。在电子枪内形成电子束，经过加速、聚焦，然后打在荧光屏上，使受撞击的点发出可见光。^[1]模拟示波器的缺点是只能观测周期信号。对于非周期性的单次瞬变信号的观测，用模拟示波器观测是非常困难的，有时甚至是不可能的。为了将各种信号无失真地显示并存储，就必须采用数字技术，这也是数字示波器的基本思想。数字存储示波器是伴随着模—数转换器（ADC）的发展而趋于实用化的示波器。ADC 把输入示波器的电压瞬时值转换为对应的数字值，并保存在存储器中。采集完成后，从数字示波器中取出这一系列数字，经过适当处理后再现电压对时间的波形。由于数字存储示波器与计算机技术的紧密结合，使其发展非常迅速，目前已成为示波器市场上的主流产品，并会逐渐地完全取代模拟示波器。

数字存储示波器是利用 A/D 转换把被测模拟信号变为数字信号，然后存入存储器中，需要显示的时候，将存储器中存储的内容调出，通过相应的 D/A 转换恢复为模拟信号显示。

本文设计的数字存储示波器主要应用于实验教学中。在实验教学中示波器有非常重要的作用。同时本设计是在通用示波器的基础上进行改造，这样可以节约资源。

1.1.1 数字存储示波器的基本原理与特点

数字存储示波器，它是用 A/D 变换器把模拟信号转换成数字信号，然后存在半导体存储器 RAM 中，需要时将 RAM 中存储的内容调出，通过相应的 D/A 变换器，再恢复成模拟量显示在示波管上或通过 LCD 用点阵或连线的方式再现波形。在这种示波器中信号处理与信号显示功能是分开的，它的性能主要取决于进行信号处理的 A/D、RAM 和微处理器的性能。由于采用 RAM 存储器，可以快写数据慢读数据，使得即使在观察缓慢信号时也不会有闪烁现象。使用数字存储示波器不仅可以观测周期性重复信号、超低频信号，而且也能够观测非周期的单次的或随机的信号。这是因为数字存储示波器可以采用实时采样，即每隔一个采样周期取样一次，所以可以观测非周期性信号。

与传统的模拟示波器相比，数字存储示波器具有许多优点，主要表现在：

1、多通道单次信号捕获：一个 DSO 能够同时并在多个通道上捕捉象电源开、关或故障发生这样的单次瞬态事件。

2、波形处理：由于 DSO 内部使用一个微处理器，它能够在所获得的波形上完成幅度和时间参数以及波形运算等功能，加上选件能够完成更复杂的数学运算，如积分、倒数、指数、对数、平均、数字滤波、极值、FFT 等。

3、数据存储：DSO 带有非易失性的波形存储器，它们能够提供与 DSO 兼容的存储卡或软盘。示波器也能够容易地与许多绘图仪和打印机相连来进行高质量的硬拷贝。

4、更多的触发功能：DSO 也能够提供许多模拟示波器所没有的触发能力。例如：当故障发生时，它能够触发并且能够观察引起故障触发前的过程。

5、自动测试：数字存储示波器能够提供自动测试功能，简化了使用者的操作，使仪器具有智能化。

1.1.2 数字存储示波器的发展状况

目前，数字示波器市场上的主流产品仍然是国外产品。其中美国 TEK 公司的示波器一直处于领先地位，被世界公认为示波器的权威。近来 TEK 推出的 TDS 系列示波器具有独特的保证信号高保真度的获取结构，能够利用最先进的触发系统，提供快速瞬态信号或重复信号的多通道获取，显示和所有测量的有效修正，先进的波形处理。TDS2012 示波器具有 100MHZ 的带宽，1GS/s 等效采样率，记录长度可达 2.5K，内部采取高保真

读的获取技术,操作简单。力科公司在示波器方面世界排行第三,它也推出了各种型号的示波器,并具有独自的特点,能够自动测试 32 种参数。如: LC534A/LC574A 数字示波器带宽为 1GHz, 采样速率 4GS/s。由于该示波器采用了 96MHz 的 POWER PC603e 处理器、8~64Mbyte 的系统 ram, 1Mbyte 的视频存储器、32kbyte 的高速缓存和智能化存储器管理系统, 它能快速刷新波形、动态分配处理器、采集存储器和运算存储器的资源, 保证示波器资源的最佳利用。该系列采用 9 英寸彩色显示器, 能提供 8 个波形的画面, 可方便、容易观察信号细节。8 踪显示能与运算功能、放大缩小、参考存储器或通道组合, 并能在屏幕上显示或不显示参数。该示波器在信号分析方面具有较强的处理功能, 可同时完成 4 种处理功能: 加、减、乘、除、取反、恒等、累加平均值和正弦值。还有 FFT 平均运算和 5 个窗功能的频谱分析功能。

目前国内数字存储示波器市场上出现的产品最高带宽为 100MHz, 像普源精电公司的 DS3102 系列产品就是带宽为 100MHz, 等效采样率为 10GS/S。由于受到高速取样技术的限制, 国内 100MHz 带宽的数字示波器大都采用重复取样技术。

1.2 数字存储示波器的主要性能指标

主要技术指标如下:

- 垂直分辨率: 8bits
- 带宽: 双通道 50KHz
- 3 挡垂直灵敏度: 0.01V/div、0.1 V/div 、1V/div
- 最大输入电压: 8V
- 上升/下降时间: $\leq 3.5\text{ns}$
- 上冲/阻尼: $\leq 5\%$
- 输入阻抗: 100K Ω
- 最高采样率: 1MSa/s
- 最大等效采样速率 1MS/S, 最高水平分辨率 100us
- 存储深度: 512bits/通道
- 时基范围: 20us/div -0.2ms/div -0.2s/div

主要功能指标有:

- 双踪显示

- 显示方式：有内触发存储显示方式（单次）、连续触发存储显示方式和水平移动扩展显示
- 存储回调功能：有菜单选择存储区域将屏幕上显示的波形或参数存储起来，菜单选择存储过的波形或参数回调出来
- 波形以适当的时基和量程显示在屏幕上
- 显示调节：通过菜单来调节背光强度及显示对比度
- 触发特性：有内部，上升沿触发，触发方式有单次和连续触发，触发电平可以调节
- 纵向解析度：8.0 格×32 点（每 1 个点为 1 个像素）
- 横向解析度：10 格×25 点（每 1 个点为 1 个像素）
- 扩展显示：256bits×2

1.3 数字存储示波器开发的必要性和可行性

本系统的主要设计思想是将被测信号进行数字存储并由通用示波器将被测信号显示出来，通用示波器的作用主要是进行波形显示而不对其进行操作和调整。实际上就是对通用示波器进行改造，从而实现数字存储的功能。改造后的示波器主要用于实验教学。这样既可以实现数字存储示波器的功能又不会增加太多的资金投入。这对于提高教学实验和科研的水平有很大益处。

通用示波器存在很多弊端或限制：首先，通用示波器的造价高；其次，通用示波器升级困难；第三，通用示波器处理的是模拟信号，模拟信号处理起来很困难；第四，通用示波器的精度低；第五，通用示波器操作复杂。因此，开发数字存储示波器（Digital Storage Oscilloscope）是非常必要的。在 DSO 中用 HDL 语言编制有关数据处理程序，对采集的信号进行处理，可以得到许多测量结果，有效的弥补了通用示波器的不足。例如被测信号的频谱、功率、随机误差等。这是通用（模拟）示波器所无法胜任的，也充分显示了数字存储示波器的优越性。

1.4 EDA 技术的发展概况

本系统使用 EDA(Electronic Design Automation) 技术进行设计和开发。电子设计自动化 EDA (Electronic Design Automation) 是指利用计算机完成电子系统的设计。

EDA 技术是以计算机和微电子技术为先导,汇集了计算机图形学、拓扑、逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术。

EDA 技术以计算机为工具,代替人完成数字系统的逻辑综合、布局布线和设计仿真等工作。设计人员只需要完成对系统功能的描述,就可以由计算机软件进行处理,得到设计结果,而且修改设计如同修改软件一样方便,可以极大地提高设计效率。根据电子设计技术的发展特征,EDA 技术发展大致分为三个阶段:

第一阶段, CAD 阶段(20 世纪 60 年代中期至 20 世纪 80 年代初期)。这个阶段的特点: MOS 工艺,用一些单独的工具软件,主要有 PCB(Printed Circuit Board)布线设计、电路模拟、逻辑模拟及版图的绘制等,通过计算机的使用,从而将设计人员从大量烦琐重复的计算和绘图工作中解脱出来。例如,目前常用的 Protel 早期版本 Tango,以及用于电路模拟的 SPICE 软件和后来产品化的 IC 版图编辑与设计规则检查系统等软件,都是这个阶段的产品。这个时期的 EDA 一般称为 CAD(Computer Aided Design)。

第二阶段, CAE 阶段(20 世纪 80 年代初期至 20 世纪 90 年代初期), CMOS 工艺, PCB 设计方面的原理图输入、自动布局布线及 PCB 分析,以及逻辑综合、逻辑仿真、布尔方程综合和化简应用广泛,硬件描述语言出现;这个阶段在集成电路与电子设计方法学以及设计工具集成化方面取得了许多成果,各种设计工具,如原理图输入、编译与连接、逻辑模拟、测试码生成、版图自动布局以及各种单元库已齐全。由于采用了统一数据管理技术,因而能够将各个工具集成为一个 CAE(Computer Aided Engineering)系统。按照设计方法学制定的设计流程,可以实现从设计输入到版图输出的全程设计自动化。这个阶段主要采用基于单元库的半定制设计方法,采用门阵列和标准单元设计的各种 ASIC 得到了极大的发展,将集成电路工业推进到了 ASIC 时代。多数系统中集成了 PCB 自动布局布线软件以及热特性、噪声、可靠性等分析软件,进而可以实现电子系统设计自动化。

第三阶段, EDA 阶段(20 世纪 90 年代以来), EDA 技术就是依赖功能强大的计算机,在 EDA 工具软件平台上,对以硬件描述语言 HDL 为系统逻辑描述手段完成的设计文件,自动地完成逻辑编译、逻辑化简、逻辑分割、逻辑综合(布局布线),以及逻辑优化和仿真测试,直至实现既定的电子电路系统功能。

EDA 技术在硬件方面融合了大规模集成电路制造技术、IC 版图设计技术、ASIC 测试和封装技术、CPLD/FPGA 编程下载技术、自动测试技术等;在计算机辅助工程方面

融合了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 技术及多种计算机语言的设计概念;在现代电子学方面容纳了电子线路设计理论、数字信号处理技术、数字系统建模和优化技术及长线技术理论。

1.5 VHDL 硬件描述语言简介

VHDL 的英文全名是 VHSIC(Very High Speed Integrated Circuit)Hardware Description Language, 于 1983 年由美国国防部 (DOD) 发起创建, 由 IEEE(The institute of Electrical and Electronics Engineers)进一步发展并在 1987 年作为“IEEE 标准 1076”发布。从此, VHDL 成为硬件描述语言的业界标准之一。自 IEEE 公布了 VHDL 的标准版(IEEE Std 1076)之后, 各 EDA 公司相继推出了自己的 VHDL 设计环境, 或宣布自己的设计工具支持 VHDL。此后 VHDL 在电子设计领域得到了广泛的应用, 并逐步取代了原有的非标准硬件描述语言。

VHDL 作为一个规范和建模语言, 随着 VHDL 的标准化, 出现了一些支持该语言的行为仿真器。由于创建 VHDL 的最初目标是用于标准文档的建立和电路功能模拟, 其基本想法是在高层次上描述系统和元件的行为。但到了 20 世纪 90 年代, 人们发现, VHDL 不仅可以作为系统模拟的工具, 而且可以作为电路系统的设计工具: 可以利用软件工具将 VHDL 源码自动地转化为文本方式表达的基本逻辑元件连接图, 即网表文件。这种设计显然对于电路自动设计是一个极大的推进。很快, 电子设计领域出现了第一个软件设计工具, 即 VHDL 逻辑综合器, 它把标准 VHDL 的部分语句转化为具体电路实现的网表文件。

1993 年, IEEE 对 VHDL 进行了修订, 从更高的抽象层次和系统描述能力上扩展了 VHDL 的内容, 公布了新版本的 VHDL, 即 IEEE 标准的 1076-1993 版本。现在, VHDL 和 Verilog 作为 IEEE 的工业标准硬件描述语言, 得到众多 EDA 公司的支持, 在电子工程领域, 已成为事实上的通用硬件描述语言。

VHDL 语言具有很强的电路描述和建模能力, 能从多个层次对数字系统进行建模和描述, 从而大大简化了硬件设计任务, 提高了设计效率和可靠性。

VHDL 具有与具体硬件电路无关和与设计平台无关的特性, 并且具有良好的电路行为描述和系统描述的能力, 并在语言易读性和层次结构化设计方面表现了强大的生命力和应用潜力。因此, VHDL 在支持各种模式的设计方法、自顶向下与自底向上或混合方

法方面, 在面对当今许多电子产品生命周期的缩短, 需要多次重新设计已溶入最新技术, 改变工艺等方面都表现了良好的适应性。用 VHDL 进行电子系统设计的一个很大的优点是设计者可以专心致力于其功能的实现, 而不需要对不影响功能的与工艺有关的因素花费过多的时间和精力。

1.6 本论文设计的任务

数字系统设计是本系统的主要组成部分, 而数据存储系统和控制器设计是其中的核心环节。本系统的设计是基于 CPLD 结构上的, 利用 CPLD 灵活的可再编程的特点完成数据的采集、存储; MCU 作为 DSO 的整体控制部分, 管理整个仪器。

第二章 DSO 的总体设计

本章主要对 DSO 的外部特性进行分析, 阐述 DSO 的主要功能以及输入量和输出量(DSO 的行为描述和设计); 阐述实现 DSO 功能的基本原理、基本框图(DSO 的结构描述和设计); 确定 DSO 中子系统所使用的关键模块、关键器件。

2.1 DSO 的组成框图

本部分主要是描述 DSO 系统的主要功能以及输入和输出; 这些输入输出物理量类型、特征和相互之间的关系; 这些输入输出的来源和负载及对系统的信号源和负载的要求。DSO 的系统级框图如图 2-1 所示。

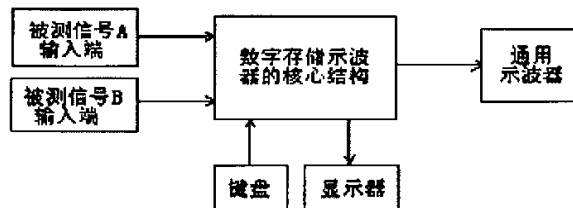


图 2-1 DSO 的系统级框图

本论文所设计的数字存储示波器的触发方式为内触发存储显示方式(单次)和连续触发存储显示方式及水平扩展显示(扩展 1 倍, 即存储深度增加 1 倍), 在信号上升沿产生触发, 触发电平可以调节; 要求该数字示波器具有 3 挡扫描速度: 0.2s/div、0.2ms/div、20us/div 和 3 挡垂直灵敏度: 0.01v/div、0.1v/div、1v/div。

数字存储示波器的组成框图如图 2-2 所示。

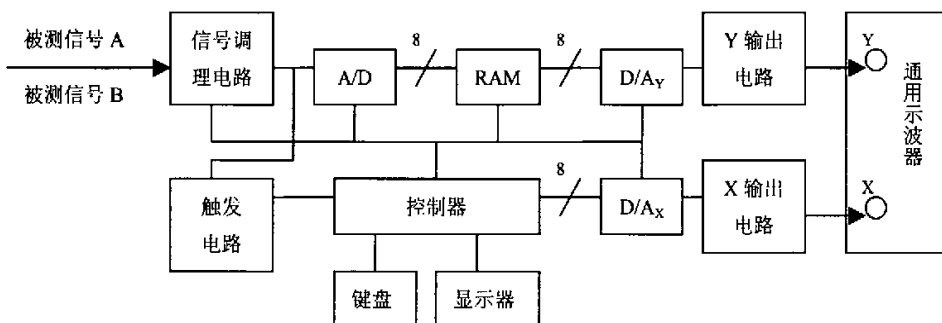


图 2-2 组成框图

从图中看输入为被测信号 A 和 B；输出为 X、Y 信号分别作用于通用示波器的 X、Y 输入端。该系统的特点是显示部分借用通用示波器的显示系统，在具体使用的时候不对通用示波器作调整。

2.2 DSO 技术指标的分配

1、信号通道误差分配

本设计要求整个信号通道的误差小于 5%，信号通道即 DSO 的 Y 通道。Y 通道包括信号调理电路、A/D、RAM、D/A 及 Y 输出电路，并假设通用示波器不引入测量误差。这里认为在读写 RAM 时不产生数码误差，因为本设计中的采样速率比常用 RAM 的读写速率低。这样，误差只产生于信号的前向通道（包括信号调理电路和 A/D）和后向通道（包括 D/A 及 Y 输出电路）。初步分配为：前向通道误差小于 2.5%，后向通道误差小于 2%，则信号通道总误差的设计目标定为 4.5%（=2.5%+2%）。

2、时基误差分配

本设计要求扫描的误差小于 5%。在数字存储示波器中，扫描速度的误差主要取决于定时信号准确程度（它影响采样速率的准确程度）以及扫描电压的准确程度。定时信号产生于晶体振荡器，目前能达到的稳定度为 10^{-9} ，其误差和本设计所要求的 5% 误差相比，可以忽略不计；本设计中 DSO 控制器和 ADC0809 控制器中采样速率是时钟信号经过 CPLD 分频得到的，其误差在 ns 量级，而本设计最高采样速率 1MHz，为 us 量级，可以不考虑其误差影响；此外，扫描电压由 D/A_x 和输出电路产生，即使 D/A 为理想线性器件，也要存在 1LSB 量化误差。假设选用的 D/A_x 为 8 位，量化误差为 $1/2^8 \approx 0.4\%$ ，此外，输出电路由于增益的非线性也要使扫描电压产生误差，通常估计扫描电压的误差小于 2%。

2.3 采样方式的选择

在现代数字存储示波器中，通常有两种采样方式：实时采样和等效时间采样。实时采样就是在信号存在期间对其采样。按照采样定理，采样速率必须高于信号中最高频率分量的 2 倍；对于周期正弦信号，一个周期内应该有两个采样点。如果考虑实际因素的影响，为了不失真地恢复被测信号，通常按照所采用的恢复选取相应的采样点数。这里用采样点直接恢复方式，为此一个信号周期内就需要采样 20 个采样点数。如图 2-3 所

示（为了简明起见，图中一个周期仅画了 4 个采样点）。

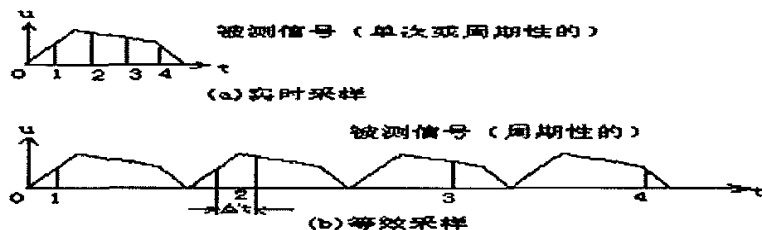


图 2-3 实时采样和等效采样示意图

由于采样器件工作速率的限制，实际上在信号的频率很高时就很难实现实时采样，尚且采样速率愈高采样器（主要是 A/D）的价格愈贵。但是，对于周期性信号可以采用等效时间采样方法。等效时间采样又分为顺序采样和随机采样两种方法。顺序采样是对每一个信号周期仅采样一点，经过若干个信号周期后就可以对信号的各个部分采样一遍。而这些样点可以借助步进延迟方法均匀的分布于信号波形的不同位置。所谓步进延迟是每一次采样比上一次样点的位置延迟 Δt 时间，如图 2-3(b)。有时对于很高频率的被测信号，可以借助分频的方法每隔 10、100 甚至更多的信号周期采样一个点，但是样点之间的步进延迟总是必要的。以如此方法采样仍然可以恢复原信号波形。此外，还有一种随机采样方式。通常将等效时间采样又称为非实时采样。

采样方式的比较和选择。等效时间采样虽然可以对很高频率的信号进行采样，但是步进延迟的采样技术是较难实现的。再者，对于单次信号测量，非实时采样是无能为力的；另外，在最高信号频率为 50kHz，为使该频率下每个周期内有 20 个采样点，就要求最高采样速率为 1MHz，在目前市场条件下满足 1MHz 采样速率的 A/D 无论技术条件还是价格都不是困难的。因此，在本设计中选用实时采样方式。

2.4 控制器方案的选择

本设计的 DSO 应该在满足触发条件时能启动示波器对被测信号进行采集、存储、显示；为了实现 DSO 的功能，控制器应该满足以下要求：

- (1) 设计的仪器应该在满足触发条件时能启动对被测信号进行采集、存储和显示；
- (2) 根据被测信号的频率范围确定相应的采样速率，例如当信号频率为 50KHz 时采样速率为 1MHz；信号频率为 5KHz 时采样速率为 100KHz，实际上就是根据不同扫描速率的要求确定相应的采样速率；
- (3) 在对存储的信号进行显示时，可以选择一个合适的速率将存储的信号数据读

出并恢复为模拟量作为通用示波器的 Y 通道输入信号（例如，按 10 KHz 速率）；同时还要提供与 Y 通道信号速率相适应的扫描电压作为 X 通道的输入信号；

（4）为了使得 A/D 在合适的模拟输入信号幅度下进行转换，应该根据垂直灵敏度的要求选择信号调理电路相应的增益；

（5）对两个信号同时进行采集、存储、显示时，应该实现双踪显示功能。

能实现上述要求的控制器可以有如下三种方案供选择：

- （1）用大规模集成电路实现，例如现场可编程逻辑器件 CPLD；
- （2）用单片机实现，例如现在流行的 MCS-51 系列 8 位机；
- （3）用单片机和复杂可编程器件共同实现。

在上述三种方案中，方案（1）可编程逻辑器件工作速度快，为 ns 量级，可满足对最高采样速率的工作要求。但是硬件量大、设计复杂且难度大。方案（2）单片机的工作速度取决于其机器周期，目前 12 MHz 时钟单片机的机器周期为 $1\mu s$ ，不能胜任 1MHz 采样速率，因为要完成一个样点的采集不只一条指令，更不是一个机器周期的时间就能完成的。方案（3）在单片机的管理下，由现场可编程逻辑器件 CPLD 完成高速控制功能，例如对高速信号的采集和存储；而单片机实现对 CPLD 及至整个 DSO 的管理，例如从键盘输入选择采样速率、选择信号调理电路的增益；将存储的数字信号进行数据处理并恢复为模拟信号进行显示，等等。因此本设计选择方案（3），即用 MCS-51 系列单片机和 CPLD 实现两层控制功能，CPLD 进行底层控制，而由单片机组成的最小系统进行顶层控制机数据处理功能。控制器的组成如图 2-4 所示。

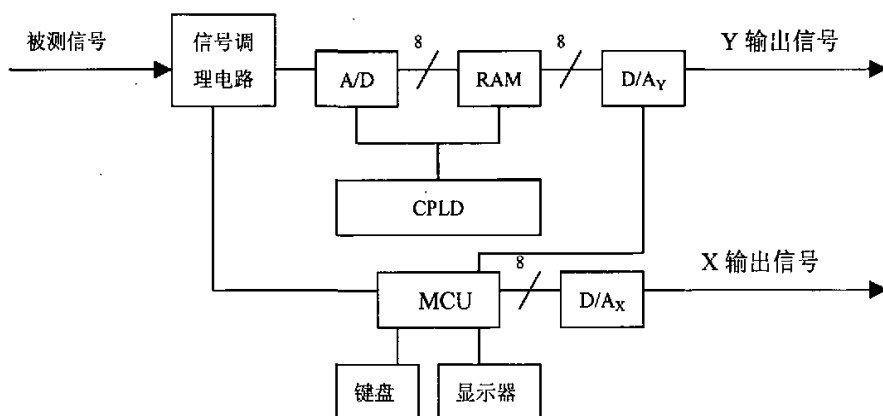


图 2-4 控制器框图

在上面的控制器框图中，键盘和显示器用于人机接口，而显示器用于表示仪器当前的操作状态。

2.5 双踪显示的设计方案

2.5.1 双踪显示的实现

在前向通道中双踪是用两个通道分别对两个被测信号（A、B）进行采样、存储，因在此显示时应该将两个 RAM 中的数据分别恢复为两个模拟信号，同时显示在荧光屏上。为了同时恢复两个信号，必须用性能相同的 D/A（分别称为 D/A_A 、 D/A_B ）。这时 D/A_A 、 D/A_B 数据源来自 RAM_A 和 RAM_B 。但是在双踪显示时，按照上述信号恢复方法将会出现光迹混叠现象。如图 2-5(a) 所示。为了将 A、B 两个被测信号分别显示在屏幕的上、下半部，其实现方法是信号恢复时分别叠加相应的偏移电压，进行光迹分离，如图 2-5(b) 所示。通常有两种实现光迹分离的方法，其一是用电路进行电平移位的方法（和前向通道中电平移位的原理一样）；其二是用数据处理的方法，在 D/A 进行数据恢复的同时加入相应的偏移量，本设计采用方法二，这样可以简化电路。

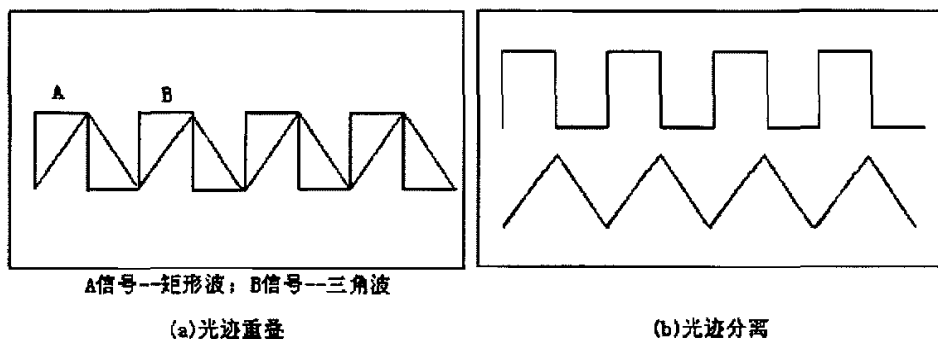


图 2-5 光迹分离示意图

2.5.2 双踪显示时信号的采集与存储

为了对两个被测信号（A、B）同时进行显示，必须同时对 A、B 信号进行采样、存储。通常，对两个信号进行调理、采样、存储有两种方法，即断续方法和交替方法。断续方法是按样点轮流对 A、B 信号进行采样，即每次采样都要换接一次信号；而交替方法是当对某一信号采满一屏数据之后，在对另一信号进行采样。一屏数据是指示波器扫描整个荧光屏所需要的数据个数，本文要求 $20 \text{ 点/1div} \times 10 \text{ div} = 200 \text{ 点}$ ，有时亦称为一个页面。在本文中由于被测信号的频率优势很低，及至直流，故不宜采用交替方法，否则就不能实现对低频被测信号的双踪实时显示的要求。因此本设计采用断续方法。

从电路来讲,有两种实现双踪显示的方法,如图 2-6 和图 2-7 所示。在方法一中,借助模拟开关以断续方式分别接通 A、B 两个信号至 A/D,进行模数转换。在方法二中是将 A、B 两个被测信号各自接入相应的 A/D,同时进行模数转换。比较这两种方法,方法一是一个模拟开关的代价节省了一个 A/D,但是控制信号的设计十分繁琐,在数据写入 RAM 以及信号恢复时的读写顺序都必须周密考虑;而方法二虽然付出了两块 A/D 的代价,但是设计思路比较简单,免去了对控制信号的复杂要求。所以本文选择方法二。

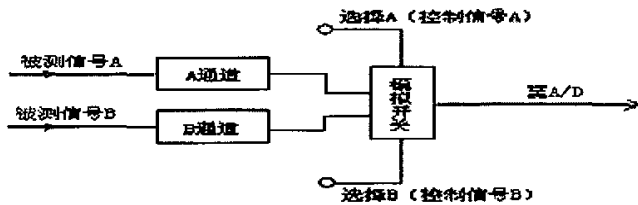


图 2-6 (a) 双踪显示方法一

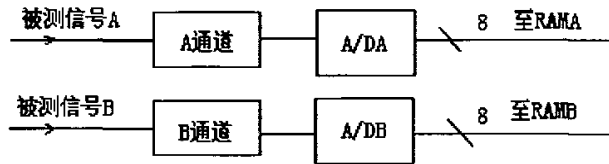


图 2-7 (b) 双踪显示方法二

2.6 存储器的选择和水平移动扩展显示

采用 8bit 的 RAM 作为存储器。从结构上说 RAM 有两种:双端口 RAM,通用 RAM(SRAM)。双端口 RAM 可以同时进行读、写操作,但其控制较为复杂,价格也比较贵;SRAM 是常用的数据存储器,使用方法简单,价格也便宜,DSO 中可以采用。但在本设计中采用内含嵌入式阵列块的 CPLD,该器件内部具有一个逻辑阵列和一个嵌入阵列。嵌入阵列由一系列 EAB(嵌入式阵列块)组成,可以作为存储器使用,构成双口 RAM 或 FIFO。本设计选用 EAB 构成 FIFO,这样既可以减少外接器件又可以提高 DSO 的可靠性。另外,该 CPLD 兼用于控制器部分。

关于水平移动扩展显示,按照要求,信号采集存储时已经增加一倍(相当于两个页面),因此在进行信号显示时只要将其连续的一半数据恢复为模拟量进行显示。如果选择合适的的数据起点地址 X,就可以显示被测信号波形的任一部分。如图 2-8 所示。除了显示 X=0 的一个页面外,图中还分别表示以 X=N 和以 X=M 为起点的一个页面的两种情况。

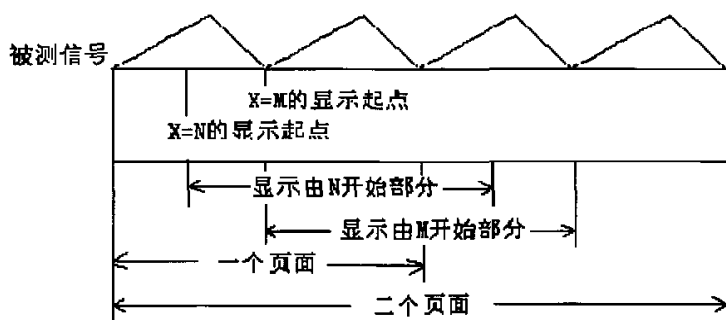


图 2-8 移动显示示意图

2.7 ADC 控制器的设计方案

对 A/D 器件进行采样控制，传统的方法多数是使用 CPU 或单片机完成的。编程简单，控制灵活，但缺点是控制周期长，速度慢。特别是当 A/D 本身的采样速度比较快时，CPU 的慢速极大的限制了 A/D 的速度。这里以单片机对 A/D 器件 AD574 的采样控制为例加以说明。AD574 的采样周期平均为 $20\mu s$ ，即从启动 AD574 进行采样到 AD574 完成将模拟信号转换成 12 位数字信号的时间需要约 $20\mu s$ ，或者说，其采样速率为每秒 5 万次。通常对某一个模拟信号至少必须进行一个周期的连续采样，在此假设为 50 个采样点，AD574 需时为 $20\mu s \times 50 = 1ms$ 。以 51 系列单片机为例，在控制 A/D 进行一个采样周期中必须完成的操作是：初始化 AD574；启动采样；等待约 $20\mu s$ ；发出读数命令；分两次将 12 位转换好的数从 AD574 读进单片机中；再分两次将此数存入外部 RAM 中；外部 RAM 地址加 1，此后再进行第二次采样周期的控制。在整个控制周期最少需要 30 条指令，每条指令平均为 2 个机器周期，如果单片机时钟的频率为 12MHz，则一个机器周期为 $1\mu s$ ，每条指令耗时 $2\mu s$ ，30 条指令的执行周期为 $60\mu s$ ，加上等待 AD574 采样周期的 $20\mu s$ ，共 $80\mu s$ ，50 个采样周期需时为 4ms。显然，用单片机控制 AD574 采样远远不能发挥其高速采样特性。对于更高速的 A/D 器件，如用于视频信号采样的 TLC5540，采样速率达 40MHz，即采样周期是 $0.025\mu s$ ，远远小于一条单片机指令的指令周期。因此单片机对于此类高速的 A/D 器件完全无从控制。

使用有限状态机的好处是：

- 有限状态机克服了纯硬件数字系统顺序方式控制不灵活的缺点。状态机的工作方式是根据控制信号按照预先设定的状态进行顺序运行的，状态机是纯硬件数字系统中的顺序控制电路，因此状态机在其运行方式上类似于控制灵活和方便的

CPU，而在运行速度和工作可靠性方面都优于 CPU。

- 由于状态机的结构模式相对简单，设计方案相对固定，特别是可以定义符号或枚举类型的状态，这一切都为 VHDL 综合器尽可能发挥其强大的优化功能提供了有利条件。而且，性能良好的综合器都具备许多可控或自动的专门用于优化状态机的功能。
- 状态机容易构成性能良好的同步时序逻辑模块，这对于对付大规模逻辑电路设计中令人棘手的竞争-冒险现象无疑是一个上佳的选择。为了消除电路中的毛刺现象，在状态机设计中有多种设计方案可供选择。
- 与 VHDL 的其他描述方式相比，状态机的 VHDL 表述丰富多样、程序层次分明，结构清晰，易读易懂；在排错、修改和模块移植方面也有其独到的特点。
- 在高速运算和控制方面，状态机更有其巨大的优势。由于在 VHDL 中，一个状态机可以由多个进程构成，一个结构体中可以包含多个状态机，而一个单独的状态机（或多个并行运行的状态机）以顺序方式所能完成的运算和控制方面的工作与一个 CPU 的功能类似。因此，一个设计实体的功能类似于一个含有并行运行的多个 CPU 的高性能微处理器的功能。

就运行速度而言，尽管 CPU 和状态机都是按时钟节拍以顺序时序方式工作的，但 CPU 是按照指令周期，以逐条执行指令的方式运行的；每执行一条指令，通常只能完成一项简单的操作，而一个指令周期须由多个机器周期构成，一个机器周期又由多个时钟节拍构成；一个含有运算和控制的完整设计程序往往需要成百上千条指令。相比之下，状态机状态变换周期只有一个时钟周期，而且，由于在每一状态中，状态机可以完成许多并行的运算和控制操作，所以，一个完整的控制程序，即使由多个并行的状态机构成，其状态数也是十分有限的。一般有状态机构成的硬件系统比 CPU 构成的所能完成同样功能的软件系统的工作速度要高出三至四个数量级。

就可靠性而言，状态机的优势也是十分明显的。CPU 本身的结构特点与执行软件指令的工作方式决定了任何 CPU 都不可能获得圆满的容错保障，这已是不争的事实了。因此，用于要求高可靠性的特殊环境中的电子系统中，如果以 CPU 作为主控部件，应是一项错误的决策。然而，状态机系统就不同了，首先它是由纯硬件电路构成，不存在 CPU 运行软件过程中许多固有的缺陷；其次是由于状态机的设计中能使用各种完整的容错技术；再次是当状态机进入非法状态并从中跳出进入正常状态所耗的时间十分短暂，通常

只有 2、3 个时钟周期，约数十 ns，尚不足以对系统的运行构成损害；而 CPU 通过复位方式从非法运行方式中恢复过来，耗时达数十 ms，这对于高速高可靠系统显然是无法容忍的。

因此，本设计采用数字可编程逻辑器件来实现 ADC 控制器，具体实现是使用有限状态机，这样可以满足高速度、高可靠性的要求。

第三章 DSO 的硬件设计

本 DSO 可以划分为三个基本组成部分：前向通道、后向通道、控制器及相关的附属电路。前向通道包括自校电路、输入电路、程控放大器电路、低通滤波电路、电平移位电路、触发电路和 A/D 转换器，其主要功能是对信号进行调理、采集、量化和对控制器产生触发。控制器包括 CPLD 和 MCU 两部分，其主要功能是实现对 DSO 系统的控制和管理并存储和处理数据。后向通道包括 D/A_Y、D/A_X、Y 输出电路、X 输出电路，其主要功能是把数字量转化为模拟量作为通用示波器的 Y 和 X 的输入信号。

3.1 前向通道设计

3.1.1 信号调理电路的作用和电路方框图

在数字存储示波器中，A/D 器件对输入模拟信号的幅度有一定的要求范围，例如 0~2V；而数字存储示波器在不同垂直灵敏度时，对 A/D 来说输入信号的幅度各不相同，有时大到远远超出 A/D 所允许的最大输入范围；有时小到使 A/D 转换结果产生很大的相对误差。这些问题都会使得数字存储示波器不能对信号进行准确测量。通过信号调理就可以解决这些问题，信号调理电路的作用就是将不同灵敏度下的输入信号都归整到适合于 A/D 的输入信号范围内，具体地说就是对大的输入信号进行衰减，对小的输入信号进行放大。

信号调理电路包括五个功能模块：输入电路、程控增益电路、低通滤波器、电平移位电路和校准电路。信号调理电路的方框图如图 3-1 所示。在信号调理电路中的信号是模拟信号，工作流程是这样的：被测信号通过输入电路经程控增益电路放大或衰减后进入抗混叠低通滤波器以消除高频干扰信号，然后到达电平移位电路模块对被测信号进行极性变化以适合 A/D 的要求，最后经信号调理电路处理好的信号送到 A/D 模块。

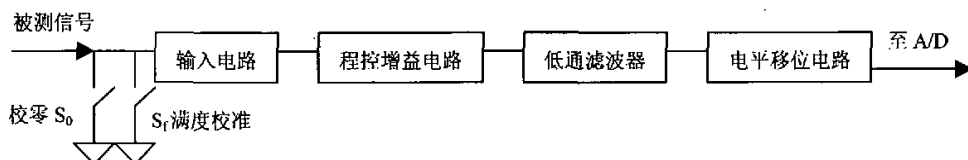


图 3-1 前向通道电路框图

3.1.2 校零和校满度

校准电路在输入电路模块之前,用于前向通道的零点和满度校准,以 $0.1\text{V}/\text{div}$ 为校准值。校零就是输入短路,将会产生一个校零值,存储在 MCU 的制定单元中;校满度就是输入接 $0.8\text{V}/\text{div}$ 的电压,将会产生一个校满度值,存储在 MCU 的制定单元中。存储在 MCU 中的校零值和校满度值用于信号处理,已获得理想的信号波形。

3.1.3 输入电路

输入电路主要是解决输入阻抗问题。本数字示波器系统的输入阻抗要求大于 $100\text{k}\Omega$,本系统采用跟随器作信号调理电路的输入电路。跟随器作输入电路一方面可以达到输入阻抗的要求;另一方面可以在被测信号源和所设计的仪器之间起隔离作用。输入电路的电路如图 3-2 所示。

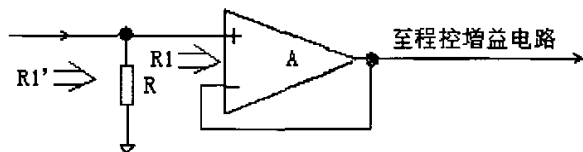


图 3-2 输入电路

在该电路中运算放大器选用 LF353。因为 LF353 是 JFET 输入运算放大器,所以跟随器输入阻抗 R_i 约为 $10^6\text{M}\Omega$,实现了对数字存储示波器高输入阻抗的要求;但是为了对信号源呈现为稳定负载,本系统在电路的输入端并联一个电阻 R ,这时等效输入电阻 R_i' 为: $R_i' = R \parallel R_i$,并要求 $R_i' = 100\text{k}\Omega$ 。由于 $R_i \gg 100\text{k}\Omega$,因此可以认为 $R_i' \approx R$,按照要求取 $R=100\text{k}\Omega$ 。

输入噪声电压:已知 LF353 的技术指标为 $16\text{pV}/\sqrt{\text{Hz}}$,而简易 DSO 的带宽要求为 $\text{DC} \sim 50\text{kHz}$,因此等效输入噪声电压为 $(16\text{pV}/\sqrt{\text{Hz}}) \times \sqrt{50 \times 10^3 \text{Hz}} \approx 16\text{pV} \times 2.24 \times 10^2 \approx 36 \times 10^3 \text{pV} = 3.6\text{nV}$ 。

设计中要求最高灵敏度 $0.01\text{V}/\text{div}$,按 DSO 的垂直分辨率为 32 级/div 考虑,此时测量电压的分辨力为 $0.01\text{V}/32=312\mu\text{V}$ 。因为 $3.6\text{nV} \ll 312\mu\text{V}$,所以噪声电压的影响可以忽略不计。

3.1.4 程控放大器电路

1、增益的计算

本系统设置三挡垂直灵敏度：0.01V/div、0.1V/div、1V/div。垂直刻度为 8div，垂直分辨率为 32 级/div。假设在使用时，将示波器 Y 通道的灵敏度置于 1V/div 且不考虑其误差，则当示波器满度显示时送到数字存储示波器信号调理电路输入端的被测信号的幅度 $V_{in}(n=1、2、3)$ 将分别为： $V_{i1}=1V/div \times 8div=8V$ ； $V_{i2}=0.1V/div \times 8div=0.8V$ ； $V_{i3}=0.01V/div \times 8div=0.08V$ ；为了适应后接 A/D 输入满度值 $V_{max}=2V$ 的要求，信号调理电路必须按照垂直灵敏度所要求的挡级设置相应的增益： $A_n=V_{max}/V_{in}$ ，其中 $n=1, 2, 3$ ，分别对应于 3 个不同垂直灵敏度所要求的增益： $A_1=2/8=0.25$ ； $A_2=2/0.8=2.5$ ； $A_3=2/0.08=25$ 。

2、程控增益电路

按照 A_1 、 A_2 、 A_3 的要求，选择程控增益电路的方案如图 3-3 所示。

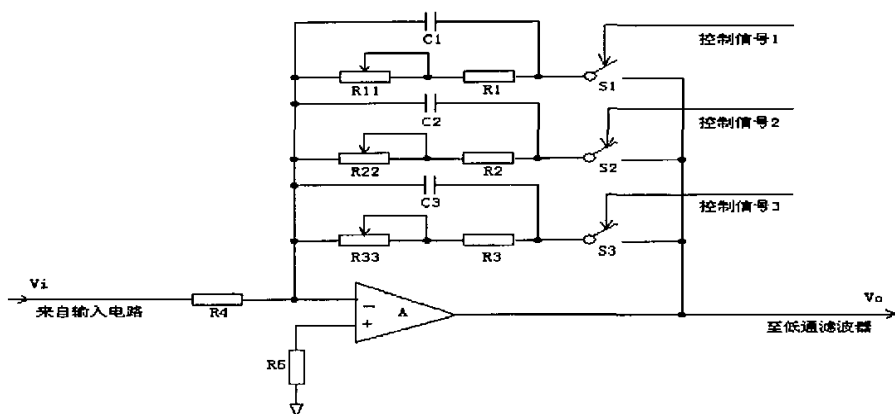


图 3-3 程控增益电路

图中 A 为运算放大器，选用具有 J-FET 输入级的 LF353。其有关参数为：

双电压源电压：±18V；输入失调电压：5mV；

输入偏置电流：50pA；输入失调电流：25pA；

差模输入电阻：10⁶MΩ；单位增益带宽：4MHz；

输入噪声电压：16pV/ $\sqrt{Hz}$ 。

图中 S_1 、 S_2 、 S_3 为程控开关。程控放大器的增益表达式为： $A_n=R_F/R_4$ ，若取 $R_4=20k\Omega$ ，则该放大器的增益将取决于反馈电阻 R_F ，故有 $R_{Fn}=A_n \times R_4$ ，即 $R_{Fn}=20A_n(k\Omega)$ 。为调试方便，将 R_{Fn} 分为固定电阻 R_n 和可调电阻 R_{nn} 两部分，所以 $R_{Fn}=R_n+R_{nn}$ 。

当 $A_1=0.25$ 时， $R_{F1}=5k\Omega$ ，取 $R_{F1}=4.7k\Omega$ ， $R_{n1}=0.68k\Omega$ （可调）；

当 $A_2=2.5$ 时, $R_{\Sigma 2}=50k\Omega$, 取 $R_2=47k\Omega$, $R_{22}=6.8k\Omega$ (可调);

当 $A_3=25$ 时, $R_{\Sigma 3}=500k\Omega$, 取 $R_3=470k\Omega$, $R_{33}=68k\Omega$ (可调)。

程控开关的选择: 程控开关用于根据垂直灵敏度的要求选择相应的放大器增益, 即将放大器的输出信号传送到相应的电阻, 然后反馈到放大器的输入端, 因为传送的是模拟信号, 所以要选用模拟开关, 并且在程序的控制下实现增益的选择。继电器和继电开关器件均可用作模拟开关。继电器的特点是接触电阻小, 但体积较大、耗电多; 为了节电和仪器小型化, 这里选用集成模拟开关 MAX4051, 这是一种 8 模拟开关, 其主要技术参数为:

双电压源电压: $\pm 8V$; 接触电阻: 100Ω ;

漏电流: $0.1nA$; 控制逻辑电平: TTL/CMOS 兼容。

在计算程控增益时认为程控开关的内阻忽略不计, 而 MAX4051 的接通电阻为 100Ω 是不容忽略的, 但由于该电路中设置了可调电阻 R_{nn} , 因此, 可以将 100Ω 的接通电阻考虑在可调电阻的范围内。本设计对模拟开关接通电阻由于环境温度的影响使程控增益发生变化的影响忽略不计。

图中电容器 C_1 、 C_2 、 C_3 在放大器中起补偿作用, 以改变频率响应、避免自激, 其数值分别为 $C_1=1000pF$, $C_2=100pF$, $C_3=10pF$ 。

3.1.5 低通滤波电路

本数字存储示波器的频率范围为 DC-50kHz。在所设计的电路中均采用直接耦合, 对于信号的低端频率, 即直流 (DC) 分量的通过是可以的; 但是对于高端频率分量要进行具体分析。为了满足 50kHz 高端频率的要求, 前向通道应该有足够的带宽; 但是在本数字存储示波器中并非前向通道的带宽越宽越好, 否则信号中的无用分量 (例如高频干扰信号) 也经过信号通道被采样, 结果就会产生频谱混叠现象 (见图 3-4), 导致后向通道不能准确的恢复原来的被测信号。因此, 信号在进入 A/D 之前要进行抗混叠滤波, 消除掉有用信号之外的无用分量。

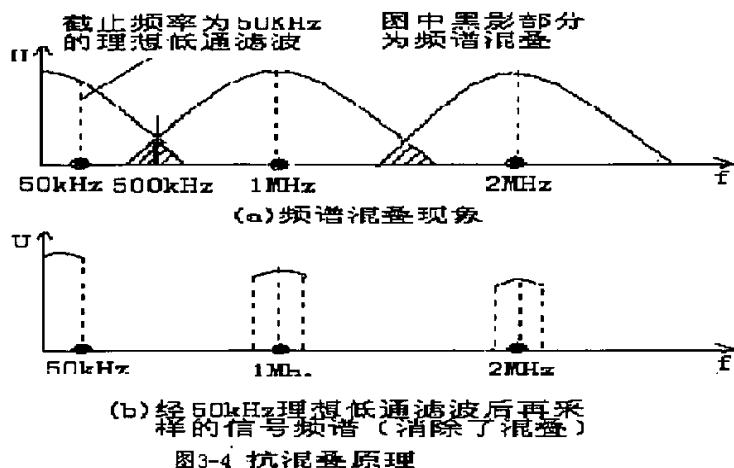


图3-4 抗混叠原理

频率在 100kHz 范围内时通常采用具有运算放大器的有源滤波器,在本设计中采用二阶 Butterworth 低通有源滤波器,将其截至频率设定成略高于 50kHz。Butterworth 二阶源滤波器的主要优点是带内特性曲线平坦,其缺点是从导通到截至频率的过度较缓慢,其电路如图 3-5 所示。

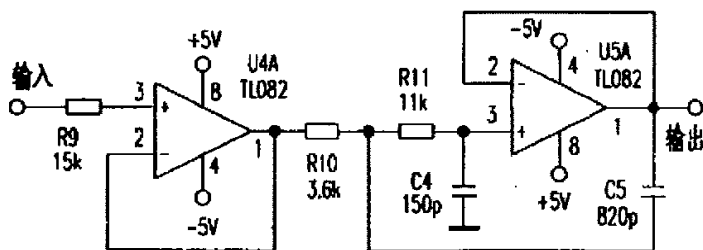


图3-5 抗混叠低通滤波器电路

为了防止混叠,需要设置抗混叠滤波器”按要求对 DC~50kHz 输入信号,测量误差 $\leq 5\%$ 对于 50kHz 信号,衰减应小于 0.46dB。为了留有一定余量,50kHz 时衰减应 $\leq 0.3\text{dB}$ 。考虑到 Butterworth 滤波器在通带内幅度平坦,且相位特性较好,故可选用 Butterworth 滤波器。用 FilterLab 设计结果为 3 阶 Sallenkey 型 Butterworth 滤波器,截止频率为 70kHz,50kHz 时衰减小于 0.3dB。

图中 R_1 、 R_2 、 C_1 和 C_2 构成二阶低通网络,经用 EWB 模拟验证后将其电路参数的取值分别定为: $R_1=R_2=13\text{ k}\Omega$; $C_1=C_2=100\text{pF}$; $R_3=R_4=50\text{ k}\Omega$ 。调解这些参数就可以改变低通的频率范围。电路中运算放大器 A 选用 LF353。

这是对 50kHz 信号,即 20us/div 扫描速度的抗混叠低通滤波器而言的。但是当扫描速度为 0.2ms/div 和 0.2s/div 时,相应地低通滤波器应该有较低的截至频率,本设计

采用自适应低通有源滤波器。

3.1.6 电平移位电路

电平移位电路的作用：由于被测信号可以是双极性的，即被转换的模拟信号为正或负极性，而 A/D 对输入信号通常要求是单极性的。为了适合 A/D 的要求，在进行模数转换之前必须将双极性信号通过电平移位为单极性的，在本设计中将其移位为正极性信号。

电平移位电路如图 3-6 所示。图中运算放大器 A 选择 LF353；外加偏移电压为+2V；电阻取 $R_1=5\text{ k}\Omega$ ， $R_2=10\text{ k}\Omega$ ， $R_3=12\text{ k}\Omega$ （电位器用于调节一位电压为+1V）。

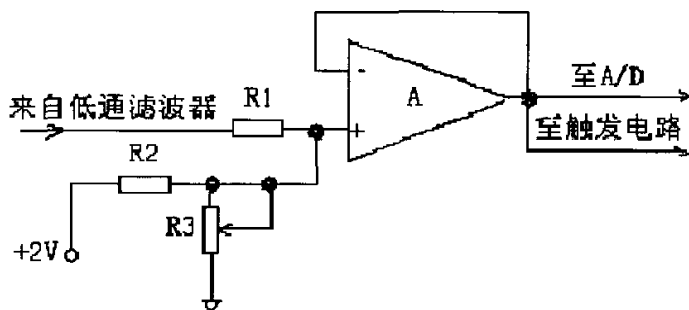


图3-6 电平移位电路

3.1.7 触发电路

数字存储示波器中触发电路的作用是，在满足触发条件时开始对采集的数据按规定的起点地址进行存储和现实的过程。单次触发是当仪器满足触发条件时仅产生一次（一个页面）采集、存储过程，而后连续显示；连续触发时每当满足触发条件时就进行采集、存储和显示。对于连续信号只要满足触发条件，其采集、存储、显示时不断进行的。触发电路的电路图如图 3-7 所示。

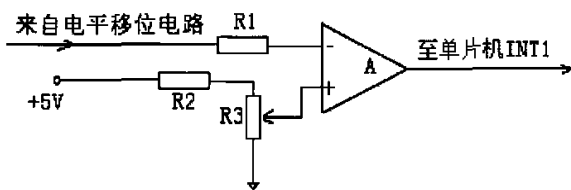


图3-7 触发电路

图中 A 为高速比较器，选用 LM393，主要参数为：输入失调电压： $\pm 1\text{mV}$ ；响应时间：300ns。电阻 R_2 和 R_3 用于调节（或选择）触发电平，分别为 $3\text{ k}\Omega$ 和 $2\text{ k}\Omega$ ，后者为可调电

位器，可以在 0~2V 范围内任意选择触发电平。

本设计要求仪器为内触发方式、上升沿触发、触发电平是可调的。触发信号取自 A 通道，因此单踪显示时被测信号应接入 A 通道，只有双踪显示时两个被测信号分别接入 A、B 通道。因为触发信号接到比较器的反向端，当信号的上升沿达到触发电平时触发电路将输出负跳变沿至单片机的外部终端信号输入端，而后由控制器中的 CPLD 去启动一页数据的采集和存储过程。

3.1.8 A/D 转换器

通常由采样/保持 (S/H) 电路实现对模拟信号的时间离散化，而时间离散化信号幅度的量化则由模数转换器 (A/D) 实现。目前由于 LSI 的集成度日益提高，有许多芯片将 S/H 和 A/D 集成在一块芯片里。这不仅方便了使用者，而且节省了空间、提高了系统的可靠性。本系统对 A/D 的要求 (S/H 的要求也包括在其中)。

A/D 的转换速率取决于被测信号的频率范围，或简易 DSO 对扫描速度的要求，本系统要求扫描范围为 20us/div-0.2s/div，并且 20 点/div，因此采样速率的范围是 1us/点-10ms/点，即要求 A/D 的最高转换速率高于 1MHz。

量化位数。垂直分辨力为 32 级/div，垂直刻度为 8div，因此 Y 通道总的量化级数为：32 级/div*8div=256 级。因为 $2^8=256$ ，对于二进制编码来说， 2^8 即为 8 位二进制数码的最大值，因此应该选择量化位数为 8bit 的 A/D 进行模数转换。

模数转换器中有三种基本转换方式，即积分比较式、逐次比较式和并行比较式。从转换速率来说，积分式最慢，而并行式最快 (所谓“闪烁”转换)，逐次比较式居中。从电路结构来说并行比较式最复杂，因为它具有不同阈值的比较器和 255 个阈值电平，电路很复杂。因此在 A/D 的转换速率和电路结构之间的折衷办法是所谓“串并行”比较式 A/D，其结构是将几个低 bit 数的并行比较式模数转换器组成一个高 bit 数的 A/D。这里选择的 TLC5510 芯片就是属于这种类型的 A/D。它是用两个 4bit 并行比较式 A/D 组成一个 8bit 的 A/D，在低 4bit 和高 4bit 之间按照加权的关系组成 8 位二进制数码 ($D_8 \sim D_1$)，这就是所谓“串并行”式 A/D (或称为办闪烁式 A/D)。

A/D 转换的过程就是不断将被转换的模拟信号和基准电压相比较的过程。本设计选用 ADC0809 模数转换器，图 3-8 是 ADC0809 的 DIP 引脚图，其特点是：外部供给参考电压；微处理器兼容；VCC=REF+=+5V，REF-=0V；转换时间：100us；低功耗：15mW。

3.2 控制器设计

控制器是本数字存储示波器的灵魂，是本文的重点。本文中控制器选用 MCU+CPLD 的方案。在 MCU 的管理下由 CPLD 完成高速控制功能，如对高速信号的采集和存储；而 MCU 实现对 CPLD 及至整个 DSO 的管理，如从键盘输入采样速率、选择信号调理电路的增益；将存储的数字信号进行数据处理并恢复为模拟信号进行显示等。本文 MCU 选择 AT89C52，CPLD 选用 ALTERA 公司的 ACEX1K10 器件，可在系统编程。

3.2.1 CPLD 部分

控制器的 CPLD 部分包括六部分：MCU 和 CPLD 数据总线接口、时钟产生电路、数据存储单元、CPLD 内部及前向通道控制信号产生模块、键盘扫描电路和 ADC 控制器。这六部分共同完成高速控制功能。如图 3-8 所示。

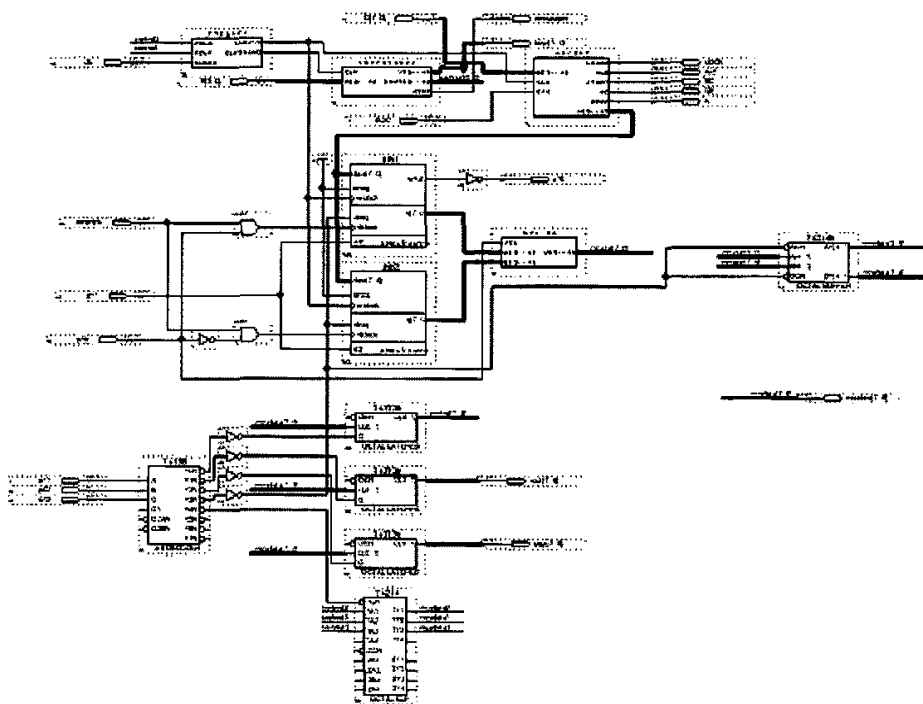


图 3-8 控制器CPLD部分结构图

图 3-9 是其实体图，其输入信号主要来自 MCU 和前向通道；其输出信号用来作为 CPLD 内部和前向通道的控制信号，并且向后向通道 X 通道提供输入信号 XOUT[7..0]。下面分别介绍这六部分的功能和组成。

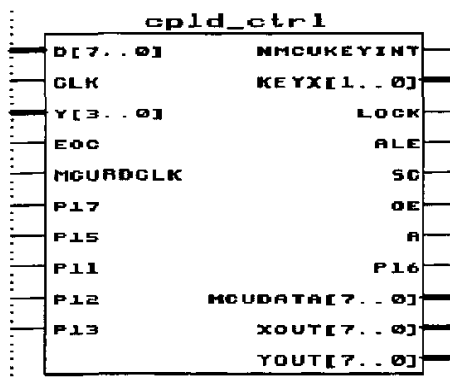


图 3-9 控制器CPLD部分实体图

1、时钟产生电路^[2]

时钟产生电路 ADC、FIFO 和键盘扫描电路提供时钟信号。其输入信号频率为 50MHz 来自外部晶振。50MHz 的输入信号频率经过分频得到 1MHz、100KHz 和 100Hz 三种时钟频率，其周期分别为 1us、10us 和 10ms，对应于三种扫描速度：20us/div、0.2ms/div 和 0.2s/div。在两位的控制码 control0 和 control1 的作用下可以选择输出相应的时钟频率（如表 3-1 所示），作为 ADC 和 FIFO 的输入时钟信号；同时要一直输出频率为 100Hz 信号作为键盘扫描电路的键盘扫描定时信号。

表 3-1

control1	control0	扫描速度
0	0	0.2ms/div
0	1	20us/div
1	0	0.2s/div

时钟产生电路用 VHDL 语言来描述，综合后的实体图如图 3-10 所示。图中 SELA 和 SELB 分别和 control0 和 control1 连接，作为选择控制信号；CLKIN 接外部晶振输出的 50MHz 频率的信号；CLKOUT 选择输出 1MHz、100KHz 或 100Hz 三种时钟频率；clk100Hz 固定输出 100Hz 信号作为键盘扫描电路的键盘扫描定时信号。

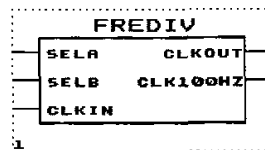


图 3-10

2、键盘扫描电路^[3]

键盘扫描电路的作用是定时向键盘提供行扫描信号，并读入列信号，输出键值编码和中段申请信号。其实体图如图 3-11 所示。图中 clk 接时钟产生电路输出的 clk100Hz；YOUT[3..0] 为从键盘输入的列信号；X[1..0] 为向键盘提供

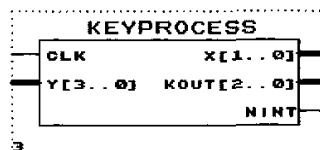


图 3-11

的行扫描信号; KOUT[2..0]为有键按下时产生的键值编码,通过缓冲器输出至 MCU; NINT 为有键按下时向 MCU 的 $\overline{INT0}$ 输入端输入的中断申请信号,使之产生中断响应。

3、ADC 控制器

ADC0809 控制器用来控制模数转换器 ADC0809 进行工作,完成对模拟信号的采样、量化。其输入信号有: ADC0809 输出的 8 位数字信号 D[7..0]、ADC0809 输出的转换情况状态信号 EOC 和时钟信号 CLK。

图 3-12 是 ADC0809 控制器的实体图,从图中可以清楚地看到采样控制器包括三个输入信号和六个输入信号,通过输出信号来控制 ADC0809 进行采样。

实体图中 D[7..0]是 ADC0809 的 8 位转换数据输出, CLK 是转换工作时钟, EOC 是 0809 的转换情况状态信号; LOCK1 是转换后数据输出锁存时钟信号, ALE 是 3 位通道选择地址信号的锁存信号, START 是转换启动信号, OE 是输出使能信号, ADDA 是通道选择地址信号, Q[7..0]是输出的 8 位数据结果。

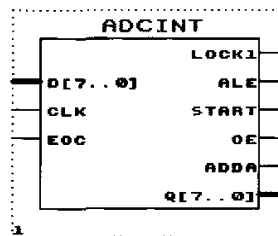


图 3-12

4、多路选择器

多路选择器的作用是在控制信号 SEL 的作用下选择通过 A 通道或 B 通道的经 ADC 转换后的数据,以实现双踪显示。其实体图如图 3-13 所示。

图中 A[7..0]、B[7..0]是输入信号; Y[7..0]是输出信号输出到数据总线接口; SEL 是控制信号,用来控制选通 A[7..0]或 B[7..0]。

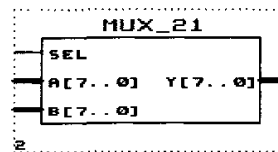


图 3-13

5、MCU 和 CPLD 数据总线接口

CPLD 的 8 位数据 MCUOUT[3..0]和 MCUOUT[7..4]经 74244b 数据缓冲器的输出 MCUDATA[3..0]和 MCUDATA[7..4]连至 MCU 的数据口; BIDIR 是 CPLD 和 MCU 之间的双向数据传送口。如图 3-14 所示。

6、数据存储器的^[4]

数据存储器按照 FIFO 功能进行设计,其实体图如图 3-15 所示。图中 FIFO1 和 FIFO2 的

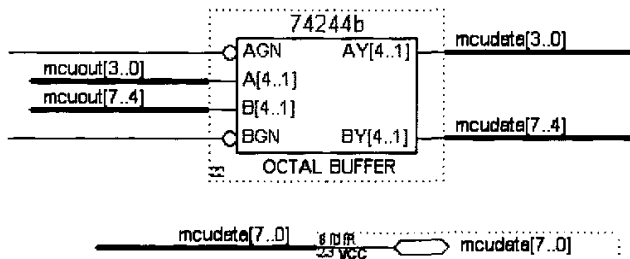


图 3-14

DATA[7..0]分别和 A/D_x 和 A/D_y 的数据输出端相连, 分别写入两个 FIFO; Q[7..0]输出至多路选择器的数据输入端; wrfull 端输出写满信号以控制仪器停止采集数据, 直到下一次触发信号的产生。

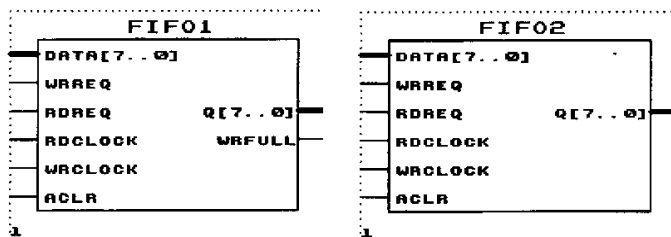


图 3-15

工作过程如下: 当 DSO 满足触发条件时, 便向 MCU 的 $\overline{INT1}$ 端发送一个触发脉冲提出中断请求, 而 MCU 响应中断申请之后从 P1 口向 CPLD 发出相应的控制信号作用于 FIFO 的 RESET 输入端 (连至 ACLR 引脚)。采集的数据就开始从 00H 地址存储, 直至存满一页或两页 (扩展显示时) 数据就从 wrfull 端输出写满信号以控制仪器停止采集数据, 直到下一次触发信号的产生。在进行显示时, 将存储于 FIFO1 和 FIFO2 中的数据在读时钟信号 MCURDCLK 的作用下读出, 经过多路转换器输出至 MCUOUT[7..0]端, 而后经过 MCU 和 CPLD 数据总线接口送至 MCU 用于信号的恢复, 得到被测的模拟信号显示于通用示波器的荧光屏上。

按照信号恢复要求, 双踪显示时在扫描电压的每一阶, 应该分时依次从 FIFO1 和 FIFO2 读出数据, 因此 FIFO1 和 FIFO2 中同一地址单元的数据应该依次读出恢复为 A、B 模拟信号, SELAB 信号来自 MCU 的 P1 口, 用于控制读出的次序, 还用于控制多路转换器依次将 A、B 信号选择后输出。

7、CPLD 内部及前向通道控制信号产生模块

本部分用于提供 CPLD 内部及前向通道的控制信号。包括 CPLD 内部时钟分频的编码、前向通道的控制信号。如图 3-16 所示。

图中一个 3-8 译码器 74138, 来自 MCU 的 P1 口输出的位信号 P1.1、P1.2 和 P1.3 经过译码器的输出信号作为 a、b、c 和 d 的选通信号, 此外还提供 FIFO1 和 FIFO2 的读信号 rdreq。a、b 和 c 是三个锁存器, d 是一个缓冲器。a、b 和 c 的输入信号都来自 MCU。其中 a 锁存器用于锁存选择时钟频率的控制信号 control0 和 control1, 即锁存器输出的 control[7..0], 只用其中的两根; b 锁存器用于产生扫描电压的数据 (XOUT[7..0]), 送至 D/A_x 的数据输入端; c 锁存器用于锁存对前向通道的有关控制信号 (YOUT[7..0]中

的 5 位)。d 缓冲器和键盘扫描电路共同完成对键盘扫描的控制功能。

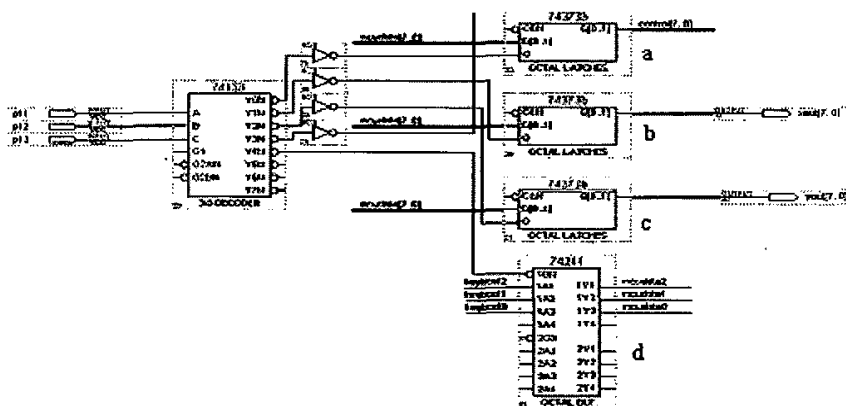


图 3-16

3.2.2 单片机部分

单片机 (MCU) 用来实现对 CPLD 及至整个 DSO 的管理, 如从键盘输入采样速率、选择信号调理电路的增益; 将存储的数字信号进行数据处理并恢复为模拟信号进行显示等。本文 MCU 选择 AT89C52, 属于 MCS-51 系列的单片机, 是低功耗高性能的 8 位机, 和工业标准 80C51、80C52 的指令系统及引脚都兼容。片内有 8K 字节的 E²PROM(可在系统编程、可电擦除只读存储器), 这样既可以省掉外接程序存储器 ROM 又可以在系统重复编程; AT89C52 可接受 6 个中断源, 具有两级中断功能。

3.3 后向通道设计

后向通道的作用是将存储的数字信号恢复为模拟信号并作用于通用示波器的 Y 输入端; 而且还要向通用示波器提供相应扫描速度和幅度的扫描电压, 使被测信号按照原来时间关系进行显示; 并能实现水平扩展显示要求, 显示被测信号波形的任一部分; 在双踪显示时, 能将 A、B 两个被测信号分别显示于屏幕的上半部和下半部。

输出波形以固定频率刷新, 要求 D/A 转换速率高于 20KHz。此外, 此处对 D/A 的准确度和建立时间要求较高。准确度不高会影响扫描线性, 建立时间过长会在显示波形上产生毛刺。

3.3.1 信号恢复电路设计

根据要求,后向通道必须具备数模转换器(D/A)和输出电路。用来将存储的数据进行数/模转换,恢复为适应于通用示波器要求的模拟信号。由于存储在RAM中的信号数据是8bit的,因此选用8bitD/A即可满足要求。

数据恢复速率的选择:为了能正确的恢复被测信号,前向通道必须按照信号的变化速率选择相应的采样速率。但是在将采样的数据恢复为模拟信号时,采用一个适宜人们观察的速率,即不会引起通用示波器在显示时发生闪烁的速率就可以了。尤其是对于高速信号,不必追求昂贵的高速D/A,因为被测信号的特征已经表达在存储数据中了。这样后向通道的D/A转换速率可以是一个固定的数值。在本设计中,设定数据恢复速率为10KHz,因此一次扫描时间,即一页数据的恢复时间为 $256 \div (10 \times 10^3) = 25.6\text{ms}$,或者说示波器用于恢复信号的扫描速率为 $1/25.6\text{ms} \approx 40\text{次/s}$,这是一个适宜的观察速率。

3.3.2 同步扫描电压设计

当恢复的被测信号经过通用示波器Y通道显示在其荧光屏上时,应该是稳定的波形,这就要求通用示波器X通道的扫描电压和Y通道的信号是同步的。为了实现同步有两种方法,一是由所设计的数字存储示波器向通用示波器提供同步信号,对通用示波器的扫描电路产生同步作用;另一种方法是由数字存储示波器内部产生同步扫描电压,作为通用示波器的扫描电压。后一种方法优于前一种,不仅实现了同步作用,而且便于产生和被测信号相适应的扫描速度,从而可以不对通用示波器进行任何调整而能够进行测量。数字示波器的扫描电压通常是由D/A产生的一种阶梯波电压。因为整个屏幕显示256个数据点,一次扫描电压需要256个阶梯,由于 $256=2^8$,所以采用8bitD/A就可以产生所要求的同步扫描电压,称此谓D/A_x。

3.3.3 D/A的选择

根据本系统的特点和要求,选择DAC0832数/模转换器作为D/A_{va}、D/A_{vb}和D/A_x。其中D/A_{va}和D/A_{vb}用于恢复被测信号A、B,它们必须相同;但是D/A_x也选择相同的器件是为了尽量做到器件品种的一致,这样可以方便设计和安装调试工作。

DAC0832是8bitD/A,转换时间不大于1 μs ,输出为电流型。其内部结构如图^[5]3-17

所示。

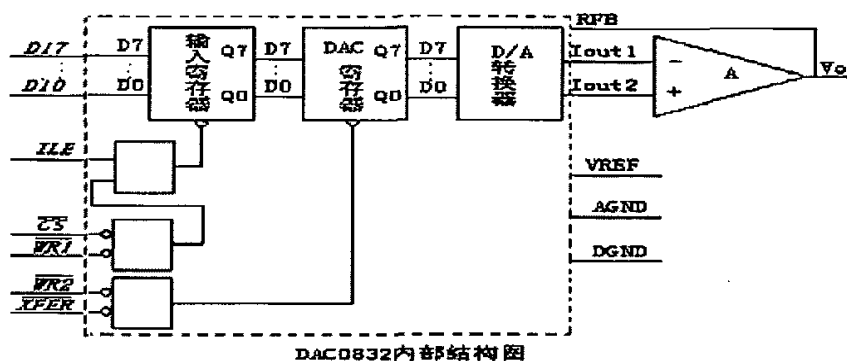


图 3-17

其主要引脚说明如下：

$D_{10}-D_{17}$: 8 bit 输入数据； $\overline{CS}$: 片选信号； ILE : 输入寄存器数据锁存允许信号；

$\overline{WR1}$: 输入寄存器数据写信号； $\overline{WR2}$: DAC 寄存器数据写信号；

$\overline{XFER}$: 数据向 DAC 寄存器传送允许信号； $AGND$: 模拟电路接地端；

V_{REF} : 基准电压； $DGND$: 数字电路接地端； I_{OUT1} , I_{OUT2} : 输出电流。

在 DAC0832 内部结构图中，虚线框内为 DAC0832 内部电路。输入数据 D_{10-7} 经过两个寄存器，再到达 D/A 转换器，最后输出与输入数据相应的电流 I_{OUT1} 和 I_{OUT2} 。为了适应后继电路的需要，应该将电流变换为相应的电压，图中运算放大器 A 就是用于组成 I/V 变换电路。其反馈电阻在 DAC0832 的内部，这是为了使反馈电阻和 D/A 转换器的电阻网络具有相同的温度系数，以达到在相同的外部环境温度下工作，得到较佳的转换效果，这是 DAC0832 的优势所在。

DAC0832 的内部有两个寄存器，分别受相应控制信号作用。因此在 DAC0832 中根据控制信号的情况，有三种输入数据的方式：直通方式，两个寄存器都是选通状态；单缓冲方式，两个寄存器在需要时同时被选通；双缓冲方式，两个寄存器分别依次选通。在本文中，采用单缓冲方式，并以 $\overline{WR1}$ 和 $\overline{WR2}$ 作为选通信号，详见图 3-18。

3.3.4 后向通道方框图

在 3-18 中， D/A_{V_A} 和 D/A_{V_B} 用于恢复被测信号 A、B，其输入数据分别是数据存储器 RAM_A 和 RAM_B 中的数据经过处理后的数值。

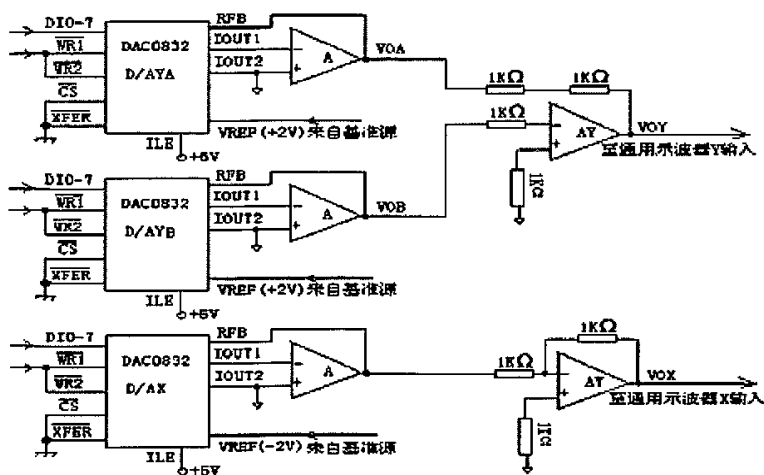


图 3-18 DSO后向通道电路图

恢复的信号 V_{0A} 和 V_{0B} 经相加电路 AY 以后的输出 V_{0Y} 送至通用示波器的 Y 输入端。而 D/A_X 用于产生锯齿波扫描信号电压，输入数据应该是从 00H 开始的+1 递增值，直至 FFH 为止，由 FPGA 提供，一共为 256 个数值，因此它是一个接近于线性扫描电压的阶梯波。

另外，在双踪显示时，如果在某一时刻恢复的两个模拟信号同时作用于相加电路，则 A、B 两个信号就会叠加在一起显示在屏幕上，而不是分别显示于屏幕的两个部分，达不到预期的双踪显示要求。因此，本文是让 D/A_{YA} 和 D/A_{YB} 逐点分时进行转换的，相当于交替采集的反过程，亦即在扫描电压的每一阶级分时进行 D/A_{YA} 和 D/A_{YB} 转换。

3.4 附属电路设计

附属电路主要是提供系统的人机接口，为系统各部分提供合适的电压，对系统进行复位及显示系统输出信号。包括键盘、LCD 显示器、复位电路、电源电路和通用示波器。

3.4.1 键盘设计

对 DSO 来说，键盘是输入控制命令的人机接口。在本设计中采用矩阵扫描非编码键盘方式；另一方面，为了仪器结构简洁，键的个数尽可能少。

1、键盘的组成和说明

如图 3-19 所示。按照本设计对 DSO 测量功能的要求，设置了 8 个键，分别是：0：s/div（扫描速度）；1：V/div（垂直灵敏度）；2：单次/连续；3：单踪/双踪；4：扩展（移动）/常态；5：锁存；6：启动/停止；7：上/下。其中启动/停止键为启动功能时，

DSO 按照有关功能设定的要求进行测量工作, 为停止功能时, DSO 则处于锁存工作方式; 上/下键是换挡键, 和相关的功能键配合使用。

此外, 还单独设了一个 RESET 键, 用于将简易 DSO 复位成默认状态。

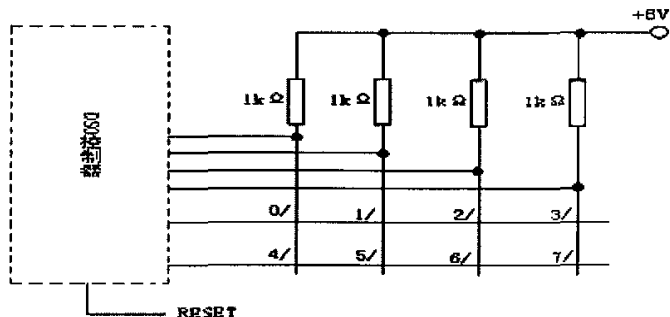


图 3-19 DSO 键盘的组成

关于键的进一步说明:

- (1) 没有按下键的状态为 '1'; 按下键的状态为 '0'。
- (2) 默认的仪器工作状态为: 0.2ms/div, 0.1v/div, 连续, 双踪及常态。
- (3) s/div、V/div 为+1 键, 每按一次就+1, 与其编码对应的仪器设置如表 3-2 所示:

表 3-2

编码	扫描速度/(s. div ⁻¹)	垂直灵敏度/(V. div ⁻¹)
00H	0.2ms/div	0.1V/div
01H	20us/div	0.01 V/div
10H	0.2s/div	1 V/div

(4) 扩展 (移动) 键, 每按一次递增数值为 5, 即每按一次移动键, 沿屏幕的 X 方向移动 5 个显示点位置, 整个 X 方向可以移动 255 个显示点, 即移动一个显示页面。测量时该按键的码值存放于单片机的有关单元内。测量时该按键的码值存放于 FPGA 的内嵌存储器 EAB 的有关单元中。

2、键盘扫描电路^[6]

数字系统中, 常用的按键有直接式和矩阵式两种。直接式按键十分简单, 一端接 Vcc, 一端接 CPLD/FPGA 或单片机的 I/O 口 (设为输入)。当按键按下时, 此接口为高电平, 通过对 I/O 口电平的检测就可知按键是否按下。其优点是简单、易行, 连接方便, 但每个按键要占用一个 I/O 口, 如果系统中需要很多按键, 那么用这种方法会占大量 I/O 口。而矩阵式键盘控制比直接式按键要麻烦的多, 但其优点也是很明显的, 即可节省 I/O 口。设矩阵式键盘有 m 行 n 列, 则键盘上有 (mn) 个按键, 而它只需要占用 (m+n) 个 I/O 口。

CPLD/FPGA 系统中矩阵式键盘的接法通常有两种（其余的接法一般都是由这两种接法稍加改变而得，基本原理是完全一样的），下面对这两种接法进行介绍。

16 个按键的矩阵式键盘需要 4 行 4 列共 8 条线（4 条行线接 PC7~PC4，4 条列线接 PC3~PC0）。每个按键都连着一行线线和一条列线。以按键 0 为例，按键 0 的行线连着 PC4，而且通过一个下拉电阻接地；其列线接着 PC3。将 PC3~PC0 设为输出，PC7~PC4 设为输入。若 PC2~PC0 输出 0，而 PC3 输出 1，当按键 0 按下时，因为 PC7~PC5 没有输入，会因下拉电阻的下拉作用稳定在低电平，而 PC4 则由于与 PC3 接通而呈现高电平。即当一个按键的行线为 1 时，若此按键按下，列线读到的值为 1，否则为 0。即当 PC3~PC0 为 0111 时，当按键 0 按下时，PC7~PC4 读到的电平值为 1110。如果是按键 1 按下，则 PC7~PC4 读到的电平值为 1101。可列出行列电平值与按键的对应关系表 3-3。

表 3-3

列/ PC3~PC0（输出）	行/ PC7~PC4（输入）	按键
0111	1110	0
0111	1101	1
0111	1011	2
0111	0111	3
1011	1110	4
1011	1101	5
1011	1011	6
1011	0111	7
1101	1110	8
1101	1101	9
1101	1011	A
1101	0111	B
1110	1110	C
1110	1101	D
1110	1011	E
1110	0111	F

从表 3-3 可看出，PC3~PC0 的输出在任意时刻总是只有一条线为 1，其它线均为 0。否

则,若 PC3~PC0 的输出在同一时刻有多于一条线位 1,则无法准确判断究竟是哪个键被按下。例如 PC3 和 PC2 同时为 1,当按键 0 或者按键 4 被按下,PC7~PC4 读到的值都是 1110,这样根本无法判断究竟是按键 0,还是按键 4 被按下。

表 3-4

PC3	1	0	0	0
PC2	0	1	0	0
PC1	0	0	1	0
PC0	0	0	0	1

因为无法预计什么时候有键按下,也无法预测究竟是哪一列上的键被按下,所以只能对键盘的列线(PC3~PC0)进行扫描,同时读取键盘行线(PC7~PC4)的电平值。如表 3-4 所示,PC3~PC0 按下述的 4 种组合依次输出,不断循环:

矩阵键盘的另一种接法与第一种接法的原理类似,只是将下拉电阻变成上拉电阻。在没有键按下时 PC7~PC4 被上拉电阻稳定在高电平。若某一键按下而该键对应的列线为低电平,则对应的 CPLD/FPGA 输入口读到的电平值为 0。与第一种接法同理,任一时刻的 PC3~PC0 的输出只能有一个为 0。只要将扫描信号变成表 3-5 所列的 4 种组合即可。

表 3-5

PC3	0	1	1	1
PC2	1	0	1	1
PC1	1	1	0	1
PC0	1	1	1	0

其行列电平值与按键的对应关系如表 3-6 所示:

表 3-6

列/ PC3~PC0 (输出)	行/ PC7~PC4 (输入)	按键
0111	1110	0
0111	1101	1
0111	1011	2
0111	0111	3
1011	1110	4
1011	1101	5

1011	1011	6
1011	0111	7
1101	1110	8
1101	1101	9
1101	1011	A
1101	0111	B
1110	1110	C
1110	1101	D
1110	1011	E
1110	0111	F

3、DSO 的面板布置图

把 DSO 的各键和电源开关及指示灯放在控制面板上，可以更清晰的看到其功能。

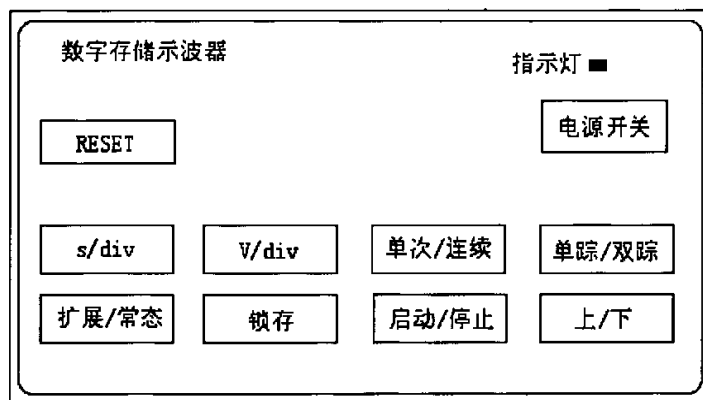


图 3-20 DSO 的面板布置图

3.4.2 LCD 显示器

在本设计中用于人机接口的显示器只显示 DSO 当前的工作状态（各种测量设置），而被测信号的波形显示于通用示波器的屏幕上。所以，本显示器是人机接口输出的一部分。从仪器小型化、节省电能等方面考虑，目前可采用的显示器有 LED（发光二极管）和 LCD（液晶显示器）两种。LED 有 8 段和米字型两种用于显示各种字符和数码，形式单一而且比较耗电；而 LCD 具有段码和点阵式两种显示方式。这里采用 LCD（液晶显示器）作为人机接口。需要显示的内容如表 3-7 所示。

表 3-7

校零（校满度）	(**s/div	(**) V/div
单次/连续	扩展/常态	单踪/双踪

表中的显示内容有数码、字符以及汉字，只有点阵式显示器才能胜任。因此选择点阵式 LCD，拟选择型号为 MGLS12864T 的液晶显示器。其点阵数为 128×64 ，主控驱动电路为 T6963CY，它具有字符发生器 CGROM 可显示 128 种字符，可管理 64K 显示缓冲区及字符发生器 CGRAM。并允许单片机随时访问缓冲区甚至可以进行位操作。另外该 LCD 的外部引脚简单，便于和单片机连接。因此选择 MGLS12864T 作为 DSO 的显示器是合适的。

3.4.3 复位电路

整个系统的复位包括 MCU 和 CPLD 的复位，复位信号来自键盘的 RESET 键。CPLD 的复位主要是 CPLD 内部的 FIFO 的复位，复位信号来自 MCU 的 P1.7 引脚，接至 reset 端再接至 aclr 端。MCU 的复位信号接至 MCU 的 9 号引脚 RST。CPLD 的复位过程是这样的：首先按下 RESET 键，启动 MCU 关于复位的程序，并对 CPLD 进行复位。

整个复位电路包括芯片内外两部分。外部电路产生的复位信号通过引脚 RST 进入片内的复位电路，实现复位。单片机的外部复位电路有上电自动复位和按键手动复位两种。按键手动复位又分为：按键电平复位和按键脉冲复位。按键电平复位相当于按复位键后复位端通过电阻与 VCC 电源接通。本系统采用按键电平复位，电路如图 3-21 所示。^[7]

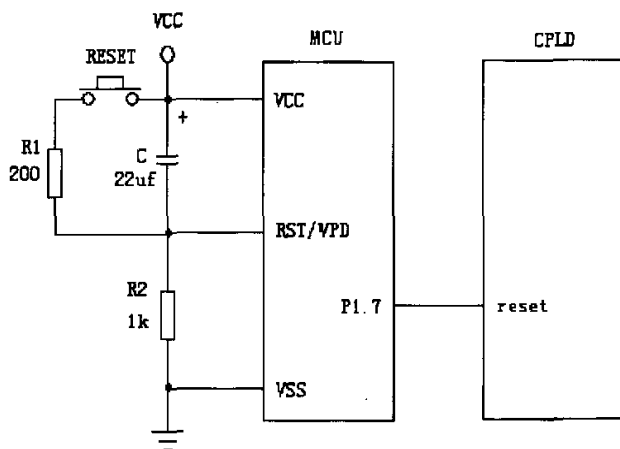


图 3-21 按键电平复位

3.4.4 MCU 时钟电路

MCU 的时钟有两种方式：内时钟方式和外

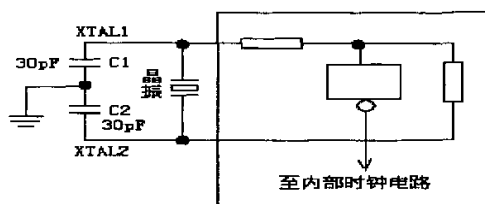


图 3-22 时钟电路

时钟方式。本设计采用内时钟方式，即利用 MCU 芯片内部的振荡器，在 MCU 的引脚 XTAL1 和 XTAL2 两端跨接晶体谐振器构成稳定的自激振荡器，其发出的脉冲直接送入 MCU 的内部时钟电路，如图 3-22 所示。

3.4.5 电源电路

本设计的电源分为数字电源和模拟电源两大类，要选择合适的稳压电源系统才能正常工作。DSO 对电源的要求如表 3-8 所示。

表 3-8

电压	+5V	±10V	+5V	+2V	+2V	+2V	-2V	-5.4V	+0.8V
电流	1.5A	0.5A							
用途	全部数字器件	运算放大器	ADC 模拟电源	ADC 基准电源	DAC 基准电源	电平移位电路	DAC 基准电源	LCD 电源	仪器满度校准

在 DSO 中 ADC 和 DAC 所要求的基准电压 V_{REF} 必须是高稳定的，如果不稳定将会产生错误的模数转换和数模转换结果，导致测量误差。所以用于 ADC 和 DAC 的 +2V 和 -2V 必须由高精度的基准电源产生。

DAC 的基准电压 V_{REF} 取自基准电源 MC1403 的输出分压。MC1403 称带隙基准电源，其最大优点是高精度低温漂，输入电压在 4.5~15V 之间，输出电压在 2.5V 左右，最大输出电流为 10mA。如图 3-23 所示。

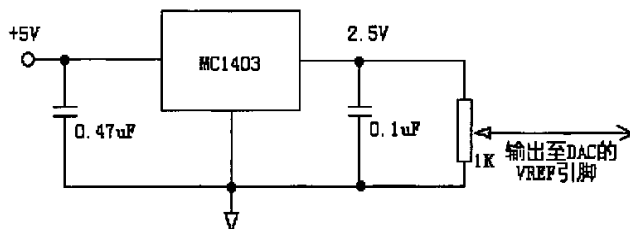


图 3-23 DAC 基准电源

第四章 DSO 的软件设计

4.1 DSO 的工作时序图

清楚地了解控制器的工作时序是进行控制器设计的关键步骤，本论文中的数字存储示波器中控制器的输入信号来自触发电路、键盘输入信号和 ADC0809 等；而其输出信号包括 AD 控制信号、DA 控制信号、存储器控制信号、扫描信号和显示信号。

4.1.1 DSO 的工作状态

由单次/连续、常态/扩展、双踪/单踪和采显/锁存 4 个按键可以组合成 16 个工作状态。这里只选其中的 5 种工作状态。列在表 4-1 中。

表 4-1

单次/连续	常态/扩展	双踪/单踪	采显/锁存
单次	常态	单踪	采显
连续	常态	单踪	采显
连续	常态	双踪	采显
连续	常态	单踪	锁存
连续	扩展	单踪	采显

4.1.2 DSO 的工作时序图

清楚地了解控制器的工作时序是进行控制器设计的关键步骤，本论文中的数字存储示波器中控制器的输入信号来自触发电路、键盘输入信号和 ADC0809 等；而其输出信号包括 AD 控制信号、DA 控制信号、存储器控制信号、扫描信号和显示信号。在 DSO 中，就采集、存储和显示的过程来说与测量要求有关；但是，这些都是在满足触发条件（即触发脉冲出现）时进行的，其操作过程的时序如图 4-1、4-2 和 4-3 所示。

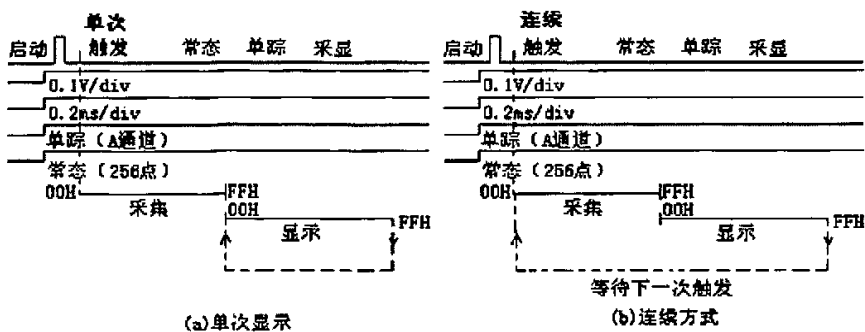


图 4-1

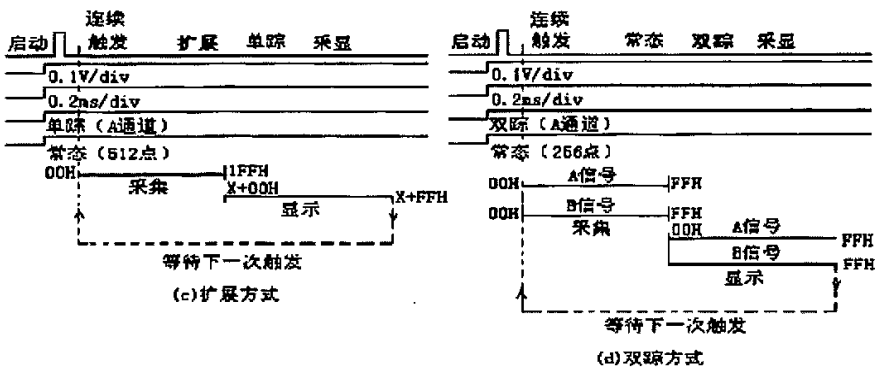


图 4-2

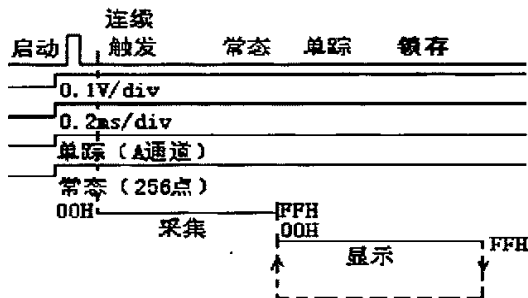


图 4-3 (e) 锁存方式

4.1.3 DSO 的控制信号

DSO 的控制信号分为静态信号和动态信号两类，它们各自的用途和来源如表 4-2 所示。

表 4-2

种类		用途	来源
静态信	校零	输入短路	CPLD
	校满度	输入端接 0.8V	

信号	程控增益	接通增益开关	
动态信号	开始写数据	RAMa 和 RAMb 地址为 00H	MCU 和 CPLD
	停止写数据	RAMa 和 RAMb 地址为 FFH 或 1FFH	
	数据处理	将零点偏移、满度校准以及光迹分离量计入采集数据	
	启动显示	将处理的数据送至 D/A _{1A} 和 D/A _{1B}	
	单次触发	只产生一次触发扫描作用	
	锁存显示	不再采集数据, 继续显示	
	双踪显示	A、B 信号同时显示	
	扩展显示	选择数据的起点地址 X	MCU

4.2 DSO 的程序流程图

文本中的软件设计采用自顶向下的编程方法, 充分利用中断功能, 充分使用子程序。主程序的流程图如图 4-4 中 (a) 所示。中断服务程序分为响应键盘中断服务程序和响应触发中断服务程序, 其流程图分别如图 4-4 中 (b) 和 (c) 所示。

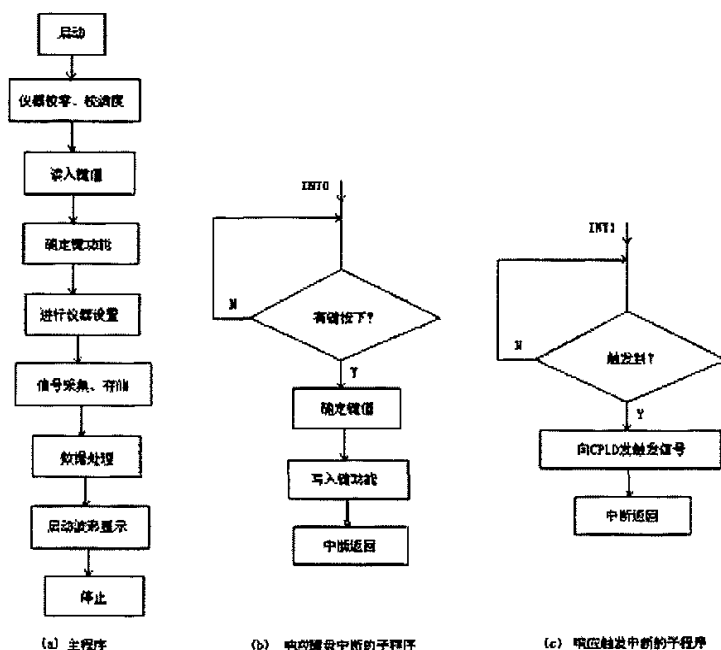


图 4-4

4.3 MCU 部分

系统高层控制功能主要由 MCU 完成，这是实现控制功能的关键。本文介绍程序存储器分配、MCU 内部 RAM 的设定、P1 口的定义、各按键控制功能的定义、YOUT[7..0]各位的控制对象和实现关键功能的程序段。

4.3.1 程序存储器分配

使用内部程序存储器，所以 $\overline{EA}=1$ 。各程序段的分布如表 4-3 所示。

表 4-3

0000H	...	0003H	...	0013H	...	0100H	...	0800H	...	0B00H	...	0FFFH
		$\overline{INT0}$ 入口		$\overline{INT1}$ 入口		主程序 开始		键盘中断 服务程序		触发中断 服务程序		

4.3.2 MCU 内部 RAM 的设定

表 4-4

10H	堆栈指针	36H	键值编码
30H	校零值	37H	单次/连续
31H	校满度值	38H	双踪/单踪
32H	光迹分离偏移量(上)	39H	启动/停止
33H	光迹分离偏移量(下)	3AH	扩展(移动次数)
34H	S/DIV 键按下次数	3BH	P1 口缓冲单元
35H	V/DIV 键按下次数	3CH	扩展/常态

4.3.3 P1 口的定义

表 4-5

位名	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
信号	RESET	NFULL	SELAB	未用	A、B、C			未用
作用	RAM 开始存	RAM 数据	A、B 信号分		CPLD 内部地址线			

	储数据	存储结束	别恢复			
方向	MCU 至 PARTC	PARTC 至 MCU	MCU 至 PARTC		MCU 至 PARTD	

4.3.4 各按键控制功能的定义

表 4-6

键号	0	1	2	3	4	5	6	7
名称	S/DIV	V/DIV	单次/连续	单踪/双踪	扩展/常态	锁存	启动/停止	上/下

各按键的控制功能定义：（没有按下键的状态为‘1’；按下键的状态为‘0’）

0 号键：S/DIV 是扫描速度选择键，键号:00H，按下次数存于 34H

表 4-7

键值	扫描速度	时钟频率	Control[1..0]	34H 内容
00H	0.2ms/div	100KHz	00B	00H
01H	20us/div	1MHz	01B	01H
10H	0.2s/div	100Hz	10B	02H

1 号键：V/DIV 是垂直灵敏度选择键，键号:01H，按下次数存于 35H

表 4-8

键值	垂直灵敏度	增益开关	控制位 YOUT[7..0]	35H 内容
00H	0.1v/div	S2	D6=1	00H
01H	0.01v/div	S3	D5=1	01H
10H	1v/div	S1	D4=1	02H

2 号键：是单次/连续选择键，是多功能键，键号:02H，与换挡键上/下配合

表 4-9

单次/连续键状态	上/下键状态	功能
1	1	连续触发
0	1	连续触发
0	0	单次触发
1	0	连续触发

3 号键：是双踪/单踪选择键，是多功能键，键号:03H，与换挡键上/下配合

表 4-10

双踪/单踪键状态	上/下键状态	功能
1	1	单踪显示
0	1	单踪显示
0	0	双踪显示
1	0	单踪显示

4 号键：是扩展/常态选择键，是多功能键，键号:04H，与换挡键上/下配合

表 4-11

扩展/常态键状态	上/下键状态	功能
1	1	常态
0	1	常态
0	0	扩展
1	0	常态

5 号键：是锁存功能键，键号:05H

表 4-12

锁存功能键状态	功能
1	采显
0	锁存

6 号键：是启动/停止选择键，为启动功能时，DSO 按照有关功能设定的要求进行测量工作，为停止功能时，DSO 处于锁存工作方式。键号:06H

表 4-13

启动/停止键状态	上/下键状态	功能
1	1	停止
0	1	停止
0	0	启动
1	0	停止

7 号键：是上/下功能键，是换挡键，用于配合单次/连续、双踪/单踪、扩展/常态和启动/停止，当该键没有按下时上述各键执行下挡功能，当该键按下时执行上挡功能。键号:07H

表 4-14

锁存功能键状态	功能
1	采显
0	锁存

单独设置一个 RESET 键，用于将 DSO 复位成默认状态：0.2ms/div、0.1v/div、连续、单踪及常态。

4.3.5 YOUT[7..0]各位的控制对象

YOUT[7..0]各位的控制对象及其值，如表 4-15 所示。

表 4-15

位名	D0	D1	D2	D3	D4	D5	D6	D7
功能	校零	校满度				1V/DIV	0.1V/DIV	0.01V/DIV
位值	1	1	0	0	0	1	1	1
开关	S0	S _r				S1	S2	S3

例如：校零字为 01H，校满度字为 02H，1V/DIV 为 20H，0.1V/DIV 为 40H，0.01V/DIV 为 80H。复位后的默认值为：40H。

4.3.6 实现关键功能的程序段

1、校零、校满度

```

MOV A, #41H          ; 校零、校满度
MOV P0, A             ; 01H 是校零字
MOV A, #0FAH          ; 启动锁存器 c, YOUT[7..0]为 01H
MOV P1, A             ; 合上 S0
MOV A, #0F7H          ; 启动 rdreq
MOV P1, A
MOV A, P0              ; 校零值送给 A
MOV 30H, A            ; 校零值存在 30H
MOV A, #42H           ; 42H 是校满度控制字, YOUT[7..0]为 01H,
MOV P0, A              ; 同时断开 S0
MOV A, #0FAH          ; 启动锁存器 c, YOUT[7..0]为 02H
MOV P1, A
MOV A, #0F7H          ; 启动 rdreq
MOV P1, A
MOV A, P0              ; 校满度值送给 A
MOV 31H, A            ; 校满度值存在 31H
MOV A, #40H           ; S2 控制字送给 A
MOV P0, A
MOV A, #0FAH          ; 启动锁存器 c, YOUT[7..0]为 40H
MOV P1, A
    
```

2、键功能设计

```

MOV DPTR, #JPTAB      ; 跳转表首地址送数据指针
ADD A, R0              ; R0 乘以 2 送给 A (修正变址值)
    
```

JNC NOAD	; 判是否有进位
INC DPH	; 有进位则加到高字节地址
NOAD: JMP @A+DPTR	; 转向形成的散转地址入口
JPTAB: AJMP OPR0	; 若 (R0) = 00H, 转 0 号键功能
AJMP OPR1	; 若 (R0) = 01H, 转 1 号键功能
AJMP OPR2	; 若 (R0) = 02H, 转 2 号键功能
AJMP OPR3	; 若 (R0) = 03H, 转 3 号键功能
AJMP OPR4	; 若 (R0) = 04H, 转 4 号键功能
AJMP OPR5	; 若 (R0) = 05H, 转 5 号键功能
AJMP OPR6	; 若 (R0) = 06H, 转 6 号键功能
AJMP OPR7	; 若 (R0) = 07H, 转 7 号键功能

3、加 1 键功能

OPR0: INC 34H	; 34H 存 S/DIV 键按下次数
MOV A, 34H	; 按下次数送给 A 作为被除数
MOV B, #03H	; 03H 送给 B 作为除数
DIV AB	; 商 A 余 B
MOV A, B	
CJNE A, #00H, OP0	; 若 (A) = 00H, 转到 OP0
JNC L0	; 若 (A) > 00H, 跳到 L0
L0: CJNE A, #01H, OP0	; 若 (A) = 01H, 转到 OP0
JNC L1	; 若 (A) > 01H, 跳到 L1
L1: CJNE A, #02H, OP0	; 若 (A) = 01H, 转到 OP0
OP0: MOV P0, A	; 设置扫速
MOV A, #08FH	; 启动锁存器 a
MOV P1, A	; control[1..0] = 00H
MOV A, #0FFH	; 撤掉锁存器控制信号
MOV P1, A	

4、换挡键功能

上/下键是换挡键，用来配合单次/连续、单踪/双踪、扩展/常态和启动/停止键。

当换挡键按下时，执行上挡功能；换挡键没有按下时，执行下挡功能。

OPR2: MOV 37H, #01H	; 设连续标志为 01H
LCALL DELAY	; 延时等待上/下键状态
CJNE @R0, #07H, OP4	; 判断上/下键是否按下
JC L4	
OP4: MOV 37H, #00H	; 设单次标志为 00H
L4: MOV A, 37H	; 标志送给 A
CJNE A, #00H, OP5	; (A) = 00H, 转到 OP5
JNC OP6	; (A) > 00H, 转到 OP6
OP5: SETB EX1	; INT1 开中断
SETB EA	
CLR EX1	; INT1 关中断，即使有触发信号
	; 也不产生触发作用

```

CLR P1.7      ; 数据不再更新
               ; 连续触发设置
OP6:  SETB  EX1      ; INT1 开中断
        SETB  EA
        CLR EX1      ; 触发信号产生就采集、存储、显示
               ; 一个页面数据, 未存满一个页面
               ; INT1 关中断, 即使有触发信号
               ; 也不产生触发作用
        JNB P1.6, OP6 ; P1.6=0, 即存满一个页面, 跳转到
               ; OP6, 开始一个新页面的触发、采集
               ; 存储
    
```

4.4 CPLD 部分

控制器的 CPLD 部分包括六部分: MCU 和 CPLD 数据总线接口、时钟产生电路、数据存储器、CPLD 内部及前向通道控制信号产生模块、键盘扫描电路和 ADC 控制器。其中时钟产生电路、键盘扫描电路、ADC 控制器和数据存储器及该模块中的多路选择器用文本方式实现; MCU 和 CPLD 数据总线接口和 CPLD 内部及前向通道控制信号产生模块用图形方法实现。如图 4-5 所示。下面分别介绍这六部分实现。

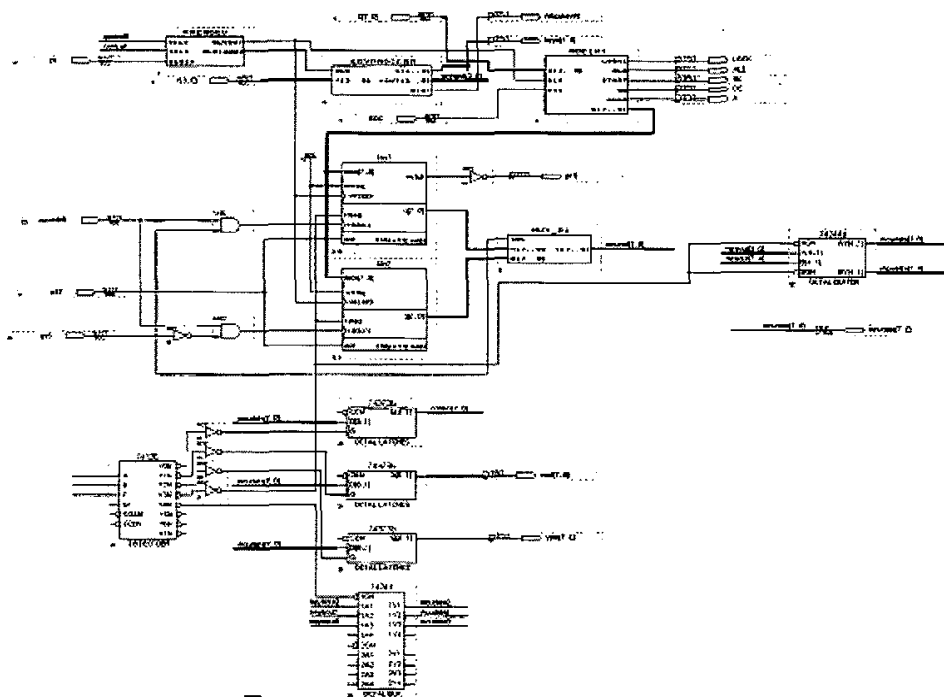


图 4-5

4.4.1 时钟产生电路

时钟产生电路的功能是通过分频输出不同频率的信号作为其它模块的时钟信号。本设计中输入频率为 50MHz，在控制信号的作用下分别输出频率为 1MHz、100KHz 和 100Hz 的信号；还要一直输出频率为 100Hz 的信号。因此 VHDL 代码包括两个进程，一个进程用于实现选择输出，另一个进程固定输出。

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY freqdev IS
PORT(sela:IN STD_LOGIC;
      selb:IN STD_LOGIC;
      clkkin:IN STD_LOGIC;
      clkcout:OUT STD_LOGIC;
      clk100Hz:OUT STD_LOGIC);
END freqdev;
ARCHITECTURE behav OF freqdev IS
SIGNAL sel: STD_LOGIC_VECTOR(0 TO 1);
SIGNAL clk,clk1: STD_LOGIC;
CONSTANT N:INTEGER:=249999;
SIGNAL counter:INTEGER RANGE 0 TO N;
SIGNAL counter1:INTEGER RANGE 0 TO N;
BEGIN
    PROCESS(sela, selb, clkkin)
        --在控制信号作用下分别输出频率
        --为 1MHz、100KHz 和 100Hz 的信号
        --的进程
        BEGIN
            IF rising_edge(clkkin) THEN
                CASE sel IS
                    WHEN "00" => IF counter=24 THEN counter<=0;
                    clk<= NOT clk;ELSE
                    counter<=counter+1;END IF;clkcout<=clk;
                    WHEN "01" => IF counter=249 THEN counter<=0;
                    clk<= NOT clk;ELSE
                    counter<=counter+1;END IF;
                    clkcout<=clk;WHEN "10" => IF counter=249999 THEN
                    counter<=0;clk<= NOT clk;
                    ELSE counter<=counter+1;
                    END IF;clkcout<=clk;
                    WHEN OTHERS => NULL;
                END CASE;END IF;END PROCESS;sel<=sela&selb;
    PROCESS(clkkin)
        --固定输出频率为 100Hz 的信号
        BEGIN
            IF rising_edge(clkkin) THEN
                IF counter1=24 THEN

```

```

counter1<=0;
clk1<= NOT clk1;ELSE counter1<=counter1+1;
END IF;   clk100Hz<=clk1;
END IF;   END PROCESS; END;
    
```

时钟产生电路的时序仿真图如下图所示，当 sela 和 selb 都为 0 时，第一个进程不被触发，只有第二个进程被触发，因此只有 clk100Hz 信号有输出。

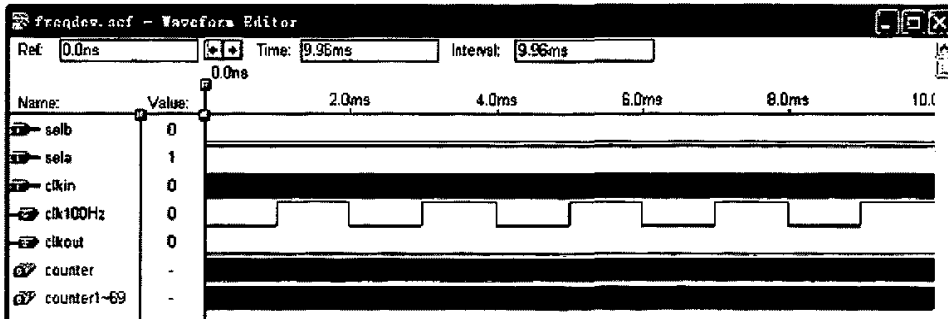


图 4-6

4.4.2 键盘控制电路

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY keyprocess IS
PORT(CLK:IN STD_LOGIC;                                --扫描时钟频率为 100KHz
      Y:IN STD_LOGIC_VECTOR(3 DOWNTO 0);              --读入行码
      X:OUT STD_LOGIC_VECTOR(1 DOWNTO 0);              --输出列码（扫描信号）
      KOUT:OUT STD_LOGIC_VECTOR(2 DOWNTO 0);          --输出键值
      NINT:OUT STD_LOGIC);                             --输出中断信号
END;
ARCHITECTURE behav OF keyprocess IS
SIGNAL scans:STD_LOGIC_VECTOR(5 DOWNTO 0);
SIGNAL scn:STD_LOGIC_VECTOR(1 DOWNTO 0);
SIGNAL counter:integer RANGE 0 TO 1;                  --用以计数产生扫描信号
SIGNAL countera:integer RANGE 0 TO 3;                 --用以计算
SIGNAL KOUT1:STD_LOGIC_VECTOR(2 DOWNTO 0);
BEGIN
PROCESS(CLK)
BEGIN
    IF rising_edge(CLK) THEN IF counter=1 THEN
        counter<=0;ELSE counter<=counter+1;
        END IF;
        CASE counter IS
            WHEN 0=>scn<="10";WHEN 1=>scn<="01";      --产生扫描信号
        END CASE;END IF;END PROCESS;
    
```

```

PROCESS(CLK)                                --上升沿产生扫描信号，下降沿读入行码
BEGIN                                         --如果连续检测到 4 次“00”，表示无键按下
    IF falling_edge(CLK) THEN IF Y="0000" THEN
        IF counterA=3 THEN NINT<='0';counterA<=0;
        ELSE counterA<=counterA+1; END IF;
    ELSE counterA<=0;CASE scans IS
        WHEN "100001" =>KOUT1<="000";
        WHEN "100010" =>KOUT1<="001";
        WHEN "100100" =>KOUT1<="010";
        WHEN "101000" =>KOUT1<="011";
        WHEN "010001" =>KOUT1<="100";
        WHEN "010010" =>KOUT1<="101";
        WHEN "010100" =>KOUT1<="110";
        WHEN "011000" =>KOUT1<="111";
        WHEN OTHERS =>KOUT1<=KOUT1;
    END CASE;KOUT<=KOUT1;
    NINT<='1';END IF;END IF;
END PROCESS;SCANS<=SCN&Y;X<=SCN;END;
    
```

其时序仿真图如图 4-7 所示，

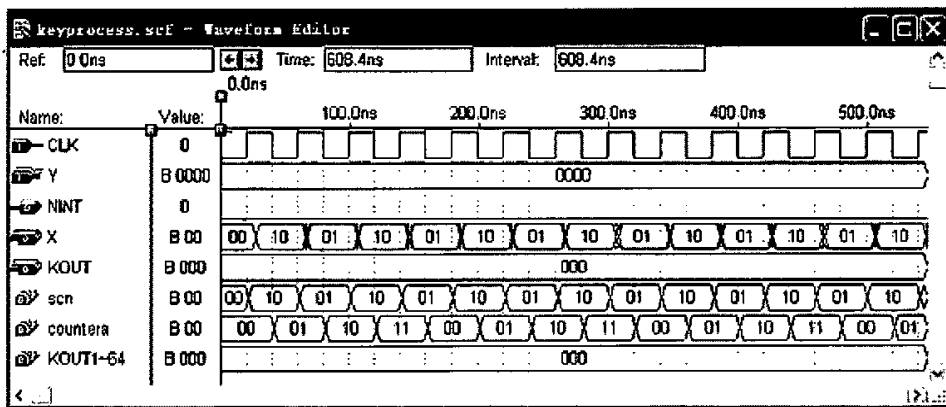


图 4-7

4.4.3 ADC 控制器

本设计采用数字可编程逻辑器件来实现 ADC 控制器，具体实现是使用有限状态机，这样可以满足高速度、高可靠性的要求。

1、ADC0809 的控制信号说明、真值表、状态图和工作时序^[8]

ADC0809 是 CMOS 的 8 位 A/D 转换器，片内有 8 路模拟开关，可控制 8 个模拟量中的一个进入转换器中。ADC0809 的精度为 8 位，转换时间约为 100μs，含锁存控制的 8 路

多路开关，输出有三态缓冲器控制，单 5V 电源供电。

(1) ADC0809 的主要控制信号说明

如图 4-8 所示,START 是转换启动信号,高电平有效;ALE 是 3 位通道选择地址(ADDC、ADDB、ADDA)信号的锁存信号。当模拟量送至某一输入端(如 IN1 或 IN2 等)由 3 位地址信号选择,而地址信号由 ALE 锁存;EOC 是转换情况状态信号,当启动转换约 100 μ s 后,EOC 产生一个负脉冲,以示转换结束,在状态 st3 中需要对 ADC0809 的状态线的信号 EOC 进行测试,如果仍为高电平(当启动 ADC0809 进行转换时,EOC 自动由高电平变成低电平)表示转换还没开始,仍需要停留在 st3 状态中等待,直到 EOC 变成低电平后,才说明转换开始,在下一个时钟脉冲到来时转向状态 st4。在状态 st4 中仍需要对 ADC0809 的状态线的信号 EOC 进行测试,如果仍为低电平表示转换还没结束,仍需要停留在 st4 状态中等待,直到 EOC 变成高电平后,才说明转换结束,在下一个时钟脉冲到来时转向状态 st5;在 EOC 的上升沿后,若使输出使能信号 OE 为高电平,则控制打开三态缓冲器,把转换好的 8 位数据结果输至数据总线。至此 ADC0809 的一次转换结束。

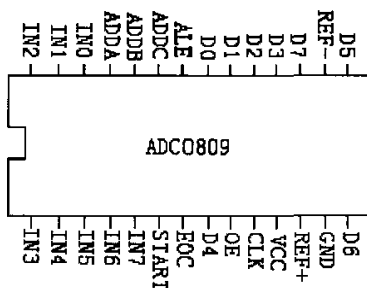


图 4-8 ADC0809 引脚图

(2) ADC0809 的工作时序图

所谓工作时序就是 ADC0809 的工作流程,从图 4-9 中可以清楚地看到 ADC0809 如何将模拟信号转换为数字信号的。

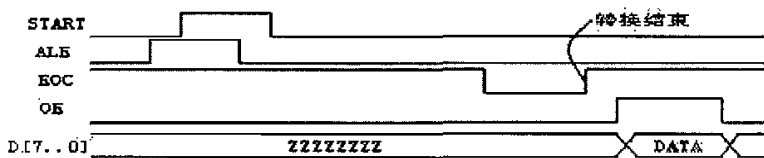


图 4-9 ADC0809 工作时序

(3) ADC0809 的真值表

根据 ADC0809 的工作时序图可以很容易画出其真值表(表 1-16),表中每一列代表工作时序图中在同一时刻各信号的状态值;表中每一行代表工作时序图中各信号在整个转换周期的变化顺序。

表 1-16

START	0	0	1	0	0	0	0
ALE	0	1	0	0	0	0	0
EOC	1	1	1	1	0	1	1
OE	0	0	0	0	0	0	1
LOCK	0	0	0	0	0	0	1
D[7..0]	Z	Z	Z	Z	Z	Z	DATA

(4) ADC0809 的状态图

根据 ADC0809 的工作时序图和真值表可以很容易画出其状态图，图中的 4 位数字是 ALE、START、OE、LOCK 信号值的组合，不同的组合代表不同的状态。和工作时序图相对应共有 7 个状态：ST0、ST1、ST2、ST3、ST4、ST5 和 ST6。其中在状态 ST3 和 ST4 要对 EOC 信号（当启动 ADC0809 进行转换时，EOC 自动由高电平变成低电平）电平进行测试，在 ST3 如果 EOC 为 ‘1’，则在 ST3 状态等待，直到 EOC 变为 ‘0’，表示转换开始，然后才转到下一状态 ST4。同样在 ST4 状态要等待 EOC 从 ‘0’ 变为 ‘1’，才向下一状态即 ST5 转换，否则，停在 ST4 状态等待。如图 4-10 所示。

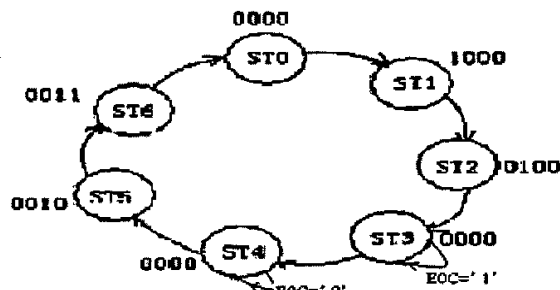


图 4-10 状态转换图

2、ADC 控制器的设计^[9]

根据 ADC0809 的工作时序图和状态转换图，就可以使用 VHDL 代码编制有限状态机，以实现 ADC0809 的控制。时序仿真图如图 4-11 所示。

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY ADCINT IS
    PORT(D:IN STD_LOGIC_VECTOR(7 DOWNTO 0);
        CLK,EOC:IN STD_LOGIC;
        LOCK1,ALE,START,OE,ADDA:OUT STD_LOGIC;
    
```

```

        Q:OUT STD_LOGIC_VECTOR(7 DOWNTO 0));
    END ADCINT;
    ARCHITECTURE behav OF ADCINT IS
    TYPE states IS(st0,st1,st2,st3,st4,st5,st6);
        SIGNAL current_state,next_state:states:=st0;
        SIGNAL REGL:STD_LOGIC_VECTOR(7 DOWNTO 0);
        SIGNAL LOCK:STD_LOGIC;BEGIN
    ADDA<='1';LOCK1<=LOCK;PRO:PROCESS(current_state,EOC) BEGIN
    CASE current_state IS
    WHEN st0=>ALE<='0';START<='0';OE<='0';LOCK<='0';next_state<=st1;
    WHEN st1=>ALE<='1';START<='0';OE<='0';LOCK<='0';next_state<=st2;
    WHEN st2=>ALE<='0';START<='1';OE<='0';LOCK<='0';next_state<=st3;
    WHEN st3=>ALE<='0';START<='0';OE<='0';LOCK<='0';
    IF(EOC='1')THEN next_state<=st3; ELSE next_state<=st4; END IF;
    WHEN st4=>ALE<='0';START<='0';OE<='0';LOCK<='0';
    IF(EOC='0')THEN next_state<=st4; ELSE next_state<=st5; END IF;
    WHEN st5=>ALE<='0';START<='0';OE<='1';LOCK<='0';next_state<=st6;
    WHEN st6=>ALE<='0';START<='0';OE<='1';LOCK<='1';next_state<=st0;
    WHEN OTHERS=>ALE<='0';START<='0';OE<='0';LOCK<='0';next_state<=st0;
    END CASE;END PROCESS PRO;PROCESS(CLK)
    BEGIN
        IF(CLK'EVENT AND CLK='1') THEN current_state<=next_state;
        END IF;END PROCESS;
    PROCESS(LOCK)
    BEGIN IF LOCK='1' AND LOCK'EVENT THEN REGL<=D;END IF;
    END PROCESS;Q<=REGL;END behav;
    
```

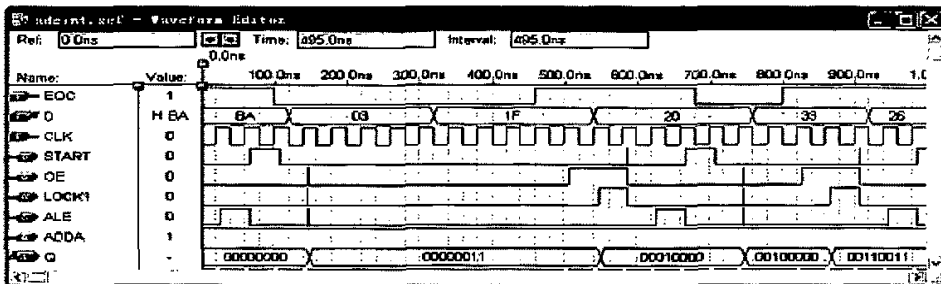


图 4-11

4.4.4 多路选择器

用 VHDL 代码实现多路选择器比较简单，在选通信号 SEL 的控制下分别选通 A 和 B 信号输出到 Y。

```

LIBRARY IEEE;USE IEEE.STD_LOGIC_1164.ALL;ENTITY mux_21 IS
PORT(SEL:IN STD_LOGIC;A:IN STD_LOGIC_VECTOR(7 DOWNTO 0);
B:IN STD_LOGIC_VECTOR(7 DOWNTO 0);Y:OUT STD_LOGIC_VECTOR(7 DOWNTO 0));
    
```

```
END;ARCHITECTURE behav OF mux_21 IS BEGIN PROCESS (SEL, A, B) BEGIN
IF SEL='1' THEN Y<=A;ELSE Y<=B; END IF; END PROCESS; END;
```

多路选择器时序仿真图如图所示,当选通控制信号 SEL 为高电平时,选通 A 信号(值为 22),Y 信号为 22;当选通控制信号 SEL 为低电平时,选通 B 信号(值为 33),Y 信号为 33。如图 4-12 所示。

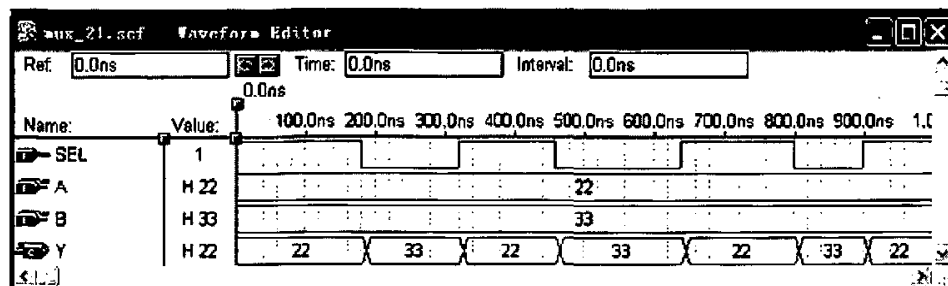


图 4-12

4.4.5 MCU 和 CPLD 数据总线接口

本部分才用图形方式实现,选择 74244b,定义符合要求的总线名称。如图 4-13 示。

由于总线的位数不同,有 4 位的,也有 8 位的,直接连线没法实现,在这里采用总线名称相关联的方法。例如,

mcuout[7..0]与 mcuout[7..4]

和 mcuout[3..0]通过名称连起来,mcudata[7..0]与 mcudata[7..4]和 mcudata[3..0]通过名称连起来。

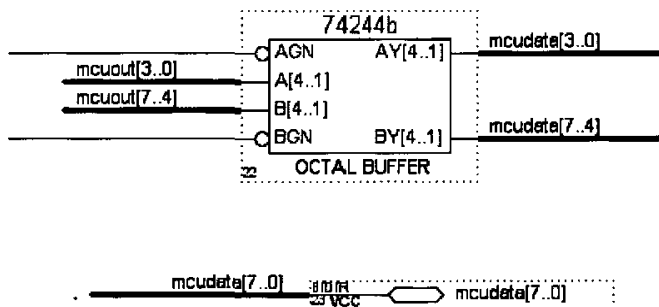


图 4-13

4.4.6 数据存储器

```
LIBRARY ieee;USE ieee.std_logic_1164.all;ENTITY fifol IS
PORT (data : IN STD_LOGIC_VECTOR (7 DOWNT0 0);
wrreq: IN STD_LOGIC ; rdreq : IN STD_LOGIC ;
rdclock: IN STD_LOGIC ; wrclock: IN STD_LOGIC ;
aclr: IN STD_LOGIC := '0';q : OUT STD_LOGIC_VECTOR (7 DOWNT0 0);
wrfull : OUT STD_LOGIC ); END fifol;
```

ARCHITECTURE SYN OF fifo1 IS

```

    SIGNAL sub_wire0 : STD_LOGIC ;
    SIGNAL sub_wire1 : STD_LOGIC_VECTOR (7 DOWNT0 0);
    COMPONENT lpm_fifo_dc
    GENERIC (lpm_width      : NATURAL;
            lpm_numwords    : NATURAL;
            lpm_widthu      : NATURAL;
            lpm_showahead   : STRING;
    PORT (rdclock : IN STD_LOGIC ;rdreq  : IN STD_LOGIC ;
    aclr  : IN STD_LOGIC ;wrfull  : OUT STD_LOGIC ;
    wrclock : IN STD_LOGIC ;q: OUT STD_LOGIC_VECTOR (7 DOWNT0 0);
    END COMPONENT;BEGIN wrfull  <= sub_wire0;
    q<= sub_wire1(7 DOWNT0 0);lpm_fifo_dc_component : lpm_fifo_dc
    GENERIC MAP (LPM_WIDTH => 8,LPM_NUMWORDS => 512,
    LPM_WIDTHU => 9,LPM_SHOWAHEAD => "OFF",
    LPM_HINT => "USE_EAB=ON,MAXIMIZE_SPEED=5")
    
```

4. 4. 7 CPLD 内部及前向通道控制信号产生模块

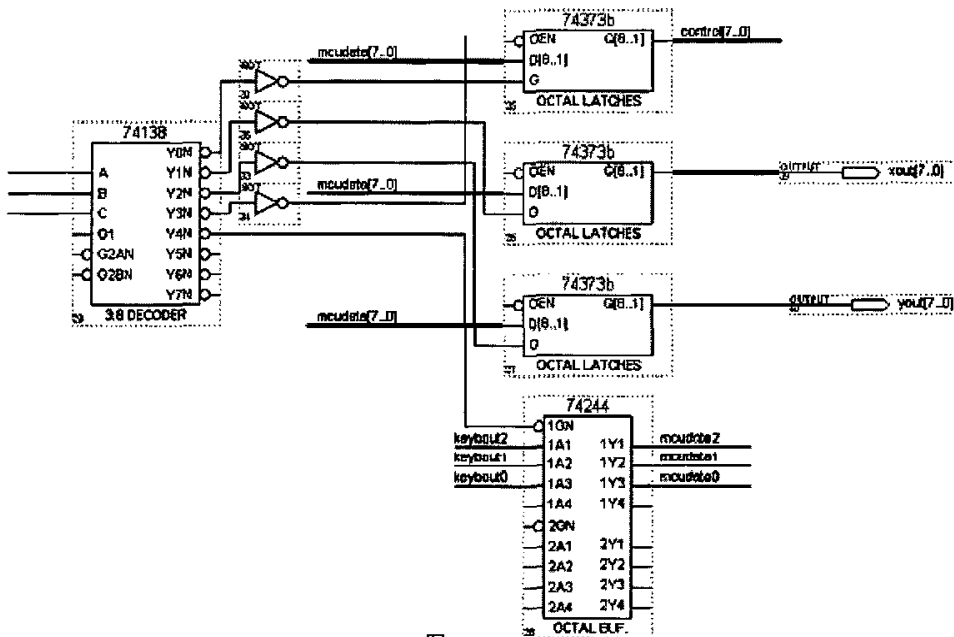


图 4-14

第五章 DSO 的调试和测试

5.1 硬件安装调试和软件调试

硬件安装调试包括准备器材、搭试电路和设计印制电路板。需要用到集成电路芯片、电阻、电容和导线等。

1、准备器材、搭试电路

必须遵循从简单到复杂、从局部到整体的过程。同时注意以下几点：第一，理论设计的电路不一定就能立即实现，必须认真分析和排除各种影响因素才能得到预期的结果；第二，必须从单元电路开始安装调试，不能急于求成。只有安装调试技能熟练之后才能逐步扩大电路范围，否则只能事倍功半；第三，电路的负载能力问题，后级电路是前一级的负载，前级电路应该有足够的带负载能力，否则电路就不能正常工作；第四，搭试电路有把握之后再印刷电路板，因为印刷电路板一旦决定就难改变了。

2、设计印制电路板

DSO 的前向通道和后向通道都是模拟电路，其实际性能的好坏将直接影响测量精度，不仅搭试电路时要认真对待。要注意的问题有：模拟电路和数字电路的布局应该分开，不可互相穿插；弱信号与强信号应按由弱到强依次排开，否则强信号要干扰弱信号；模拟电路和数字电路须由各自的电源供电，各个芯片还要考虑安装电源滤波电容器；模拟电路的接地点和数字电路的接地点各自分开，只有在一个合适的位置（点）两者相接，作为仪器的公共接地点。

3、软件调试

软件调试应注意的问题有：拟定程序流程图；先调试短的小程序，例如：I/O 的选通功能，数据计算子程序等等；再调试系统程序。在调试程序时可能要出现反复，因为系统程序由各个小程序或子程序连接在一起的，它们的连接可能出现相互制约相互排斥，需要耐心分析排除故障，以期得到良好的结果。而后，结合安装调试好的硬件电路再对软件进行调试直到 DSO 能按要求正常运行。

5.2 测试方案设计

测试方案如图 5-1 所示。图中信号发生器能输出两路信号（A、B），其波形、频率和

幅度可以各自调节，信号发生器产生信号的幅度和频率的精度要优于 1%；通用示波器用

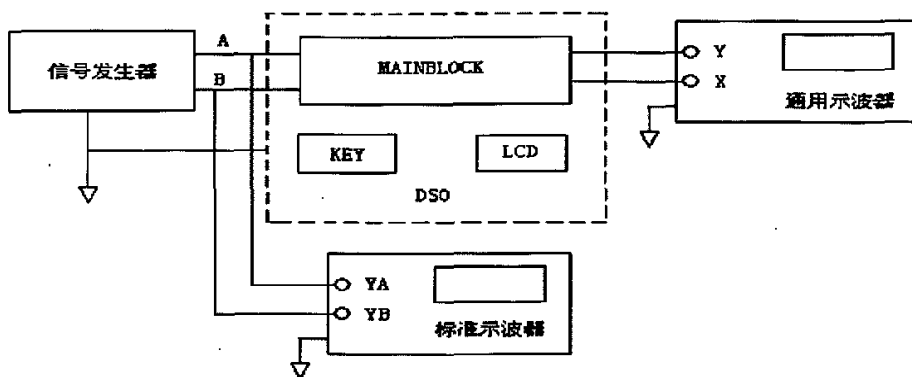


图 5-1 DSO测试方案图

于测试 DSO 输出的信号波形，包括幅度、频率、触发电平的调节、双踪显示、移动扩展显示等，其精度要优于 1%；标准示波器用于校准通用示波器，其精度要优于 0.5%。

5.3 测试结果及评价

1、测试仪器

表 5-1

仪器名称	型号	用途
信号发生器	33120A	信号源
通用示波器	CA8040	显示 DSO 的输出波形
标准示波器	CA2102	校准测量结果
多用表	PF66H	一般测量
逻辑笔	LP-200	测试逻辑电路

2、单次和连续触发扫描测试

选择单踪显示、A 通道。调节触发电平，观察 DSO 能否产生扫描电压，并在信号的上升沿开始显示波形；再分别观察单次信号和连续信号。

3、扩展移动显示

选择单踪显示、A 通道、扩展，信号频率为 10KHz。观察信号周期是 0.1ms；再移动显示的起始位置，观察通用示波器荧光屏上信号起点位置移动的情况。

4、双踪示波

选择双踪功能，A、B 信号为 10KHz、0.2V、正弦。观察通用示波器荧光屏上显示的

信号波形。

5、垂直灵敏度测试

正弦信号，频率为 10KHz，记录在表 5-2 中：

表 5-2

挡位	输入 V_i/V	输出 V_o/V	误差 = $(V_o - V_i) / V_i \times 100\%$
0.1v/div	0.8	0.82	2.5%
	0.6	0.606	1.0%
	0.4	0.412	3.0%
1v/div	8	8.168	2.1%
	6	6.072	1.2%
	4	4.116	2.9%
0.01v/div	0.08	0.0819	2.4%
	0.06	0.0607	1.2%
	0.04	0.0411	2.8%

6、扫描速度测试

正弦信号，幅度为 0.6V，记录在表 5-3 中：

表 5-3

挡位	输入信号 频率 f_i/Hz	输出信号 频率 f_o/Hz	误差 = $(f_o - f_i) / f_i \times 100\%$
0.2s/div	5	5.15	3.0%
	4	4.15	3.8%
0.2ms/div	5000	5105	2.1%
	2000	2040	2.0%
	1000	1022	2.2%
20us/div	50000	51350	2.7%
	20000	20440	2.2%
	10000	10190	1.9%

7、测试结果评价

垂直灵敏度的平均误差为 2.3%，满足 $\leq 5\%$ 的要求。扫描速度的平均误差为 2.5%，满足 $\leq 5\%$ 的要求。

结 论

经过一年多的分析、论证、设计、制作及调试，现在本设计已经完成。本设计具有一些特点也有一些可以改进的地方。

一、主要特点

1、模拟电路部分设计较为合理

从拟定电路到选择器件都进行了周密考虑，这为控制器的设计打下了基础。

2、采用有限状态机实现 ADC 控制器

3、控制器采用两层控制

4、无外接扩展存储器

二、进一步改进和优化的建议

1、采用程控电阻

2、用示波器的 Z 通道增辉显示实现双扫描显示作用

对于某些复杂信号变化的波形，如果用慢速扫描只能观察到信号的某一部分，虽然能够看到信号变化的细节但看不到信号的整体。

3、增加信号处理功能

在 DSO 中可以借助单片机编制有关数据处理程序，对采集的信号进行数据处理，可以得到许多测量结果。例如被测信号的频谱、功率、随机误差等。

注 释

- [1] 将焕文、孙续. 电子测量 (第二版) [M]. 北京: 中国计量出版社. 1988: 123.
- [2] 黄任. VHDL 入门·解惑·经典实例·经验总结 [M]. 北京: 北京航空航天大学出版社. 2005: 105.
- [3] 黄任. VHDL 入门·解惑·经典实例·经验总结 [M]. 北京: 北京航空航天大学出版社. 2005: 115.
- [4] 郑波祥、陈笑. VHDL 语言实现 FIFO 存储控制 [J]. 哈尔滨: 应用科技. 2003. 12: 38.
- [5] 张迎新、杜小平、樊桂花、雷道振. 单片机初级教程—单片机基础 [M]. 北京: 北京航空航天大学出版社. 2000: 208.
- [6] 黄任. VHDL 入门·解惑·经典实例·经验总结 [M]. 北京: 北京航空航天大学出版社. 2005: 115.
- [7] 张迎新、杜小平、樊桂花、雷道振. 单片机初级教程—单片机基础 [M]. 北京: 北京航空航天大学出版社. 2000: 47.
- [8] 潘松、黄继业. EDA 技术实用教程 [M]. 北京: 科学出版社. 2002: 227.
- [9] 潘松、黄继业. EDA 技术实用教程 [M]. 北京: 科学出版社. 2002: 195.

参考文献

- [1] 李琳、陈勇生. FLEX10K 系列 EAB 的应用[J]. 西安: 国外电子元器件. 2001.
- [2] 何永泰. VHDL 语言程序配置 EAB 的研究[J]. 南京: 电子工程师. 2005.
- [3] 许开华. 浅析 FLEX10K EAB 的功能[J]. 攀枝花: 攀枝花学院学报. 2002.
- [4] 刘尉悦、陈曦. 高速数据转换逻辑的设计与实现[J]. 北京: 核电子学与探测技术. 2003.
- [5] 谭会生、张昌凡. EDA 技术及应用[M]. 西安: 西安电子科技大学出版社. 2003.
- [6] 郭杨波、王曙光. 有限状态机的 VHDL 设计及优化[J]. 哈尔滨: 信息技术. 2004.
- [7] 黄正瑾、田良. 电子设计竞赛赛题分析[M]. 南京: 东南大学出版社. 2003.
- [8] 袁俊泉、孙敏琪. Verilog HDL 数字系统设计及其应用[M]. 西安: 西安电子科技大学出版社. 2002.
- [9] 东方人华、王建坤. MAX+PLUSII 入门与提高[M]. 北京: 清华大学出版社. 2004.
- [10] 巫承义、叶正华. 示波器原理与电路技术[M]. 成都: 四川人民出版社. 1980.
- [11] 侯伯亨、顾新. VHDL 硬件描述语言与数字逻辑电路设计(修订版)[M]. 西安: 西安电子科技大学出版社. 1999.
- [12] 刘润华、单亦先. 电子设计自动化(修订版)[M]. 东营: 石油大学出版社. 2001.
- [13] 蒋璇、臧春华. 数字系统设计与 PLD 应用[M]. 北京: 电子工业出版社. 2005.
- [14] 臧春华、郑步生. 电子设计自动化技术[M]. 北京: 机械工业出版社. 2004.
- [15] 朱定华、陈林. 电子电路测试与实验[M]. 北京: 清华大学出版社. 2004.
- [16] MARK ZWOLINSKI. VHDL 数字系统设计(第二版)[M]. 北京: 电子工业出版社. 2004.
- [17] 关德新、冯文全. 单片机外围器件实用手册电源器件分册[M]. 北京: 北京航空航天大学出版社. 1998.
- [18] 梅杓春、王勇. 现代电信仪表原理与应用[M]. 北京: 人民邮电出版社. 1998
- [19] 李春霞、顾新、王君. 有限状态机的 VHDL 描述及综合[J]. 北京: 计算机工程与应用. 2005.
- [20] 孔健、杨洪斌. 基于 VHDL 的有限状态机描述及综合[J]. 上海: 计算机工程. 2003.
- [21] <http://www.altera.com>

论文作者在学期间发表的论文目录

- 1、.计算机文件格式解析.（独立作者，科技情报开发与经济 2005 年第 3 期）
- 2、.Moore 型和 Mealy 型有限状态机的 VHDL 设计.（第一作者，现代电子技术 2006 年第 4 期）
- 3、.如何成为学习型教师—学习型组织理论的启示.（第二作者，教学与管理 2005 年第 11 期）
- 4、.对教师“日常生活”的批判与重建.（第二作者，湖南文理学院学报.社科版 2005 年第 6 期）

致 谢

首先，感谢我的导师卢洪武教授，在三年的研究生学习、科研和生活中，卢老师给予了我很多关怀。在论文的写作上，对我精心指导，从论文选题、资料的搜集、系统的开发到论文的写作都倾注了很多心血。论文的完成与卢老师的全力支持是分不开的。导师不仅传授知识，而且教给我严谨的治学态度和精益求精的科研精神，这将使我终身受益。

十分感谢山东师大现代教育技术研究所的白成杰老师，宋蓬勃老师，在论文写作中给了我很多帮助。

真诚感谢山东师大现代教育技术研究所的所有老师，在那里，我完成了三年的研究生学习，他们给了我无私的帮助和支持。

还要感谢我师兄弟、师姐妹，感谢家人和朋友，他们在学习和生活上给了我真诚的帮助。

感谢每一位帮助和支持过我的人。

2006年4月10日

附图

