## 摘要

近年来,集成电路设计得到了迅猛的发展,对集成电路设计的精度要求也在不断提高。 而电路设计精度的提高是建立在精确的器件模型的基础上,器件模型连接了电路设计与工艺 生产,起到了桥梁的作用。精确的模型不仅可以提高设计精度,还可以节约设计成本,缩短 设计周期。现今为大家所熟知的MOSFET器件在电路设计中发挥着很大的作用,因此建立 MOSFET器件的准确模型显得尤为重要。本文主要研究了MOSFET器件RF CMOS新工艺(浅沟 槽隔离技术)对器件电学特性的影响,建立浅沟槽隔离技术产生的应力的模型。该应力主要源 于浅沟槽氧化物和硅基硅材料的热膨胀系数不同。本文内容简要如下:

(1) 本文从RF CMOS工艺的角度具体分析了浅沟槽隔离技术工艺,并基于IBM 90nm RF CMOS工艺,通过用TCAD仿真工具研究了该技术对MOSFET性能的影响。经研究发现,STI 应力影响了沟道掺杂浓度和应力分布,特别是在STI结构的拐角处。至此,还发现该结构对器 件阈值电压和饱和电流有2%-5%的影响。

(2) 本文通过全局模型的建立方法,用ICCAP软件建立基本模型(包括DC和RF部分)。 在此基础上,根据应力的作用机制,设计用于分析应力参数SA/SB和STIW影响的器件结构, 并经流片、测试、提取模型参数,最终建立基于BSIM4模型的应力模型,该应力模型在 50MHz~30.05GHz范围内得到验证。根据本文的设计目标,分析了浅沟槽隔离对MOSFET的 影响,建立了该应力模型,并且该模型仿真结果与测试结果拟合良好。事实上,应力对器件 性能影响的两个主要表现就是迁移率的变化(即对饱和电流的影响)和沟道掺杂浓度的改变 (即对阈值电压的影响),因此文中给出了它们随应力参数的变化曲线。在模型建立过程中还 发现对于一些特殊尺寸的MOS器件,特别是小尺寸,应力的影响很大,精确的应力模型至关 重要。

本文的模型可应用到目前65nm工艺中,并能精确地表征器件的电学特性。

关键词:BSIM4; 浅沟槽隔离技术; RF MOSFET 模型; RF CMOS 工艺; SA/SB; STIW; 应 力模型

## ABSTRACT

In recent years, integrated circuits (IC) design has developed rapidly, and IC design precision requirements are constantly improved. For ensuring IC design precision, to establish precise device model is needed. Because of device model is the bridge between the integrated circuits design and foundries. Not only can improve design precision, but also can save design cost, shorten the design cycle. What is now well known MOSFET device in the IC design plays a very important role, so building an exact model for MOSFET device becomes particularly important. In this paper, the new technology (shallow trench isolation, STI) of RF CMOS for MOSFET device influences on electric properties. And then a model included STI-induced stress will be established. This stress is caused by the difference thermal expansion coefficient between  $S_i$  and  $S_iO_2$ . The paper briefly content as follows:

(1) This paper, according to RF CMOS process concretely analyzes shallow trench isolation technology. And based on IBM 90nm RF CMOS process studies the effect of this technology on MOSFET characteristic. In this process, we take the TCAD software of Sentaurus to simulate. Then the study found that the influence of STI-induced stress on channel doping distribution and stress distribution, especially in the corner of STI. So far, it also found that this structure influence on threshold voltage and saturated current among 2%-5%.

(2) This paper gives a model which includes DC and RF model, and is set up by using the method of establishing global model. In the process, ICCAP software is used. On this basis, and then considering stress mechanism of action, the structures of explaining the effect on device performance of stress parameters STIW, SA/SB are designed. Then following a series of steps process, tape-out, testing, extracting model parameters, finally, a based on BSIM4 stress model is built, and this model is verified by the measured data from 50 MHz to 30.05 GHz. According to the design goal of this paper, analysis the effect of STI on MOSFET, established the stress model, and got well fitting result between model simulation data and test data. In fact, the two major influences on device are the changes of mobility (i.e. affect on saturated drain current) and channel doping concentration (i.e. affect on threshold voltage). The paper gives the curves of threshold voltage and saturated drain current with stress parameters as well. In addition, some particular size MOS devices, especially small size device, the effect of stress is very large, so that an accuracy stress model play a crucial role.

In this paper, the model can be used in 65nm process, and express device electric characteristic accurately.

Key words: BSIM4; Shallow Trench Isolation Technology; RF MOSFET model; RF CMOS technology; SA/SB; STIW; stress model

# 第1章绪论

## 1.1 引言

过去的二、三十年是 IC 技术发展大爆炸的几十年,但是半导体器件已经有相当长的历史。 早在 20 世纪 30 年代初就有科学家 Lilienfield<sup>[1]</sup>提出了金属-氧化物-半导体晶体管(MOSFET) 的工作原理,但由于当时技术的限制,直到 1960 年,Kang 和 Atalla<sup>[2],[3]</sup>才报道了第一块利用 硅半导体材料制成的 MOS 晶体管,而在 1964 年 Snow,Grove,Deal 和 Sah 等人<sup>[4]</sup>提出了采 用常规的方法生长高可靠氧化物技术,至此 MOS 产业得到了飞速发展。目前,CMOS (Complementary Metal-Oxide-Semiconductor)工艺已经到达纳米量级,集成规模也在不断扩大, 并已成为现今大规模集成电路的主流工艺技术。CMOS 工艺是将 PMOS 和 NMOS 集成在同 一衬底上,主要有体硅结构和 SOI (Silicon-On-Insulator,绝缘衬底上硅)结构两种,而体硅结 构较为常见。

早期的射频电路(Radio Frequency Integrated Circuit, RFIC)大多使用像 GaAs MESFET、 HEMT(High Electron Mobility Transistor)和 HBT(Heterojunction Bipolar Transistor)等结构器件, 采用 GaAs、Si 双极型和 SiGe 等工艺。而随着 CMOS 工艺的发展, MOS 器件的性能大幅度 提升, CMOS 工艺下 MOS 场效应管的截止频率(f<sub>t</sub>)已经达到了几百个 GHz, 其应用领域越 来越广,基于硅基 MOS 器件的射频电路已在通信等领域得到大量应用。目前 RF CMOS 工艺 发展已经相对成熟,并且功耗低、速度快、抗干扰性强、集成度高等众多优点使它成为了射 频集成电路功能性能实现的一个重要选择,应用前景很广,也是当前 CMOS 集成电路研究的 一个热点和重点。

### 1.2 集成电路的发展及摩尔定律

1965年,摩尔在文章中指出,芯片中的晶体管不断缩小体积数量每年会翻番,即半导体性能和芯片的集成度将以指数增长,并且认为这种变化趋势将继续延续下去<sup>[5]</sup>。1970年,以 摩尔命名的摩尔定律被提出来,微处理器单芯片上的晶体管数每 18-24 个月翻一番,英特尔 处理器的发展状况确实证明了摩尔定律的正确性(后来在 1975 年被修正为每隔 18 个月翻一 番)。发展到今天,摩尔定律已经成为一个推动集成电路发展的强有力的驱动,实践证明,制 造集成电路的最小尺寸大小不断地呈指数迅速缩小。

人类研究半导体器件已经超过 125 年,根据摩尔定律,从以前的微米时代,到现在的纳 米时代,然而随着尺寸的不断缩小,集成电路的发展将面临很多的挑战,国际半导体技术发 展路线图就是在这样的一个挑战中诞生<sup>[6]</sup>:究竟需要研发什么样的技术才能继续沿着摩尔定 律指引的方向前进?可以预计,在下一个十年期的末期,将通过使用多种新型器件来增强 CMOS 工艺的能力,实现超越 CMOS 现有器件的某些性能。即使对 CMOS 工艺按比例缩小 最乐观的估计也会遇到问题,按照目前工艺设备和工厂成本的发展趋势,很难想象还能继续 支撑 15 年! 而 CMOS 工艺的新型器件很可能将从人们熟悉的非平面 CMOS 器件到更新奇的 器件,例如自旋器件等。

根据图 1.1 摩尔定律及其拓展图,纵向为在摩尔定律上进一步发展(按比例缩小),基于 硅的 CMOS 工艺越来越多的晶体管可以集中到一个芯片上,这样的系统级芯片 (System-on-chip, Soc)的主要功能就是数据存储和数字信号的处理。而在水平方向上,后 摩尔时代("More than Moore")更多的发展,即很多功能性的需求(如功耗、RF 通信带宽、无 源器件、传感器及生物功能等)<sup>[7]</sup>都无法按摩尔定律那样按比例缩小。事实上,在很多情况 下,都需要非 CMOS 的解决方案。后摩尔时代的方法通常允许使用非数字的模型功能,例如 射频通讯、功率控制、无源元件、传感器和激励器,使板级系统集成为封装系统 (System-in-package, SiP)或芯片级系统(SoC)。此外,还可以将复杂的嵌入式软件紧密地 集成到 SoC 和 SiP 中去。后摩尔时代的目标是将数字和非数字的加入到紧凑的系统中去,在 工业界发展进程中,后摩尔时代的相对比重将越来越大。



图 1.1 摩尔定律及其拓展

半导体技术经过近几年的发展,发生了翻天覆地的变化,将摩尔定律体现得淋漓尽致。 然而为保证 MOSFET 器件按照等比例缩小规则(如图 1.2)发展,不断进行工艺改进。根据 图 1.2 所示,从工艺的角度看,摩尔定律指出尺寸的缩放使集成度不断提高,R.Dennard<sup>[8]</sup>使 该定律概念化:即当临界尺寸减小时,保证恒定的电场常数,同时可以得到高速、低功耗的 数字 MOS 电路,而高速和低功耗已经成为微电子行业提高集成度的驱动力<sup>[9]</sup>。





Dimensions tox, L, W	1/a
Doping	а
Voltage	1/a
Integration	a <sup>2</sup>
Delay	1/a
Power dissipation/Tr	$1/a^2$
Electric field E	1

图 1.2 根据恒定场缩放理论说明当临界尺寸等比例缩放时,高速和低功耗的数字 MOS 电路 在摩尔定律的发展方向上,器件尺寸的不断缩小,各种新的半导体工艺出现了,在隔离 技术方面经历了巨大发展。微电子工艺进入深亚微米后,由于 MOS 集成电路是所有的器件 都集成在一个硅衬底上,为了实现高密度、高性能的 VLSI 电路,隔离及平坦化工艺就显得 越来越重要,浅槽隔离 (Shallow Trench Isolation, STI) 技术应运而生。传统的隔离工艺硅的 局域氧化工艺,也就是 LOCOS (Local Oxidation of Silicon) 工艺,主要是用在 0.25 微米以上 线宽的制造工艺中。硅的局域氧化工艺是一个非常成熟的工艺,而当半导体制造技术节点降 到 0.25 微米以下后,该项技术不再适用于器件隔离,人们开始把目光投向了浅沟槽隔离技术。 浅沟槽隔离克服了 LOCOS 工艺的局限性,并完全代替了该技术。STI 已经成为亚微米尺度 的主流隔离技术,为半导体的发展做出了巨大贡献。在下面的章节中将会另外对 STI 做详细 的介绍。

## 1.3 射频 MOSFET 模型的发展现状

随着 CMOS 工艺的不断发展进步,集成电路工艺已经发展到了纳米尺度,特征尺寸不断 缩小,工艺也越来越复杂。器件建模是沟通集成电路(Integrated Circuit, IC)设计与集成电 路制造的桥梁,精准的器件模型对于电路设计是非常重要的,模型越可靠准确,设计出来的 电路性能才能更加真实可信,从而缩短电路设计的周期,节约成本。然而模型的复杂度随着 尺寸缩小、工艺越来越复杂在进一步提高,因此建立模型还需要充分考虑效率问题。

模型的发展也经历了从一开始的物理模型,到后来的经验模型,发展到现在为大家所公 认的基于物理的紧凑模型,即 Compact 模型。Compact 模型是一种尽可能简单的,同时可以 减少仿真时间的模型。因此,以建立一个精准的 Compact 模型为目的的器件建模,能使设计 的电路更加稳定、高速、接近实际。可以说,追求模型精度和计算效率是 MOSFET Compact 模型发展的推动力,这也是 CAD 工作者的重要任务,也是现今国际上研究的重点和热点。随 着 MOS 器件性能的提高,CMOS 集成电路的应用也越来越广泛,其中两个主要应用就是射 频应用和功率应用,射频器件和功率器件的建模就显得尤为重要,本文主要是针对射频器件 建模。MOSFET 模型起先是针对数字和低频模拟电路设计开发的,其重点表征在 MHz 范围 内的直流漏电流、电导和本征电荷/电容行为,然而随着工作频率提高到 GHz 范围内,器件 非本征部分对性能的影响逐渐加强,为了得到足够精度的射频模型必须考虑本征和非本征部 分的行为。因此在 RF 设计中,兼顾本征和寄生部分高频行为的模型就显得很重要了。

目前在 CMOS 射频集成电路设计广泛应用的推动下,射频 MOSFET 模型已经成为模型 研究的热点。射频 MOSFET 模型的研究的一个重点是基于 MOSFET 模型的子电路的建立<sup>[10]</sup>,并能考虑版图的各种寄生效应,如互连线寄生、高频寄生(电容/电感)。因此,射频 MOSFET 模型的研究包括:正确理解器件高频特性,设计去嵌结构,创建子电路,并对子电路各元件 进行适当的参数提取,优化模型。如图 1.3 为 MOSFET 器件的界面图和等效电路图<sup>[11]</sup>。该等 效电路图包括器件内部模型以及外部寄生等效电路模型,如衬底网络结构、R<sub>g</sub>、R<sub>s</sub>、R<sub>d</sub>、C<sub>gso</sub> 和 C<sub>gdo</sub>等。



图 1.3 nMOSFET 的等效电路图

近几年来,射频 MOS 场效应管模型研究取得了明显的成效。Shijing Yao<sup>[12]</sup>等提出了多指 器件的紧凑模型;在纳米级尺寸下 RF 和小信号参数提取方法方面,据报道 Seongjae Cho<sup>[13]</sup> 等通过三维仿真建立了 Nanowire MOSFETs 模型;深亚微米下 J. –Y. Kim<sup>[14]</sup>等提出了一种新 的精确提取 RF 模型的方法,即通过精确计算源漏重叠(overlap)和耗尽(depletion)长度。 但是与用于数字和低频模拟应用的 MOSFET 模型相比,RF MOSFET 的模型仍处在初步发展 阶段。为使射频 MOSFET 模型达到成熟的水平,应进一步提高描述模型小信号特性、噪声特 性、失真特性及非准静态(non-quasi-static, NQS)特性的准确性,优化参数提取方法。在工 艺方面,新工艺 STI 结构的隔离作用在射频效应中有一定的影响,但是它对 DC 的影响更为 显著,这种隔离技术还可以大大地减小了版图面积,节约了成本,提高了设计集成度。

### 1.4 论文的主要工作和结构

本文针对 RF CMOS 工艺,分析了新工艺浅沟槽隔离对 MOSFET 的影响,建立了该应力 模型。在半导体工艺技术进入 0.13μm 后应力对器件行为的影响越来越大,它所产生影响不再 能被忽略,在某种程度上,已经成为影响 MOSFET 行为诸如载流子迁移率、阈值电压、漏致 势垒降低效应的主要因素了。浅沟槽隔离技术对器件的影响已经成为工业界关注的热点,本 文结合己有的 BSIM4 模型、TCAD(Sentaurus)仿真及测试结果,重点研究 STI 应力对射频 器件的影响,建立更加精确的 compact 模型,包括 DC 和 RF。所选用的 BSIM4 模型从直流 到交流,以及到高频阶段都有完整物理特性模型及相关电路仿真表达公式,弥补了 BSIM3v3 在高频段的不足之处<sup>[15]</sup>,如:通过加入栅极与衬底电阻网络改善高频下输入输出阻抗特性、 考虑了由 STI 应力引起的对器件性能的影响等。因此,随着器件特征尺寸的下降,特别是进 入深亚微米阶段(deep-Submicron)后,研究 BSIM4 模型及其 RF 模型具有重大的现实意义。

本论文各章安排如下:第1章为绪论,介绍 MOSFET 模型的发展状况和趋势,阐述了模 型发展趋势、模型研究的意义;第2章为 MOSFET 模型和 RF CMOS 工艺,首先介绍模型的 发展历史, Level 1~ Level 3、BSIM 模型、基于电荷和表面势的模型等。然后根据现今模型的 特点,介绍了模型可能的发展趋势,在新的工艺技术下模型将在基于物理模型的发展方向上 前进。最后还介绍了 RF CMOS 工艺及存在的问题; 第3章浅沟槽隔离技术及模型 这样主 要讨论浅沟槽隔离技术工艺特点、浅沟槽隔离所产生的应力作用机制以及现今浅沟槽隔离应 力影响模型的发展状况。首先,详细介绍了浅沟槽隔离技术工艺。然后,根据压阻效应从能 带的角度分析了浅沟槽应力的作用机制,是在理论层面上所进行的阐述。最后,根据 IBM 90nm 工艺,使用 TCAD Sentaurus 软件仿真了具有 STI 结构的 NMOS 场效应管,包括单指、两指 和 32 指,为了更好的用于分析浅沟槽对器件的各种影响,还对应的仿真了无 STI 结构场效应 管,通过给出曲线图来说明这些不同之处,另外还仿真了不同 STIW 结构下的特性曲线变化。 第4章为 BSIM4 应力模型建模,主要介绍了建模的基本流程、BSIM4 的阈值电压模型和应力 模型,最后介绍了 STI 应力模型现阶段的研究状况。第5章为建立 STI 应力模型,这章主要 将基于 BSIM4 模型分析应力对器件 DC 和 RF 性能的影响。应力分析分为两个方面,即 SA/SB 和 STIW 诱导的两种应力情况,建立应力模型。第6章为总结与展望,对本论文工作进行总 结和对进一步工作的展望。

## 第2章 MOSFET 模型和 RF CMOS 工艺

模型是对真实世界中事物行为的描述,是为了让人们更加简便地理解和描述真实世界的 事物,然后对物理实物或者自然现象作逻辑抽象,它抛开了物理实物的表象,抽出其内在的 物理性质,运用各种数学工具,使之归结为一系列数学方程或者程序。就像 MOS 模型,就 是对该器件行为的描述,模型开发者开发出来的模型最终将嵌入电路设计 CAD 工具里,在电 路设计仿真中可以直接调用。模型作为连接半导体生产商与电路设计者之间的桥梁,是半导 体行业不可或缺的一环。随着工艺的不断改进和对器件物理效应的不断深入了解, MOS 模型 经历了长时间的发展。

### 2.1 MOSFET 模型发展历史

在射频 MOSFET 模型中已经提到,一个准确的模型对于电路设计来说是至关重要的。事 实上,模型就是对器件行为特性的准确描述,考虑包括温度、尺寸、工艺参数和频率的影响。 自 20 世纪 60 年代中期建立了第一个 MOS 模型以来<sup>[16]</sup>,人们为了提高特征尺寸不断缩小的 器件的模型准确性,进行了大量的研究工作。从六十年代中期到七十年代末,为了使沟道长 度减小到 1µm 的 MOSFET 模拟和实际测量特性之间有一个合理的精度,人们相继建立了包 含了高阶效应的 Level 1~ Level 3 模型。此后,到了八十年代中期,AT&T (American Telephone & Telegraph)贝尔实验室提出了简单短沟道 IGFET (Isolated Gate Field Effect Transistor) 模型 CSIM, UC Berkeley 报导了短沟道 IGFET 模型 BSIM。但实践证明,这些模型不适用于电路 模拟设计,在 80 年代末到 90 年代初,人们又相继推出了 BSIM2,HSPICE level 28 模型,BSIM3 等一系列模型。而一个模型的应用主要由以下两个因素决定:一是不同尺寸的器件在不同的 工作范围内所能提供的精度;再就是模型参数提取的容易程度和仿真的效率。

根据模型发展的历程及特点,发展至今的模型大致可分为三代。

(1) 第一代模型 Level 1~ Level 3, 特点是通过一些方程式描述器件特性, 而这些方程以 及方程中的参数都有明确的物理意义的。当时的技术条件下, 所需要考虑的物理效应较为简 单, 因此, 所建立的模型物理意义明确, 模型也相对简单, 它们构成了最初的 Berkeley SPICE。 但是当器件尺寸进入到亚微米后, 特别是进入纳米尺寸, 物理意义明确、模型准确、运算效 率高的解析式的建立变得很困难。

(2) 第二代 MOS 模型克服了模型 Level 1~Level 3 的不足,其代表模型主要包括 BSIM、 BSIM2 和 HSPICE level 28 模型。BSIM 采用一种与 Level 1~Level 3 不同的方法:加入大量 的经验参数来简化这些方程,不足之处是与器件物理工作机理失去了联系。BSIM 模型的一 个主要特点就是通过增加一个简单的关系式来表示器件参数和几何尺寸的依赖关系,这种关 系就可以建成一个可缩放的(Scalable)模型,该关系式如式(2.1)所示:

$$P = P_0 + \frac{\alpha_P}{L_{eff}} + \frac{\beta_P}{W_{eff}}$$
(2.1)

BSIM 大约使用了 50 个参数, P<sub>0</sub> 是长而宽器件的参数值(如果 L<sub>eff</sub>, W<sub>eff</sub>→∞,则 P=P<sub>0</sub>),  $\alpha_P$ ,  $\beta_P$  是拟合因子。然而在小尺寸下,BSIM 拟合的结果精度会比较低。实测结果表明,对于沟道长度小于 0.8µm,BSIM 预计的 MOS 饱和区输出电阻是负值等难以捉摸的问题。比起 BSIM 模型,BSIM2 对迁移率和亚阈值传输采用了新的表达式,它需要约 70 个参数。HSPICE level 28 提高了模型参数与几何尺寸的关系精度,即表达式:

$$P = P_0 + \alpha \left(\frac{1}{L} - \frac{1}{L_{ref}}\right) + \beta \left(\frac{1}{W} - \frac{1}{W_{ref}}\right) + \gamma \left(\frac{1}{L} - \frac{1}{L_{ref}}\right) \left(\frac{1}{W} - \frac{1}{W_{ref}}\right)$$
(2.2)

Lref, Wref表示一个"参考"器件(即已经测量出特性的晶体管)的尺寸。

(3)第三代模型回归到比较简单的模型结构,它避免了第二代模型的很大程度上依赖参数提取,有很多限定方程和没有明确物理意义的经验参数的问题,使用了比较少的模型参数,并且这些参数是基于物理而非经验的。它应用平滑函数来表示单个方程描述电流-电压(I-V)和电容-电压(C-V)特性,并保证 I-V、C-V 有良好的连续性,代表模型有 BSIM3 和 MOS MODEL 9,这两个模型都是基于 V<sub>th</sub>的紧凑模型(compact model)。

BSIM3<sup>[17]</sup>是完全建立物理模型基础上,为提高模型的准确性,引入了拟合参数,BSIM3 通过引入的曲线平滑功能,使得在 SPICE 仿真引擎下 MOSFET 电流、电荷、电容和电导的 曲线平滑、连续而且具有很快的收敛性。BSIM3v3 模型在 1995 年由 EIA CMC(Compact Model Council) 定为工业界的第一个准 MOSFET 紧凑模型<sup>[18]</sup>。

MOS MODEL 9(MM 9)<sup>[19]</sup>恩智浦公司(NXP,原隶属于 Philips)开发的基于物理的解析 模型,这些模型可以用于模拟应用的电路仿真和设计。它对器件电学特性的相关区域都有很 好的描述,例如亚阈值电流、衬底电流和输出电导等。MOS MODEL 9 可以仅仅通过设置一 个参数就可以描述覆盖长宽范围很广的器件所有器件。

除了上述两个模型以外,基于 V<sub>th</sub>的模型还有在 BSIM3 基础上做了改进的 BSIM4 模型。 有以下几个方面:(1)精确地内部输入电阻新模型,可以应用于包括 RF、高频模拟和高速数字 电路;(2)灵活的衬底电阻网络;(3)新的精确的沟道热噪声模型和栅极诱导的噪声分割模型; (4)与基于 R<sub>g</sub> RF 模型一致的非准静态模型(non-quasi-static, NQS) 和考虑了 NQS 影响跨导和 电容的 AC 模型;(5)精确的栅致隧穿模型;(6)基于版图寄生的模型,如变化的源漏极接触位 置和多指器件;(7)改进了垂直掺杂分布模型;(8)非对称和依赖源漏极偏置电阻模型;(9)包含 参数电学和物理栅厚度,用户可以选择输入;(10)对 IV 和 CV 都考虑了量子机制电荷厚度; (11)在 BSIM 系列模型中,首次提出了栅致势垒泄漏(gate-induced drain leakage, GIDL)的电 流模型;(12)区分了源漏结二极管的 IV 和 CV 特性等。

基于反型层电荷 Qi的典型模型有 EKV 和 BSIM5 模型<sup>[20]</sup>。

EKV 是在以降低器件的功耗的背景下产生,电路功耗要求不断降低,电路设计者逐渐将

器件的工作点置于阈值电压附近,在这样的背景下,它应运而生了。EKV 模型的基本方程最 早由 Enzo, Krummenacher 和 Vittoz 在上个世纪九十年代提出<sup>[21]</sup>,后由瑞士联邦科技学院开 发。EKV 模型采用了以体电势作为参考电势,重新定义漏极电流,即漏极电流同时包含受源 极控制和受漏极控制的电流,这样的处理使得当 V<sub>ds</sub><0 时模型仍然有效,至此,该模型满足 对称性。在体效应方面它要优于 BSIM3,从参数角度上来说,它更加的简单,仅包含 18 个 直流参数,模型的提取显得很方便快捷。目前,EKV3.0 也已于 2000 年发布<sup>[22]</sup>,而最流行的 版本为 EKV2.6,是 1997 年发表的,该模型已经嵌入到 ADS、AIM-Spice、Star-Hspice 等仿 真器中。

BSIM5 模型是 BSIM 研发小组又于 2002 年提出的基于反型层电荷的模型<sup>[23]</sup>。BSIM5 模型是一个连续的、完全对称的以及精确的基于电荷的模型。与前面基于电荷的模型比较看来, BSIM5 是直接从 Poisson 方程和 Pao-Sah 电流公式得出,因为其基本变量仍为电荷,所以不属 于基于表面势模型。BSIM5 模型采用了的高斯边界条件是基于缓变沟道近似(gradual channel approximation, GCA)的,模型主要包括电荷方程和电流方程两个方程<sup>[24]</sup>,即:

$$\ln(\frac{q_i}{\alpha}) + \frac{q_i}{\alpha} = \frac{v_{gb} - v_{fb}}{\alpha} - v_{cb} - 2\Phi_F - \alpha \log(\frac{\alpha}{1 - \alpha})$$
(2.3)

$$I_d = \mu C_{ox} \frac{W}{L} \left(\frac{kT}{q}\right)^2 \left(\frac{q_s^2 - q_d^2}{2\alpha} + q_s - q_d\right)$$
(2.4)

其中α为理想因子(α=1+C<sub>d</sub>/C<sub>ox</sub>), v、q分别为归一化电压及反型电荷量。BSIM5 的物 理效应是直接从方程中导出来的,因而模型的物理意义更加准确。BSIM 5 模型使用一系列单 一的方程来计算所有偏置区的电荷,它可以相对简单地包含窄沟效应、短沟效应、多晶硅耗 尽效应、量子机制效应等<sup>[25]</sup>。由于 BSIM5 灵活的结构能够覆盖 BSIM4 所建立的精确模型, 充分考虑由于器件的物理效应或者工艺导致的对器件行为的影响。该模型的 C-V 方程是从满 足对称性的 I-V 方程中得出,因而 C-V 模型也满足对称性,因此,I-V、C-V 方程一致统一, 而 RF 函数可靠性强<sup>[26]</sup>。BSIM5 核心模型可以简单地扩展到其它非传统的新型的器件,例如 SOI 和双栅 MOSFET,乃至超薄 SOI(超薄体区,UTB)器件、多栅(MG)器件(FinFET 等)。

基于表面势  $\Phi_s$ 的经典模型有 Pao-Sah 模型、HiSIM 模型和 PSP 模型。

Pao-Sah 模型是最早的基于 Φ<sub>s</sub> 的模型, 它几乎与 MOS 晶体管同时出现, 用一个二重积分 方程表示:

$$I_{ds} = \mu_s \frac{W}{L} C_{ox} \gamma \int_{v_{ab}}^{v_{ab}+V_{ab}} \int_{\phi_f}^{\phi_s} \frac{e^{(\phi-2\phi_f - V_{ab})/V_i}}{F(\phi, \phi_f, V_{cb})} d\phi dV_{cb}$$
(2.5)

V<sub>sb</sub> 为源极电压,V<sub>sb</sub>+Vds 为漏极电压,该方程只能用数值的方法求解。Pao-Sah 模型考虑了漂移电流和扩散电流,对包括亚阈值和饱和区在内的所有工作区都有效。但是该模型计算时间较长,不适合于电路模拟(例如 SPICE)。不过人们也提出了多种不同 Pao-Sah 的简化模

型<sup>[27], [28]</sup>,如薄层电荷模型(Charge-Sheet Model)。

HiSIM(<u>Hi</u>roshima university <u>Starc Igfet Model</u>)<sup>[29]</sup>模型是日本广岛大学提出的表面电势模型。模型认为,器件的特性是由源极电势  $\Phi_{s0}$ 、漏极电势  $\Phi_{s0}$ +V<sub>ds</sub>和夹断点电势  $\Phi_{sL}$ 来决定的,通过迭代计算的方法求解 Possion 方程,得出这三个电势,继而可得出器件的 I-V 和 C-V 特性曲线<sup>[30]</sup>。HiSIM 模型采用迭代法计算以减少不必要的积分计算,计算效率与 BSIM3v3 相当,至此,人们改变了对表面势模型计算效率低的看法。该模型灵活性强,可以很方便的扩展到 SOI MOSFET 和 LDMOS 器件上,由于它对于高压器件有着非常高的描述精度,被 CMC 选为第一个针对高压器件的标准 compact model。

PSP 模型是一个新的基于表面势的 MOSFET 模型,由飞利浦研究中心和宾夕法尼亚州立 大学 Gildenblat 等多位教授联合开发<sup>[31]</sup>。PSP 集成了 SP model 和 NXP MOS Model 11 模型的 优点。在 2005 年 12 月 CMC 召开的会议中,CMC 会员已经通过投票表决选择 PSP 模型作为 新一代 MOSFET 模型的标准。

### 2.2 MOSFET 模型的发展趋势

随着 CMOS 工艺的发展,器件尺寸不断缩小,芯片的集成度也不断的提高。如图 2.1 所示,形象的描述了从 20 世纪 80 年代到 2020 年半导体技术的发展历程和应用。而随之产生影响也越来越多,如小尺寸效应、短沟效应、窄沟效应、漏至势垒降低效应(DIBL, drain induced barrier lowering)等,亚微米、纳米级下的量子效应,以及应用广泛的高频器件的各种寄生效应、耦合作用等。模型的研究就是要在考虑各种复杂的物理效应的基础上,使模型更加的精确、高速、稳定。下面主要是对 MOSFET 模型发展趋势几个方面的阐述。



Continuous scaling of smallest dimensions

图 2.1 器件特征尺寸和芯片集成度的发展历程

首先, CMOS 工艺通过增加新的工艺模块、使用新的材料以及新的器件概念(即新的结构)来提高器件性能,从而设计出功能多样、性能更好、更加稳定的电路。如图 2.2,给出了为了缩小器件尺寸所运用的先进工艺,如 Strain、USJ(Ultra-Shallow junctions)等,新的结构有 FinFET,是三栅结构。为了适应这些新的工艺,建立的模型自然也要做相对应的修改,

充分考虑这些新的工艺所产生的新的物理效应。一般来说,MOSFET 模型在准确性上的要求 不断提高,但同时准确度和效率两个方面仍然存在着矛盾。一种方法是在原有模型的基础上, 通过不断添加新的参数来扩展模型,从而准确模拟器件的特性。在 MOSFET 模型从第一代模 型到第三代模型的发展过程中,MOSFET 模型的改进在很大程度上归功于不断增加的模型参 数。但是从实际的应用中发现,这种在提供更为准确模型的同时,也使得模型参数急剧增加, 模型复杂度也随之增加,模型仿真效率降低了。另外一种兼顾了模型准确度和仿真效率的方 法就是通过从根本上改变模型依据基础,从物理基础出发,做到用更少的参数来准确描述器 件的特性,这样一来,可以明显降低所需要的参数,提高计算效率,但是这种方法的难点在 于要明确具体的物理作用机制。



图 2.2 器件特征尺寸 Scaling 及对应的先进工艺

其次,根据文献<sup>[32]</sup>总结,MOSFET 发展趋势的几个方面,如从阈值电压模型向表面势模型过渡,从目前依赖于测试数据进行参数提取向利用器件仿真数据进行参数提取过渡,从目前 MOSFET 的子电路模型向 compact 模型发展,而 MOSFET 的亚阈值模型将成为 MOSFET 模型的一个重要发展方向,另外还有向统计模型发展,MOSFET 模型将趋于标准化,模型的 缩放能力依然是建模所追求的重点。BSIM3v3 作为第一代模型后,为了适应发展的需要,新一代标准化 compact 模型 PSP 模型产生了,将来还会有第三、第四代标准模型。而对于特殊 结构的器件,需要特定的模型去描述,如 LDMOS、SOI 器件、HMET 及先进的纳米器件等,将来模型的发展会趋于更加的多样化。

第三,评价一个模型的好坏,一般是对准确性、仿真速度及收敛性三方面综合考虑决定 的<sup>[33],[34]</sup>。模型准确才能保障电路和系统设计正确,而且一个精确的完整模型是能够模拟实际 器件整个工作区域特性的。一般器件实际电流与模型仿真电流的误差要控制在 5%左右。但是 器件模型的精度越高,模型越复杂,计算效率降低。所以器件模型常常需要在准确性与简单 性之间进行折衷,并在折衷中推进发展。另外收敛性是电路和系统仿真顺利完成的关键,不 仅要求描述器件行为的数学模型方程必须连续,而且还应具有连续的一阶导数,这是牛顿-拉夫森迭代所要求的。虽然从严格的数学理论层面讲,连续的一阶导数并非是必要条件,但 是这些不连续性的存在会引起模拟程序的误差。因此这种不连续的程度必须控制在足够小的

范围内,保证它所引起的误差要小于整个模拟程序所允许的误差。从上述分析中可以发现, 器件的模型将会在精度、速度和收敛程度三个方面的推动下不断发展更新,发展成为更准、 更快、更加稳定。

### 2.3 RF CMOS 工艺介绍

CMOS 由成对的互补 p 沟道与 n 沟道 MOSFET 所组成。CMOS 逻辑成为目前集成电路设 计最常用技术的原因在于它的低功率损耗和较好的噪声抑制能力。如 CMOS 做反相器具有一 个基本的优点:不论输入端是处于高电位还是低电位,只有一个晶体管处于导通状态。所以 仅当开关瞬变过程耗散一定的功率,功耗降低。在目前无线技术的应用中,RF 集成电路所用 材料和工艺有很多种,例如: Si CMOS, Si BiCMOS, Si LDMOS, GaAs MESFET, GaAs PEMT, GaAs HBT, InP HEMT, InP HBT。

而众所周知地, GaAs 和 BJT 通过修改禁带宽度就能使一个双极型半导体达到更高的性能, 如使器件具有相对高的单位电流增益截止频率 f<sub>T</sub>, 所以 RF 集成电路采用 GaAs 和 Si 双极型工艺可以得到很好的性能。然而与 Si 相比较, GaAs 是一种稀有、昂贵的化合物,而硅是 大量存在的廉价品,随着 CMQS 工艺的迅速发展,该工艺下 MOSFET 器件的最小沟道长度 不断减小, 从而晶体管的 f<sub>T</sub>也不断提高,性能不断提高。目前已经广泛的运用于 RF 集成电路中,并且有很好的表现。

逻辑 CMOS 工艺包括标准的 MOSFET 工艺外还包括电阻,如多晶硅电阻,扩散电阻,n 阱电阻等。RF CMOS 工艺是在数字 CMOS 工艺基础上增加了必要的工艺步骤和专门为 RF 应用而设计的器件结构,如图 2.3 中版图结构的对比可以看出,RF CMOS 工艺较一般的逻辑 CMOS 要复杂,考虑各种高频效应。具体地说,RF CMOS 工艺增加了专门为高频应用的无源 器件(即电阻、电容和电感),有源器件(MOSFET、BJT等),另外还有可变电容,它在 RF 电路设计中是非常重要的。典型的 RF CMOS 工艺器件有深 N 阱 MOSFET、可变电容 (Varactor)、金属层间电容(MIM)、电阻、高 Q 值电感制造等。下面着重介绍一下 RF CMOS 工艺技术中的深 N 阱结构。



图 2.3 SMIC 0.18µm 工艺 nmos 版图, (a)一般的逻辑 nmos 版图, (b)RF nmos 版图

深 N 阱结构即 (deep n-well, DNW)的 MOSFET 多应用于 RF 0.13μm-65nm 工艺中, 而 在 0.25μm 以上不常使用, DNW 的一个关键用处就是为器件提供独立的衬底,由于电路频率 较高时会对 SUB 产生干扰,所以必须将高频电路隔离,或者把敏感电路包在 DNW 中。在一 些深亚微米的差分放大器中常使用到 DNW,其目的在于用 DNW 隔离 p 阱 (PW)和 p 衬底 (PSUB),使衬底耦合噪声变小。因为一般说来,p-n 结电容可以有效地抑制噪声耦合<sup>[35]</sup>。 DNW 除了可以做 isolation 外还能实现 NPN 管。已经有报道 DNW 可能产生的影响—热电子 效应,并且在 0.18 工艺中,栅源电容可以减小 20%<sup>[36]</sup>,以及对 1/f 闪烁噪声的影响<sup>[37]</sup>。考虑 到 DNW 诸多优点,通过分析该结构对器件行为的影响,建立该结构的 compact model 是迫切 需要的。如图 2.4 所示为 DNW MOSFET 的截面图,它除了源极、漏极和栅极之外,衬底还 有三个接触电极,正如上面所说的,提供了一个独立的衬底结构给器件核心。



图 2.4 深 N 阱场效应管结构截面图

该工艺是基于常见的逻辑 CMOS 工艺,增加了光罩和深 N 阱注入。为了减小对 MOS 管 DC 行为的影响,在注入退火后,用高能离子注入来形成深 N 阱。而侧边常规的 N 阱注入使 用较低能量来注入,注入完要进行退火。

## 2.4 RF CMOS 工艺问题

集成电路芯片工艺制造本身就并非完美,如温度、工艺步骤所持续的时间、掺杂浓度、 掺杂能量等因素所带来的差异,就会导致不同的晶圆之间、同片晶圆上不同裸片之间和同一 裸片上不同晶体管之间有所差异。特别器件特征尺寸进入纳米尺度后,这种不稳定性更为明 显,如泄漏电流和功耗等效应将成为 CMOS 集成电路设计中必须要考虑的问题。如图 2.5 所 示<sup>[38]</sup>,随着 CMOS 进入更加先进的工艺技术节点,沟道和栅极的泄漏电流急剧增加。泄漏电 流(即包括亚阈值漏电、栅漏电、结漏电和带带隧穿漏电等)成为 65 nm 和 45 nm 节点产业界 主要关注的一个方面。



图 2.5 泄漏电流极大增加, (a)沟道泄漏电流随温度的变化; (b)栅泄漏电流随栅压的变化

工艺参数栅氧化层厚度(T<sub>ox</sub>)对栅极泄漏电流的影响很大,每个工艺节点下单位栅极宽的 泄漏电流将会增加一个数量级,采用高 k (介电常数)材料时,器件的性能的提高就不需要 更薄的栅氧化层。泄漏功耗不仅是能源的浪费,而且影响可实现的波形、集成度、封装选择、 可靠性等,而且由于工艺的不稳定,同一片晶圆的不同芯片之间,漏电流会有 5 倍到 20 倍的 变化。可以通过采用多阈值电压技术(Multi-Threshold CMOS, MTCMOS),或者更高级的设计 技术来减小泄漏电流,与此同时,增加的工艺步骤会引入更多的不稳定性。然而由于随机掺 杂和将来技术节点减小下电源电压的减小,致使多阈值技术可行性将会减小<sup>[39]</sup>。

除了上述所介绍的泄漏电流外,CMOS 工艺中的热载流效应对器件的影响也很大。考虑 该效应,致使器件从微米到纳米按照等比例缩小原则也随之改变,用于减少热载流子效应的 危害。等比例缩小原则从根据恒定电压到恒定电场(平均电场),再到保持最大电场恒定,这 是因为实践发现,主要在漏区边缘可以观察到这样的效应<sup>[40]</sup>。工艺上的漏极工程(drain engineering)可以用于降低漏/衬底 PN 节附近峰值电场。早期的漏极工程采用了双扩散漏区 的工艺模块,到目前为止,最通常用于控制热载流子效应的工艺模块是轻掺杂漏区(lightly doped drain)。LDD 就是简单地在侧墙形成之前增加一道中度计量的注入工序和在侧墙形成之 后保留更高计量的源/漏注入。而该工序的作用在于在源接触区与沟道之间形成一个长度和掺 杂浓度容易受控制的区,以便降低峰值电场使热电子退化。

最后还有 CMOS 工艺中的闩锁效应一直是一个关键的问题,早期的 CMOS 技术的限制 之一就是闩锁效应,所以在对等比例缩小的 CMOS 工艺技术进行设计时应避免这个问题。闩 锁效应通常有很强的破坏性,由于 CMOS IC 的阱结构中寄生的 n-p-n-p 二极管作用所造成的, 即 nMOSFET 的源区、p 衬底、n 阱以及 pMOSFET 的源区(n 阱 CMOS 工艺的情况),他们 构成了两个三极管(一个横向的 n-p-n 和一个纵向的 p-n-p)。

### 2.5 小结

本章从 MOSFET 模型开始,介绍了第一代到第三代模型,Level 1~ Level 3、BSIM 模型、 基于电荷和表面势的模型等,对每一代的模型特点都做了较详细的介绍。然后根据现今模型

的特点,介绍了模型可能的发展趋势,在新的工艺技术下模型将在基于物理模型的发展方向 上前进,并且在精确、高速、收敛三方面的推动下发展。接下来还介绍了 RF CMOS 工艺已 经存在的问题。本章内容给出了建模所需的背景知识,是建模的基础。

.

## 第3章 浅沟槽隔离技术

浅沟槽隔离(Shallow Trench Isolation, STI)技术工艺克服了传统隔离技术的弊端,在现 今时代发挥着越来越重要的作用。而随着特征尺寸的不断缩小,STI 对器件特性的影响也急 剧增加,研究 STI 对器件产生的作用显得尤为重要,

### 3.1 STI 工艺及结构

随着半导体 IC 技术的不断发展,要在有限的晶圆表面内做尽可能多的器件,晶圆面积变 得越来越紧张,器件间的间隔空间也越来越小,它们之间的隔离要求也越来越高。各种隔离 技术应运而生,所谓隔离,就是要消除相邻或者邻近器件之间的相互作用,或使这种相互作 用最小化。具体地说,在工艺上,隔离就是指利用介质材料、反向 P-N 结等技术隔离集成电 路中各器件有源区,消除一些因为寄生产生的晶体管(如二极管、三极管等),降低工作电容、 抑制闩锁效应(Latch-up)。

集成电路沿着摩尔定律发展的 40 多年中,现已进入纳米时代。而近几年随着半导体技术 的快速发展,器件隔离技术也经历了巨大变革发展。传统的隔离工艺硅的局域氧化工艺,也 就是 LOCOS (Local Oxidation of Silicon) 工艺,主要是用在 0.25 微米以上线宽的制造工艺中。 硅的局域氧化工艺是一个非常成熟的工艺,而当半导体制造技术节点降到 0.25 微米以下后, 由于 LOCOS 存在着许多难以克服的技术难题<sup>[41]</sup>,例如: (1)鸟嘴(bird's beak)结构使场 SiO<sub>2</sub> 进入有源区,不仅占据了一定的有源区面积,影响到了集成度,而且在深亚微米尺度下使得 漏电流问题也越发的严重,大大降低了器件性能; (2)场注入在高温氧化过程中发生再分布, 引起有源器件的窄宽度效应(Narrow Width Effect, NWE),即器件的宽度越小,阈值电压 (Threshold Voltage, V<sub>th</sub>)越小; (3)场 SiO<sub>2</sub>在窄隔离区变薄; (4)表面不平坦等,该项技术不再 适用于器件隔离,人们开始把目光投向了浅沟槽隔离技术。浅沟槽隔离克服了 LOCOS 工艺 的局限性,并完全代替了该技术。STI 已经成为亚微米尺度的主流隔离技术,为半导体的发 展做出了巨大贡献。

事实上,浅沟槽隔离技术起源于八十年代,由于成本较高,工艺也不成熟,直到最近几 年才被人们所接受,并被广泛使用。该工艺是一种平坦的无"鸟嘴"效应的新型隔离技术, 它完全回避了高温工艺,严格保证器件有源区的面积,硅基板表面与隔离介质表面完全在同 一平面上,改善了最小隔离间隔和结电容,还有超强的抵抗闩锁效应的能力,对沟道没有侵 蚀作用。另外,低温工艺在一定程度上可以增加产量,降低成本,它的这些优点使得该隔离 技术成为了深亚微米时代不可或缺的隔离技术。

#### 3.1.1 STI 工艺

STI 结构的优异性能是以集成一系列复杂的工艺获得的,工艺步骤可以分为三个主要步

骤<sup>[42]</sup>: STI 槽刻蚀、氧化物填充和氧化物平坦化。

a. STI 槽刻蚀

该步骤中又包含四个小步骤,垫层隔离氧化物的形成(Growing Pad Oxide),垫层氮化物的 形成(Depositing Nitride Layer),掩膜(STI Lithography),隔离槽刻蚀(Shallow Trench Etch)。

制作一层隔离氧化层可以隔离层并保护有源区在去掉氮化物的过程中是硅衬底免受化学 玷污,同时作为氮化物的缓冲层可以减小应力的作用<sup>[43]</sup>。

垫层氮化物(一般为 Si3N4)的淀积,这层氮化硅对整个 STI 形成有两个主要作用,即 坚固的掩膜材料氮化硅在 STI 氧化物淀积过程中保护有源区,以及它还可以在化学机械研磨 中充当抛光的阻挡材料。

掩膜这步的关键是要确保精度,保护要刻蚀的区域,裸露需要刻蚀的部分。

浅沟槽的刻蚀就是刻蚀掩膜时裸露的部分,被离子和强腐蚀性化学物质刻蚀掉氮化物、 氧化物和硅。刻蚀经常会形成侧墙和圆滑的底面,侧墙一般为倾斜的,采用倾斜的侧墙和圆 滑的沟槽顶角可以有效地抑制边缘漏电,减小沟槽隔离 MOSFET 的亚阈漏电。通过控制侧墙 的倾斜度和沟槽顶角圆滑氧化的时间来优化器件的电学性能,控制沟槽的角部效应,即 Kink 效应和反窄宽效应。STI 槽刻蚀基本过程的结构图如图 3.1 所示。



图 3.1 STI 槽刻蚀的基本工艺流程图, (a)垫层隔离氧化物和垫层氮化物的形成和掩膜; (b)隔离槽刻蚀 b. 沟槽中氧化物的填充

在该过程中也包含四个步骤,沟槽衬垫氧化物的形成(Growing Oxide Liner),高温热退火(Thermal anneal),沟槽氧化物的填充,HDP 热处理。

沟槽衬垫氧化物用以改善硅与沟槽填充氧化物之间的界面特性,因为这层氧化物是干氧化物,厚度只有10nm,所以可以用线性等式来描述它的反应速度。接下来的高温退火是STI工艺不可或缺的一步,没有这一步的STI隔离往往隔离效果不好。沟槽氧化物的填充制作的方式有很多,在90nm的工艺中,填充的氧化物是高密度的等离子(High Density Plasma, HDP)氧化物,这项制作一般都可以在较低的淀积温度下有效间隙的填充。最后的HDP 热处理则可以使 HDP 氧化物致密,更加紧凑。

c. 平坦化 STI 表面

这里包括两个步骤,即沟槽氧化物研磨(STI CMP),垫层氮化硅和氧化物去除。STI CMP (chemical mechanical polishing)就是把在氮化硅以上的所有 HDP 磨掉,从而达到平坦化的 目的。垫层氮化硅和氧化物去除一般就是用配有热磷酸和氢氟酸的溶液对晶体进行清洗,从 而达到去除的效果这里的氮化硅和氧化物是在第一步中生成的垫层。

在 STI 的制造过程中,沟槽的氧化层缺陷对成品率的影响很大。几乎每片晶片都有 10 个 到 50 个不等的浅槽隔离中的氧化层缺陷,浅槽隔离中的氧化层缺陷问题所造成的直接经济损 失每年就可达到上百万美元。

3.1.2 STI 结构

如图 3.2 给出了 STI 简单结构的示意图, STI 隔离了 P 型场效应管和 N 型场效应管。值 得注意的是浅沟槽隔离技术在工艺过程中引入的应力对器件的影响也不可忽略, 同时 STI 对 器件的影响将会随着特征尺寸的减小而增加, 而且随着 STI 的宽带、STI 离沟道中心的距离 等的不同, 影响的大小和趋势也会不同。STI 对器件的影响作用将会在下面做详细的叙述。



图 3.2 CMOS STI 的简单结构图

### 3.2 应力影响产生的作用机制

近几年来,人们对 STI 的研究基本没有离开过对饱和电流的影响的研究,也就是 STI stress 对载流子迁移率的影响。在这一部分,主要是分析应力机制对材料的电学特性的影响,特别 是对半导体材料。一般来说,在 Si-SiO<sub>2</sub> 介面的非平面中,硅的拐角处有凹凸面,strain 就会 暴露在硅的二氧化物中。凸面拐角的 strain 是张应力,因为氧化物在更长的边缘下原先的晶 格拉伸了,而当凹面时,strain 是压应力,原因则相反,而是因为氧化物的边缘更小了,所有 的这些应力对器件的影响表现为压阻效应<sup>[44]</sup>。半导体的压阻效应是指对半导体施加应力时, 半导体的电阻率会发生变化的现象。因为对于半导体施加应力时,除了会产生形变外,能带 结构也会相应的变化,所以材料的电阻率(或电导率)就会相应的发生变化。载流子迁移率 压电电阻效应的基础物理解释对于今后建立精确的 MOS 模型是很重要的。

当沿晶体的某个方向拉伸或者压缩时,压阻效应与外力方向、电流方向及材料的能带结 构有关,表现出明显的各向异性的特性。在单向应力的作用下(以T表示应力,并规定拉力 取正值,压力为负值),除了纵向伸长或缩短外,横向还要变窄或加宽,因而使得晶体的对称 性发生改变,从而是能带结构也发生了变化。但是像液体静压强的作用下,晶体是均匀受压, 它的对称性不会发生改变,仅是晶体体积缩小,能带极值发生变化,也就是改变了晶体的禁 带宽度,从而会改变本征半导体的本征载流子浓度。单轴应力对下对能带结构的改变是显著 的,特别是对能带极值不在 k=0 处,具有多个极值、等能面为旋转椭球面的 Ge、Si 等半导体 来所,会引起某一个方向特别强烈的压阻效应。所有的这些作用结果都表现为电子的重新分 布,引起电导率的改变。下面就简单的描述一下这种重新分布的过程。

以硅材料为例, 硅导带等能面是极值沿<1 0 0>方向的六个旋转椭球, 如图 3.3 所示, 因 Si 的晶格结构为立方体, 是晶格对称的, 所以[1 0 0] [0 1 0] [0 0 1] [1 0 0] [0 0 1]这六个 晶向没有什么区别, 晶体在这些方向上的性质是完全相同的, 统称这些晶向是就用<1 0 0>表 示。设在 [1 0 0]方向施加压应力 T (T<0),则[1 0 0]方向被压缩, 晶格间距减小, 而在[0 1 0]、 [0 0 1]方向则会发生膨胀, 晶格间距增大。又因为 Si 的禁带宽度随压强增加而减小, 因此, 沿晶体[1 0 0]方向施以压应力时, [1 0 0]方向的极值能量降低, 而[0 1 0]和[0 0 1]方向极值能 量升高。而载流子是流向低能级的, 即在无应力作用时, 电子浓度为n, 六个能谷中电子均 为 n/6, 在有应力作用时, 由于电子要占据能量最低的状态, 所以[0 1 0]和[0 0 1]能谷中的电 子要向[1 0 0]能谷转移, 该流程图如图 3.3 所示。图 3.4(a)表示无应力的情况下的能带图, (b) 表示在应力的作用下[1 0 0]方向的能级降低, 而[0 1 0]方向的能级升高,最后(c)表示电子向低 能级流动。最终结果反映在图 3.3, 图 3.3 中的实线表示没有受应力作用时某一定能量的椭球 等能面, 虚线表示在[1 0 0]方向的应力作用下, 该等能面相对于现在[1 0 0]方向的极值来说, 能值差增大, 同时, 相对于[0 1 0]方向和[0 0 1]方向的极值来说, 能值差减小。



图 3.3 应力作用下 Si 等能面变化示意图



图 3.4 应力作用下电子在能谷中转移的示意图 (a)T=0 时; (b)T≠0 时,能谷降低、升高; (c) T≠0 时,电子转移结果

应力对材料电学特性的影响也可以通过定量的方程来表示。因为电场向量正比于电流向 量成,该比值可以表示为一组对称的电阻率张量,如式 3.1 所示:

$$\begin{bmatrix} \varepsilon_1 \\ \varepsilon_2 \\ \varepsilon_3 \end{bmatrix} = \begin{bmatrix} \rho_1 & \rho_4 & \rho_6 \\ \rho_4 & \rho_2 & \rho_5 \\ \rho_6 & \rho_5 & \rho_3 \end{bmatrix} \bullet \begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix}$$
(3.1)

当半导体材料的系统轴是按晶向<100>排列的,那么标准电阻率张量 ρ<sub>1</sub>、ρ<sub>2</sub> 和 ρ<sub>3</sub> 是关于 电流向量 i 和电场向量 ε 方向相同时,而正交电阻率张量 ρ<sub>4</sub>、ρ<sub>5</sub> 和 ρ<sub>6</sub> 是关于电流向量 i 和电 场向量 ε 是垂直关系。在晶格无应力的情况下,标准电阻率张量幅度相同,正交电阻率张量 都为零,上面的方程就可以归纳为各向同性的关系:

$$\varepsilon = \rho i$$
 (3.2)

ρ即为幅值,当晶格受到应力时,电阻率张量就变为:

$$\begin{bmatrix} \rho_{1} \\ \rho_{2} \\ \rho_{3} \\ \rho_{4} \\ \rho_{5} \\ \rho_{6} \end{bmatrix} = \begin{bmatrix} \rho \\ \rho \\ \rho \\ \rho \\ 0 \\ 0 \\ 0 \end{bmatrix} + \begin{bmatrix} \Delta \rho_{1} \\ \Delta \rho_{2} \\ \Delta \rho_{3} \\ \Delta \rho_{4} \\ \Delta \rho_{5} \\ \Delta \rho_{6} \end{bmatrix}$$
(3.3)

压阻系数是描述应力和电阻率的关系的,而6个电阻率张量和6个应力分量是由36个压 阻系数 π<sub>ij</sub>构成联系起来的。因为对于具有立方对称性的Ge、Si等半导体,只需要三个不同 的压阻系数即 π<sub>11</sub>、π<sub>12</sub>和 π<sub>44</sub>,就足以描写各种不同情况的压阻效应。

$$\frac{\Delta \rho_{1}}{\Delta \rho_{2}} \begin{vmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ \sigma_{12} & \sigma_{12} & \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & \sigma_{12} & \sigma_{13} & \sigma_{14} & \sigma_{14} \\ \sigma_{12} & \sigma_{12} & \sigma_{13} & \sigma_{14} \\ \sigma_{12} & \sigma_{12} & \sigma_{13} & \sigma_{14} \\ \sigma_{12} & \sigma_{13} & \sigma_{14} & \sigma_{14} \\ \sigma_{13} & \sigma_{14} & \sigma_{15} \\ \sigma_{14} & \sigma_{15} & \sigma_{16} \\ \sigma_{16} & \sigma_{16} & \sigma_{16} & \sigma_{16} \\ \sigma_{16} & \sigma_$$

Smith 首先提出了这些压阻系数,表 3.1 给出了 Ge 和 Si 的压阻系数。另外压阻系数还与 掺杂浓度、温度有关,他们会随着温度的增加或掺杂浓度的增加而减小。

表 41 铑 硅的压阳系数值

材料	ρ (Ω-cm)	$\pi_{11}(\times 10^{-11} \text{Pa}^{-1})$	$\pi_{12}(\times 10^{-11} \text{Pa}^{-1})$	$\pi_{44}(\times 10^{-11} \text{Pa}^{-1})$		
p-Si	7.8	6.6	-1.1	138.1		
n-Si	11.7	-102.2	53.7	-13.6		
p-Ge	15.0	-10.6	5.0	98.6		
n-Ge	16.6	-5.2	-5.5	-138.7		

单向应力(即切应力)和液体静压强作用下,导致的半导体材料导带、价带变化而改变 带隙,还有改变晶体的对称性,电子的流动,能带的极大改变,改变了材料原因有的特性, 从而相应地就会影响到器件特性。

## 3.3 TCAD (Sentaurus) 仿真 STI 结构

STI 应力产生是因为在硅和氧化物的热扩散系数(Coefficients of Thermal Expansion, CTE)的不同,会有一个从氧化物到硅(即有源区)的水平压应力产生,该应力不仅会影响掺杂浓度分布的产生影响,而且沟道下应力的分布也会改变。

在 CMOS 工艺制造过程中,一般先做好 STI 结构,然后进行管芯的制作,所以 STI 的影 响会涉及掺杂分布的变化。如图 3.5 所示,为 TCAD Sentaurus 仿真的单指器件 NMOS 结构, 分别为有无 STI 结构时管芯的浓度分布,采用的是 90nm 工艺。从图中可以看出,有 STI 结构的(如图 3.5(b)) S/D 分布比无 STI 结构的(如图 3.5(a))更靠近,另外需要说明的是图中 的正浓度表示 n 型掺杂浓度,负浓度表示 p 型掺杂浓度。STI 结构的对结深也产生了一定的 影响,无 STI 结构的 X<sub>j</sub>为 1. 376e-01µm,有 STI 结构的 X<sub>j</sub>为 1. 397e-01µm。L<sub>geff</sub>和 X<sub>j</sub>的具体 仿真结果值已在表 4.2 给出。



图 3.5 Sentaurus 仿真 MOSFET 结构图, (a)无 STI 结构下 MOS 管芯的浓度分布; (b)有 STI 结构时 MOS 管芯的浓度分布;

NMOS 结构	X <sub>j</sub> (μm)	Lgeff (µm)			
无 STI 结构	1.376e-01	6.061e-02			
有 STI 结构	1.397e-01	5.447e-02			

表 4.2 TCAD 仿真单指结构部分参数结果值

在制造 STI 时, 槽倾斜度 (Trench Angle) 设置为 85.0 度, 槽深 (Trench Depth)为 0.2µm。 STI 结构本身会对附近的能带结构产生影响,在一定程度上,这些变化都会改变器件性能, 该影响机制已在 3.2 节中做了详细的介绍。如图 3.6 给出了 TCAD Sentaurus 仿真结果,图 3.6 给出的为含有 STI 结构的 NMOS 场效应管,该图显示的是沿沟道方向的应力分布情况,不同 颜色代表不同的应力数量级,其中负值表示压应力 (compressive stress),正值表示张应力 (tensile stress)。在 STI 边缘应力分布集中,特别是在该结构的拐角处,应力分布集中。一般 来说,由于凸面为张应力,凹面为压应力,所以 STI 顶部拐角处压应力,底部为张应力<sup>[50]</sup>, 张、压应力的位置也已在图 3.6 标出。图 3.7 是 NMOS 场效应管的应力分布图和分布曲线。 图 3.7(a)、(b)分别表示无 STI 结构和有 STI 结构的应力分布,很明显有 STI 结构的沟道下面 颜色分布较蓝,也就是说表现出来的压应力要比无 STI 结构的大,另外 STI 结构也明显改变 了沟道表面附近的应力分布。图 3.7(c)、(d)分布是离 Si-SiO<sub>2</sub> 表面 5nm 和 41nm 处沟道方向应 力分布曲线。选取 5nm 位置是因为温室时,利用量子力学或经典方法计算反型层厚度,结果 表明平均 "反型层厚度" 约为 50 埃,即 5nm。从而不同的应力就导致了电学特性的改变,影 响了器件行为。





图 3.7 TCAD 仿真沟道方向的应力分布,(a)无 STI 结构的应力分布;(b)有 STI 结构的应力分布;(c)离 Si-SiO2 表面 5nm 处沟道方向的应力分布曲线;(d)离 Si-SiO2 表面 41nm 处沟道方向的应力分布曲线

## 3.4 仿真结果分析

用 TCAD Sentaurus 仿真器件时,采用 Sentaurus Sprocess 和 Ligament 结合使用的方法, 再进行 Sentaurus Structure Editor,器件结构生成,最后用 Sentaurus Device 仿真器件的特性。 如图 3.8 就是所仿真的器件版图结构,这里只是器件结构的一半,通过镜像可以得到完整的 器件。另外,仿真是根据图中所标识的黑线(即 TCAD simulator region)进行二维仿真的。 默认宽度是 1µm。





如图 3.9(a)、(b)分别为单指、两指和 32 指 NMOS 场效应管的转移特性曲线,不管是单 指还是两指的,有 STI 结构的 NMOS 场效应管的阈值电压总是大于没有 STI 结构的,这是因 为在沟道附近,反型层内的压应力的作用,使得 P 型掺杂整体变浓,而阈值电压与沟道掺杂 浓度成正比例关系,所以阈值电压有所增加。再如图 3.10 为 90nm 工艺不同 STIW 结构下的 转移特性曲线,当 STIW 达到 1µm 时,转移特性曲线变化很大,这说明 STIW 增加,产生的 应力增加,较大地改变了器件的性能,因此 STIW 带来的影响不容忽略。



(c)

图 3.9 TCAD 仿真 NMOS 转移特性曲线, (a)单指情况; (b)双指情况; (c)32 指情况



图 3.10 TCAD Sentaurus 仿真 90nm 工艺不同 STIW 结构下的转移特性曲线

3.5 小结

本章主要讨论了浅沟槽隔离技术工艺特点、浅沟槽隔离所产生的应力作用机制以及现今 浅沟槽隔离应力影响模型的发展状况。 首先,详细介绍了浅沟槽隔离技术工艺,对基本的工艺流程都进行了描述和某项具体步骤的原因,还说明了每个工艺流程下所需要注意的关键点。其中在设计制造沟槽时会形成倾斜的侧墙和圆滑的底面,采用倾斜的侧墙和圆滑的沟槽顶角可以用来有效地抑制边缘漏电,减小沟槽隔离 MOSFET 的亚阈漏电。然后,根据压阻效应从能带的角度分析了浅沟槽应力的作用机制,是在理论层面上所进行的阐述。同时根据相关理论表明,流体静压强应力和单向应力(即各向异性作用力)分别都改变了晶格结构,但一般说来,在沟槽的边缘应力较强,在远离沟槽边缘的地方,流体静压强应力作用较大。接着根据 IBM 90nm 工艺,使用 TCAD Sentaurus 软件仿真了具有 STI 结构的 NMOS 场效应管,包括单指、两指和 32 指,为了更好的用于分析浅沟槽对器件的各种影响,还对应的仿真了无 STI 结构场效应管,通过给出曲线图来说明这些不同之处,另外还仿真了不同 STIW 结构下的特性曲线变化。

# 第4章 BSIM4 应力模型建模

集成电路发展至今,随之发展的器件模型主要可以分为器件物理模型和等效电路模型两种,而器件模型形式可以是多种多样的。从模型的形式来看,模型有基于器件物理方程表达式的解析模型,或者是把数据存成表的形式的查表模型,还有也可以是纯粹的为了拟合实验数据而人为造出表达式的经验模型等。不管是什么模型或是什么模型形式,他们的目的只有一个,是模型能更好地表征器件性能,并实现精度和效率的折中。MOSFET 模型经过了几十年的发展,已逐渐趋于成熟。

器件模型的概况在前面几章中已经做了详细的介绍,在本章中,主要是介绍 BSIM4 模型。 BSIM4 采用缓变沟道近似(GCA, Gradual Channel Approximation)以及准二维近似的方法来求 解泊松方程,其中考虑了各小尺寸效应,如:短、窄沟效应,非均匀掺杂效应,体电荷效应, 载流子速度饱和效应,漏致势垒降低效应(DIBL),沟道调制效应(CLM),体效应等。它对第 三代产品 BSIM3 做了许多方面的改进,具体的改进在第二章 MOSFET 模型发展历史中已经 做了较为详细的介绍,主要有以下几个方面: (1)为射频模拟电路和高速数字电路应用集成提 供了精确的本质输入电阻模型: (2)精确的栅隧穿电流模型: (3)衬底电阻网络模型: (4)栅致漏 /源泄漏模型 (GID/SL,gate-induced drain/source leakage)。另外,基于本论文的核心-STI 应 力模型,我们使用 BSIM4 模型,因为在之前所有版本的 BSIM 模型中都还没有应力模型的。 在 BSIM4 模型的应力模型中,主要是考虑了 STI 应力参数 SA/SB 对器件的影响,所以在调 DC 模型的时候一般先把 SA/SB 较大器件拟合好,然后再调节 STI 应力模型。

本章主要结构分为四个部分,首先介绍了建模流程,然后具体介绍 BSIM4 所包含的各种物理效应模型,接着阐述了 STI 应力模型,最后是对该章节的总结。

## 4.1 建模的基本流程

器件模型的重要性已经是业界公认的,精确的模型可以缩短设计周期,节省成本。一般 来说,器件模型的研究需要对器件工作原理、材料、工艺技术以及所要满足的芯片设计要求 等都要有一定的了解,只有做到这样全方位的理解,才能根据需求改进工艺、改进模型,最 终满足设计的要求。事实上,根据电路设计的不同的需求,可以采用不同工艺下,运用不同 模型,对建模来说也可以做到有所侧重。目前集成电路的集成度越来越高,使得器件的特征 尺寸不断减小,模型的稳定性面临挑战,问题还在于射频领域下高频特性增加了模型的复杂 度,而这些挑战推动着模型不断的发展。

模型的开发流程简单的可以由图 4.1 来表示。如图 4.1 所示,流程大概可以由六个部分组成: (1)选择模型; (2)画版图流片; (3)器件测试(或器件仿真); (4)模型参数提取并做必要的优化; (5)模型验证; (6)模型应用。该流程图说明模型开发可以根据实测数据或者器件仿真的数

## 据进行开发。



图 4.1 建模流程简图

选择模型时一般是根据模型应用的不同需要来做具体的选择,一般来说,大部分的模型 为等效电路模型。模型选择基本可以分为两种情况,一是如果该种器件目前还没有一个标准 的模型,那么就应该根据具体情况,深入分析器件特性,可以用等效电路的方式建立一个新 的模型,或者直接基于物理建立新模型。这种情况主要出现在无源器件用得比较多。模型选 择的第二种情况是可以直接使用一些标准的模型,如前面提到的许多 MOSFET 模型(如 PSP, BSIM3v3, EKV, HiSIM 等),这样就可以根据各自模型的特点和我们的需要来选择。另外 在建模的过程中,可以对所选用的模型进行一些必要的修正,这就要求模型工程师对该器件 的行为和所选模型比较熟悉。

器件版图设计首先要求满足能提取模型中所有参数,这是最重要的前提,另外要满足测 试的要求以及要求所画的版图性能尽可能的好。其实在选择模型是就应该已经清楚需要设计 的版图结构,这是模型工程师所必须具备的。

数据测试就是在前面版图流片后的结果上,对芯片进行测试。测试前应该先设计好测试 方案,即测试数据类型,如 MOSFET DC 特性一般需要测试转移特性曲线(idvg)和输出特 性曲线(idvd),高频特性下的 S 参数。测试数据这个步骤也是在应该在设计版图和模型选择 时有应该构思好,因为不管是缺某种结构的测试器件或是缺某组测试数据都没办法提取出完 整的模型,或者只能得到较为粗糙的模型。另外在数据测试框图的右侧还有一条通路,即器 件仿真,因为通过器件仿真也可以得到一套建模的数据。一般器件仿真是用 TCAD 软件,该 类软件在 3.3 节中有介绍。仿真可以设定好一套工艺流程仿真得到器件,再通过器件物理仿 真可以得到相关的 DC、AC 曲线图,再就可以利用这些数据进行模型的参数提取。

参数提取就是指利用仿真或者测试数据做分析的过程,提取模型的参数,使模型仿真结 果曲线图与仿真或测试曲线很好的拟合。参数提取的途径根据模型参数的不同特点而不同, 一般来说有两种情况,一是模型中具有明确物理意义的参数值可以直接根据物理解析式计算 得到,这样方法是直接由测试数据得到参数值的,是直接提取,另一种是模型中没有明确物 理意义的参数,即经验参数,它们只是为了拟合曲线而构造的目标函数,这种采用一定的算 法进行迭代拟合而得到的参数值的过程,就是优化提取。这样两种参数值的提取方法有各自 的优缺点:直接提取的方法相对简单,而且提取的参数值是唯一确定的,但很多数参数值是 不能通过直接提取得到,并且大多数情况下得到的参数还需要进一步的优化;而优化提取结 果优劣程度主要依赖于初值和算法,需要在丰富的经验的基础上才能够得到比较好的符合实 际的参数值。

模型验证是一般有两种等级的验证方法,即器件级的和电路级的仿真。一般来说,模型 工程师们会进行器件级仿真验证,即将提取出来的参数写成对应的模型文件(也就是仿真软 件能识别的文件),然后进行仿真,将仿真结果与测试结果比较,这里的测试数据应该是相同 工艺下不同特征尺寸的器件的测试结果。如果测试结果与仿真结果拟合较好,说明该模型是 有用的,可以比较准确地反应器件行为特性,反之,则表示该模型是不正确的,只能反应个 别器件的行为。而电路级的仿真是用该器件模型,通过使用电路仿真软件进行设计并仿真, 同样地将仿真结果与测试结果比较。注意,这里我们所说的模型为经验模型,并且都是缩放 型模型。

模型修改就是对模型进行修正。主要有两方面的原因:一是所选用的模型或提出的模型 不能够按预想的那样很好地反映器件特性;另一方面可能是所提取的参数值不符合实际,因 为不同的算法和初值对最后得到的参数值影响很大,有可能得到完全背离物理意义的参数值。 在第一种情况下,我们只要对模型的某些部分进行改进,在第二种情况下就可能需要重新提 取参数,优化提取方案。

模型应用可以说是建模的目的了,就是将模型应用到电路仿真器(如 Cadence、Agilent ADS)中,进行电路设计仿真,缩短电路开发周期,减少成本。Foundry 公司一般会将模型建成模型库,作为 PDK (Process Design Kit)的一部分。

纵观建模的基本流程,我们发现模型不能用于指导器件生产设计,只能在器件制作完成 后才能建立相应的模型。

BSIM4 是由伯克利大学 BSIM 模型组开发的以阈值电压作为主线建立的模型,下面具体的对该模型中几个重要的模型模块进行介绍。

#### 4.2 BSIM4 阈值电压模型

阈值电压 V<sub>th</sub> 是 MOSFET 最重要的参数之一,是指 MOSFET 器件开始导通时的栅级电压。 下面将说明栅电压对器件的作用,得到阈值电压的方程。如图 4.1 所示,为栅沟道区域中的 电荷分布情况,此时的栅压为正电压。



图 4.2 栅电压为正电压时,沟道电荷分布图

阈值电压主要反应在它所控制的耗尽电荷量上。图中  $Q_g$  为栅电荷,  $Q_0$  为硅与氧化层界 面上的有效界面电荷,  $Q_s$  硅衬底上产生的感生电荷,并且这三个电荷之和为 0,  $V_{ox}$  为氧化层 上的电压降,  $\varphi_s$  为表面势(硅衬底表面与体硅之间的电势差),  $X_{dm}$  为沟道的耗尽层厚度。我 们以 n<sup>+</sup>多晶硅栅/p 型衬底为例, 栅和硅衬底之间的功函数差  $\Phi_{ms}$  为负值,即(-0.56- $\varphi_f$ )伏特。 注:下面所有描述都是基于该例考虑的,即 NMOS。因栅极电压满足式(4.1)

$$V_g = V_{ox} + \varphi_s + \Phi_{ms} \tag{4.1}$$

根据经典强反型区的判据,即表面势 φ<sub>s</sub>为两倍费米势时达到强反型区,这时的栅压就是 阈值电压。能带图如图 4.3 所示,此时电势之间的关系可以用式(4.2)来表示,N<sub>b</sub>为 p 型硅 衬底的掺杂浓度。

 $\varphi_s = 2\varphi_f = 2V_i \ln(\frac{N_b}{n_i}) \tag{4.2}$ 



图 4.3 NMOS 沟道为强反型时的能带图

阈值电压要想实验测量出严格满足强反型条件的 Vgs 值是很难的,而根据式(4.2)可以 很方便的计算得到阈值电压的计算方程式,即为式(4.3)

$$V_{ih} = VFB + \Phi_s + \gamma \sqrt{\Phi_s - V_{bs}} = VTH0 + \gamma (\sqrt{\Phi_s - V_{bs}} - \sqrt{\Phi_s})$$
(4.3)

其中 VFB 为平带电压(即通过施加与 VFB 相等的外部电压,可使得能带弯曲等到补偿,

能带变平,即  $\varphi_s$ 表面势为零时  $V_g$ 电压值),VTH0 是长沟道器件在衬底偏压为零时的阈值电压,即为理想情况下的阈值电压,  $\gamma$  是本征偏置系数,可由式(4.4)计算得到,表面势  $\Phi_s$ (即  $\varphi_s$ ,下面都用该符号  $\Phi_s$ 表示)可由式(4.2)计算得到。

$$\gamma = \sqrt{2q\varepsilon_0\varepsilon_s N_b} / C_{\alpha x} \tag{4.4}$$

BSIM4 中的阈值电压模型就是在方程式 (4.3)的基础上不断改进模型。随着尺寸的不断 缩小,小尺寸效应、窄短沟道效应及 DIBL 效应开始显现。对于一个深亚微米的元器件而言, 阈值电压是一个非常重要的参数,尤其是当元件已经缩小到 0.1um 的程度时更加需要准确的 描绘出阈值电压。而会影响阈值电压的有许多原因,BSIM4 模型中的阈值电压模型主要考虑 了以下几个效应: 1、非均匀纵向沟道掺杂效应; 2、非均匀横向沟道掺杂效应; 3、短沟道效 应; 4、窄沟道效应; 5、小尺寸效应; 6、漏致势垒降低(DIBL)效应。

为了提高模型的精确度,必须考虑上述六个效应。不过要使这个理想的阈值电压方程式 可以视为一个非常实际的阈值电压模型,只需要加入一些修正项就可以成为描述实际阈值电 压的方程式,即只有对 VTH0 加入修正项进行修正。式(4.5)就是 BSIM4 计算阈值电压的方程, 下面将具体地介绍该阈值电压模型。

$$V_{th} = VTH0 + \left(K_{1ax} \cdot \sqrt{\Phi_s - V_{bseff}} - K1 \cdot \sqrt{\Phi_s}\right) \sqrt{1 + \frac{LPEB}{L_{eff}}} - K_{2ax}V_{bseff}$$

$$+ K_{1ax} \left(\sqrt{1 + \frac{LPE0}{L_{eff}}} - 1\right) \sqrt{\Phi_s} + \left(K3 + K3B \cdot V_{bseff}\right) \frac{TOXE}{W_{eff}' + W0} \Phi_s$$

$$-0.5 \cdot \left[\frac{DVT0W}{\cosh(DVT1W \frac{L_{eff}W_{eff}}{l_{rw}}) - 1} + \frac{DVT0}{\cosh(DVT1\frac{L_{eff}}{l_l}) - 1}\right] \left(V_{bi} - \Phi_s\right)$$

$$-\frac{0.5}{\cosh(DSUB \frac{L_{eff}}{l_{i0}}) - 1} \left(ETA0 + ETAB \cdot V_{bseff}\right) \cdot V_{ds} - nv_t \cdot \ln\left(\frac{L_{eff}}{L_{eff}} + DVTP0 \cdot \left(1 + e^{-DVTP1 \cdot V_{DS}}\right)\right)$$

$$(4.5)$$

4.2.1、非均匀纵向沟道掺杂效应

在现代 MOS 工艺中, 沟道区几乎全部采用离子注入方法进行掺杂, 注入的杂质一般位于 衬底的表面附近, 浓度较大, 而衬底掺杂浓度在沟道的垂直方向不均匀, 沟道垂直非均匀分 布如图 4.4(a)所示, NCH 近似接近硅氧化层的掺杂浓度, NSUB 近似深沟道处的掺杂浓度。 一般而言沟道浓度的掺杂可以用来控制一个元件的阈值电压, 所以不均匀的垂直方法的掺杂 浓度会造成阈值电压的改变, 该效应可用修正方程式(4.6)来描述。

$$\Delta V_{th(1)} = (K_{1ax} \cdot \sqrt{\Phi_s - V_{bseff}} - K1 \cdot \sqrt{\Phi_s}) \sqrt{1 + \frac{LPEB}{L_{eff}}} - K_{2ax} V_{bseff}$$
(4.6)

其中 K<sub>lox</sub> 和 K<sub>2ox</sub> 是对 K1、K2 的修正,更好地反映 TOXE 对 V<sub>th</sub> 进行缩放。式(4.6)中

未知量的求解方程式如下:

$$K_{1ox} = K1 \cdot \frac{TOXE}{TOXM}$$

$$K_{2ox} = K2 \cdot \frac{TOXE}{TOXM}$$

$$K1 = \gamma_2 - 2K2 \cdot \sqrt{\Phi_s - VBM}$$

$$K2 = \frac{(\gamma_1 - \gamma_2)(\sqrt{\Phi_s - VBX} - \sqrt{\Phi_s})}{2\sqrt{\Phi_s}(\sqrt{\Phi_s - VBM} - \sqrt{\Phi_s}) + VBM}$$

$$\gamma_1 = \frac{\sqrt{2q\varepsilon_{si}NDEP}}{C_{oxe}}$$

$$\gamma_2 = \frac{\sqrt{2q\varepsilon_{si}NSUB}}{C_{oxe}}$$

$$C_{oxe} = \frac{EPSROX \cdot \varepsilon_0}{TOXE}$$

另外,
$$V_{bseff} = V_{bc} + 0.5 \cdot \left[ V_{bs} - V_{bc} - \delta_1 + \sqrt{(V_{bs} - V_{bc} - \delta_1)^2 - 4\delta_1 \cdot V_{bc}} \right]$$
,其中 $\delta_1 = 0.00$ 

 $V_{bc} = 0.9 \cdot \left( \Phi_s - \frac{K \Gamma^2}{4K 2^2} \right) \cdot$ 

用 V<sub>bseff</sub>代替 V<sub>bs</sub> 是为了在模拟过程中为衬底偏置值设置一个低的边界值,用来避免在仿 真迭代过程中出现许多无意义的值。

VBM 为理想情况下最大的体偏压,TOXM 为提取的栅氧化层厚度,默认值为TOXE, TOXE 为电学上的栅氧化层厚度,EPSROX 为栅极氧化物的相对真空介电常数。VBX 是当耗 尽宽度等于 XT (XT 近似为从 NCH 到 NSUB 的深度)时的体偏压,有方程式(4.7)可以计算 得到。





4.2.2、非均匀横向沟道掺杂效应

在接近源、漏端的掺杂浓度要比沟道中心的浓度高,沟道横向掺杂浓度是非均匀的,如图 4.4(b)所示,N<sub>ds</sub>为源、漏端的掺杂浓度,N<sub>a</sub>为沟道中心处的掺杂浓度。一般来说,横向的 非均匀掺杂主要是由于工艺中的 Pocket(Halo) Implant 工艺步骤产生的,从而影响了阈值电压 值的大小。随着器件沟道长度的减小,这样的非均匀分布不可能再被忽略,而且整个沟道的 平均掺杂浓度相比之下有所提高,对阈值电压的影响也就不能被忽略。在模型中用参数 LPEO 模拟,LPEO 是当  $V_{bs}$ 为零时的一个控制横向非均匀掺杂的一个参数,该参数值与  $L_x$ 、 $N_{ds}$ 和  $N_a$ 都有关。阈值电压值用  $\Delta V_{tb(2)}$ 来修正表示,即式 (4.8)。

$$\Delta V_{th(2)} = K_{1ox} \left( \sqrt{1 + \frac{LPE0}{L_{eff}}} - 1 \right) \sqrt{\Phi_s}$$
(4.8)

另外,对于长沟道器件来说 Pocket 注入会引起的漏至阈值电压变化(DITS, drain-induced threshold shift),使阈值电压产生漂移,用  $\Delta V_{th}$ (DITS)来表示,即式 (4.9)。

$$\Delta V_{ih}(DITS) = -nv_i \cdot \ln(\frac{(1 - e^{-V_{ds}/v_i}) \cdot L_{eff}}{L_{eff} + DVTP0 \cdot (1 + e^{-DVTP1 \cdot V_{ds}})})$$
(4.9)

4.2.3、短沟道效应

短沟效应从物理原型上来说是指在源、漏区附近由源衬、漏衬 pn 结自建电场会产生一定的耗尽电荷 Q<sub>b</sub>',在长宽沟道的理想情况下,栅电压控制的耗尽电荷 Q<sub>b</sub>远大于 Q<sub>b</sub>',对阈值 电压的影响不大。但是当沟道长度不断缩小,由源衬和漏衬引起的耗尽电荷 Q<sub>b</sub>'就不能再被忽 略,所以在这种情况下,栅压所控制的耗尽电荷表少,阈值电压将有所下降。

理想的阈值电压模型是基于渐变沟道近似(GCA, Gradual Channel Approximation)推导 得出的,亦即假定纵向电场 E<sub>y</sub>的变化远小于横向电场 E<sub>x</sub>,但是 E<sub>x</sub>、E<sub>y</sub>的大小在漏端附近比 较接近,不能被忽略,特别是在沟道长度较短的情况下。GCA 换句话说就是衬底耗尽区内的 电荷仅由栅极电压产生的电场作用产生,即与源极到漏极间的横向电场无关。然而随着沟道 长度的缩减,源极与漏极间的电场将会严重影响电荷分布、阈值电压控制以及器件漏电等器 件特性,线性区中的阈值电压下跌,严重影响到器件的功耗等。

短沟道效应可以采用一些有效的方法进行抑制,如在漏、源寄生电阻尽可能小的情况下, 减小结深可以抑制短沟道效应,此外还有减小栅氧化层厚度、提高衬底掺杂浓度等。 Pocket(Halo) Implant 是分别在漏、源接近沟道的一边又进行了轻掺杂,浓度小于源、漏区的 掺杂浓度,从而达到了减小结深的目的,抑制了短沟道效应。

不管如何减小短沟道效应,当器件特征尺寸进入深亚微米尺寸阶段,短沟效应引起的阈值电压改变的模型是必须的。一般来说它会引起阈值电压下降,具体的量化方程用式(4.9)来表示,即公V<sub>th(3)</sub>。

$$\Delta V_{th(3)} = -0.5 \cdot \frac{DVT0}{\cosh(DVT1 \cdot \frac{L_{eff}}{l_t}) - 1} (V_{bt} - \Phi_s)$$
(4.10)

其中

$$l_{t} = \sqrt{\frac{\varepsilon_{si} \cdot TOXE \cdot X_{dep}}{EPSROX}} \cdot (1 + DVT2 \cdot V_{bs})$$
$$X_{dep} = \sqrt{\frac{2\varepsilon_{si}(\Phi_{s} - V_{bs})}{qNDEP}}$$
$$V_{bi} = \frac{k_{B}T}{q} \ln\left(\frac{NDEP \cdot NSD}{n_{i}^{2}}\right)$$

k<sub>B</sub>为波尔兹曼常数,T为温度。

4.2.4、窄沟道效应

器件结构的减小不仅沟道长度会变短,宽度也按同比例在缩小,于是产生了窄沟道效应。 与短沟道效应相对,窄沟道效应的物理原型也将从栅极控制的电荷出发。当对器件施加栅压 时,在器件边缘过渡区会形成栅控耗尽区,如在薄栅氧化层和厚场氧化层(LOCOS隔离)之 间存在一个圆锥形的氧化层过渡区,即鸟嘴,在该区域就会生成栅控附加的电荷。定义栅压 在器件边缘引起的总附加耗尽电荷为  $\Delta Q_w$ (其中一个边缘为  $\Delta Q_w$ /2)。如果器件的沟道宽度 W 远大于栅引起的耗尽宽度 X<sub>dm</sub>,栅引起的附加耗尽电荷  $\Delta Q_w$ 与总耗尽电荷 Q<sub>b</sub>相比可以忽略; 当 W 和 X<sub>dm</sub> 可比拟时,附加电荷  $\Delta Q_w$ 与 Q<sub>b</sub>相比不能忽略。既然该栅压时由栅压引起的,它 将使 V<sub>th</sub> 增大,其阈值电压增量为 $\Delta V_{th(4)}=\Delta Q_w/C_{ox}$ 。即当L 不变时,随着 W 的减小,阈值电 压增大。

窄沟道效应由于边缘场的影响,沟道中耗尽层在沟道宽度的两侧向场区有一定的扩张, 从而改变了阈值电压值,使它产生有一个增量。这和短沟道效应引起阈值电压减小相反,因 此在一些特殊尺寸条件下,二者是可以相互补偿,从而使阈值电压和大尺寸器件一样。在 BSIM4 中用△V<sub>th(4)</sub>来表示对阈值电压的影响,即式(4.11)。

$$\Delta V_{ib(4)} = (K3 + K3B \cdot V_{bs}) \frac{TOXE}{W_{eff}' + W0} \Phi_s$$
(4.11)

4.2.5、小尺寸效应

当器件的沟道长度 L 和宽度 W 都较小时,即 W、L 都接近于耗尽层宽度 X<sub>dm</sub> 时,该器件 就是为小尺寸器件。小尺寸效应引起的阈值电压的变化量是短沟道效应和窄沟道效应这两个 效应叠加,然而单纯的相加会高估了小尺寸效应。因为在小尺寸器件中,W 和 L 将共同决定 栅控电荷,所以这两个效应之间存在着相互耦合和相互补偿的作用。根据许多前人(如 Yau、 Merckel 等人)的研究实践,在 BSIM4 模型中体现,如(4.12)式,用△V<sub>th(5)</sub>来表示。

$$\Delta V_{ih(5)} = -\frac{0.5 \cdot DVT0W}{\cosh(DVT1W \cdot \frac{L_{eff}W_{eff}}{l_{tor}}) - 1} \cdot (V_{bi} - \Phi_s)$$
(4.12)

其中

$$l_{tw} = \sqrt{\frac{\varepsilon_{si} \cdot TOXE \cdot X_{dep}}{EPSROX} \cdot (1 + DVT2W \cdot V_{bs})}$$

4.2.6、漏致势垒降低(DIBL)效应

前面所讨论的短沟道效应和窄沟道效应均是假定在漏、源电压 V<sub>ds</sub> 很小(<1V)时得到的。 而在器件的漏、源电压较高时,沿器件沟道长度方向沟道区耗尽层宽度 X<sub>dm</sub> 不再是常数。这 表明,沿着沟道长度方向。X<sub>dm</sub> 是变化的,在漏端,X<sub>dm</sub> 最大;在源端,X<sub>dm</sub> 最小。由于 V<sub>ds</sub> 使得漏-衬 pn 结反偏,漏端的耗尽电荷增加,栅控的耗尽电荷减小,与 V<sub>ds</sub> 接近于 0 时的情况 相比 V<sub>th</sub> 下降。

而从另外一个角度分析来看,随着 V<sub>ds</sub> 的增加使得漏、源耗尽区越来越接近,使源到漏 的电场穿通,使源端势垒降低,从源区注入沟道的电子增加,导致漏源电流 I<sub>ds</sub> 增加,此现象 称为漏致势垒降低效应,即 DIBL。DIBL 效应的直接影响是使阈值电压值下降,在 BSIM4 中用 ΔV<sub>bt(6)</sub> 来表示。

$$\Delta V_{th}(DIBL) = -\frac{0.5}{\cosh(DSUB \cdot \frac{L_{eff}}{l_{10}}) - 1} \cdot (ETA0 + ETAB \cdot V_{bs}) \cdot V_{ds}$$
(4.13)

其中

$$l_{i0} = \sqrt{\frac{\varepsilon_{si} \cdot TOXE \cdot X_{dep0}}{EPSROX}}$$
$$X_{dep0} = \sqrt{\frac{2\varepsilon_{si}\Phi_s}{aNDEP}}$$

总而言之,阈值电压的提取受到很多的关注,已有很多文献对它的提取方法做了说明和 验证。较常见的有采用求 IV 特性曲线截距的线性方法<sup>[45]</sup>和采用优化法<sup>[46], [47]</sup>。这两种方法各 有优缺点。其中优化法可以确保精度,但是运算复杂度高,耗时;线性法提取方法简单,所 采用的原理清晰,但其精度不足。

#### 4.3 BSIM4 应力模型

对于 BSIM4 模型来说,它的一条主线就是阈值电压,在讨论完阈值电压后,将对本文的 主要研究内容浅沟道隔离技术(STI) 做介绍。其实,除了阈值电压模型外还有迁移率模型、 漏电流模型、栅极隧穿电流模型、衬底电流模型、本征电容模型、外部电容模型、温度依赖 模型、RF 模型、阱邻近效应模型等。
接下去就是对具体的 STI 模型从原理方程和参数等方面进行讨论。

### 4.3.1 STI 基本模型方程介绍

在 BSIM4 之前的 BSIM 系列模型中,没有专门的模型来表征 STI 对器件特性的影响。

在先进的工艺中, CMOS 特征尺寸急剧减小的情况下, 在有源区使用 STI 隔离是非常受 欢迎的。近几年中, 沟道的应力材料也成功地被应用, 成功实现高性能器件。由隔离工艺过 程产生的应力作用机制对 MOSFET 性能影响,可以通过有源尺寸(OD: oxide definition)和器件管芯在有源区非分布函数来表示, 如图 4.5 所示。所以在先进 CMOS 工艺技术下, 急需 一个新的模型来描述, 即依赖于版图的 MOS 参数表示的应力模型。

应力对迁移率测影响在 0.13µm 工艺时就被知道,对饱和速度的影响也被实验验证。而且, 应力诱导至掺杂分布增强或是抑制作用也已有报导。由于掺杂的分布轮廓可能会因为 STI 不 同尺寸和应力有所改变,阈值电压漂移和其他二次效应的变化(如 DIBL、体效应)会在过程 集成中显示出来。

BSIM4 考虑了应力对迁移率、饱和速度、阈值电压、体效应和 DIBL 的影响。

实验分析显示,在应力影响器件特性中,至少存在两种不同的作用机制。第一个是迁移率,由于能带的修正诱导产生。第二个是阈值电压,与掺杂分布有关。具体的理论在第三章有具体介绍。在不同的 W、L 下,它们都表现出相同的 1/LOD 趋势。在 BSIM4 中已经推导出来基于现象学的模型,即通过观察的现象修改部分模型参数。最后,注意到下面所有的方程都不影响迭代计算时间,因为没有电压控制部分。

下面具体的方程介绍根据上述两种作用机制进行。

a、影响迁移率模型(stress 改变了能带结构)

 $\rho_{\mu eff}$ 表示迁移率的改变量,  $\mu_{eff0}$ 表示在 SA<sub>ref</sub>、SB<sub>ref</sub>时的低场迁移率,  $\mu_{eff}$ 表示在 SA、SB 时的实际迁移率值。 $\rho_{\mu eff}$ 与  $\mu_{eff0}$ 、 $\mu_{eff}$ 的可由式 (4.14)来表示。

$$\rho_{\mu eff} = \Delta \mu_{eff} / \mu_{effo} = (\mu_{eff} - \mu_{effo}) / \mu_{effo} = \frac{\mu_{eff}}{\mu_{effo}} - 1$$
(4.14)

即式 (4.15)

$$\frac{\mu_{eff}}{\mu_{effo}} = 1 + \rho_{\mu eff} \tag{4.15}$$

而 ρ<sub>μeff</sub> 可以用于 STI 应力相关的版图的参数和工艺参数来表示,如式(4.16)。

$$\rho_{\mu eff} = \frac{KU0}{Kstress\_u0} \cdot (Inv\_sa + Inv\_sb)$$
(4.16)

其中 KU0 为拟合参数, 表征应力影响迁移率衰减或增强的系数, Inv\_sa 和 Inv\_sb 可以由版图工艺相关参数计算得到, 即式 (4.17)、(4.18)。

$$Inv_{sb} = \frac{1}{SB + 0.5 \cdot L_{drawn}}$$
(4.17)

$$Inv\_sa = \frac{1}{SA + 0.5 \cdot L_{drawn}}$$
(4.18)

另外还有 Kstress\_u0,可以通过下面的计算方程得到。

$$Kstress\_u0 = (1 + \frac{LKU0}{(L_{drawn} + XL)^{LLODKU0}} + \frac{WKU0}{(W_{drawn} + XW + WLOD)^{WLODKU0}} + \frac{PKU0}{(L_{drawn} + XL)^{LLODKU0} \cdot (W_{drawn} + XW + WLOD)^{WLODKU0}}) \times (1 + TKU0 \cdot (\frac{Temperature}{TNOM} - 1))$$

$$(4.19)$$

所有由上述所有方程可以得到式(4.20)和(4.21)。

$$\mu_{eff} = \frac{1 + \rho_{ueff} (SA, SB)}{1 + \rho_{ueff} (SA_{ref}, SB_{ref})} \mu_{effo}$$
(4.20)

$$\upsilon_{sattemp} = \frac{1 + KVSAT \cdot \rho_{\mu eff}(SA, SB)}{1 + KVSAT \cdot \rho_{\mu eff}(SA_{ref}, SB_{ref})} \upsilon_{sattempo}$$
(4.21)

μeff0 和 vsattemp0 表示在 SAref、SBref 时的低场迁移率。上述所有方程中提到的版图参数如下 图所示, SA/SB 分别为 poly 两边分别到 OD 边缘的距离。



LOD=SA+SB+L OD: gate Oxide Definition

b. 影响阈值电压模型(stress 改变了掺杂分布)

STI 应力对阈值电压的影响是通过修改阈值电压模型方程中 VTH0、K2 及 ETA0 参数来 描述的,包括了不同的 LOD 情况。根据这一思想,对 VTH0、K2 及 ETA0 三个参数修正, 即式(4.22)、(4.23)和(4.24)。

$$VTH0 = VTH0_{original} + \frac{KVTH0}{Kstress\_vth0} \cdot (Inv\_sa + Inv\_sb - Inv\_sa_{ref} - Inv\_sb_{ref})$$
(4.22)

$$K2 = K2_{original} + \frac{STK2}{Kstress\_vth0^{LODK2}} \cdot (Inv\_sa + Inv\_sb - Inv\_sa_{ref} - Inv\_sb_{ref})$$
(4.23)

$$ETA0 = ETA0_{original} + \frac{STETA0}{Kstress\_vth0^{LODETA0}} \cdot (Inv\_sa + Inv\_sb - Inv\_sa_{ref} - Inv\_sb_{ref}) \quad (4.24)$$

图 4.5 典型的 MOSFET 版图结构示意图(两指)

其中

$$Inv \_ sa_{ref} = \frac{1}{SA_{ref} + 0.5 \cdot L_{drawn}}$$

$$Inv \_ sb_{ref} = \frac{1}{SB_{ref} + 0.5 \cdot L_{drawn}}$$

$$Kstress \_ vth0 = 1 + \frac{LKVTH0}{(L_{drawn} + XL)^{LLODKVTH}} + \frac{WKVTH0}{(W_{drawn} + XW + WLOD)^{WLODKVTH}}$$

$$+ \frac{PKVTH0}{(L_{drawn} + XL)^{LLODKVTH} \cdot (W_{drawn} + XW + WLOD)^{WLODKVTH}}$$

4.3.2 多指和不规则器件

对于多指器件来说,整个 LOD 的影响是 LOD 对每个指头影响的平均。图 4.6 为 MOSFET 多指结构的一个示意图,SD 表示相邻指间距。因版图的不同,所以主要影响了 Inv\_sa 和 Inv\_sb,这两个值的计算方程由(4.25)和(4.26)表示。

$$Inv_{sa} = \frac{1}{NF} \sum_{i=0}^{NF-1} \frac{1}{SA + 0.5 \cdot L_{drawn} + i \cdot (SD + L_{drawn})}$$
(4.25)

$$Inv_{sb} = \frac{1}{NF} \sum_{i=0}^{NF-1} \frac{1}{SB + 0.5 \cdot L_{drawn} + i \cdot (SD + L_{drawn})}$$
(4.26)



图 4.6 多指 MOSFET 器件版图结构示意图

如图 4.7 为一般的 MOSFET 不规则结构器件图,图中所标注的版图尺寸值会反映到方程中。如果要把 OD 区域的形状都做完全详细的描述,这需要附加很多实例参数(sal,sbl,sa2,sb2 等)。但是,这会使网表中的参数太多,急剧增加写入时间,并且是参数的可靠性下降。 一个行之有效的办法就是等效 SA 和 SB,即 SA<sub>eff</sub>和 SB<sub>eff</sub>,可由(4.27)式和(4.28)式计算 得到<sup>[51]</sup>。R.A.Bianchi, GBouche and O.Roux-dit-Buisson, "Accurate Modeling of Trench Isolation Induced Mechanical Stress Effect on MOSFET Electrical Performance," IEDM 2002, pp. 117-120. 有了 SA/SB 的等效值,就可以算出 Inv\_sa 和 Inv\_sb 值,至此,不规则结构模型建成。

$$\frac{1}{SA_{eff} + 0.5 \cdot L_{drawn}} = \sum_{i=1}^{n} \frac{SW_i}{W_{drawn}} \cdot \frac{1}{sa_i + 0.5 \cdot L_{drawn}}$$
(4.27)

$$\frac{1}{SB_{eff} + 0.5 \cdot L_{drawn}} = \sum_{i=1}^{n} \frac{SW_i}{W_{drawn}} \cdot \frac{1}{sb_i + 0.5 \cdot L_{drawn}}$$
(4.28)



图 4.7 MOSFET 不规则结构版图示意图

#### 4.3.3 STI 模型参数介绍

BSIM4 中的应力模型主要是指 STI 隔离产生的应力作用,出来三个实例参数(SA、SB和 SD)外,还有 21 个参数。21 个参数值组成的网表如下,另外默认值也已给出。

SAREF = $1E-6$	SBREF = 1E-6	WLOD = 0
KU0 = 0	KVSAT = 0	KVTH0 = 0
TKU0 = 0	LLODKU0 = 0	WLODKU0 = 0
LLODVTH = 0	WLODVTH = 0	LKU0 = 0
WKU0 = 0	PKU0 = 0	LKVTH0 = 0
WKVTH0 = 0	PKVTH0 = 0	STK2 = 0
LODK2 = 1	STETA0 = 0	LODETA0 = 1

当 SA、SB 没有给出或者<=0 时, stress 模型关闭; 当多指情况下,即 NF>1, SD 没有给 出或者<=0 时, stress 模型也将关闭。在 BSIM4 模型中,应力模型一般是关闭的,即默认值 都为 0,可以根据需要打开它。

上述 21 个参数的意义可以简单的从参数名中发现,有 U0 的说明这个参数时用来控制 BSIM4 迁移率模型中的 U0 参数的,同理 VTH0、ETA0、K2。

#### 4.4 STI 其他模型介绍

半导体进入纳米时代之后,浅槽隔离中的高温热氧化物的厚度会随着线宽的减小而越来 越薄,然而浅沟槽隔离技术在工艺过程中引入的应力对器件的影响却不可能被忽略<sup>[48],[49]</sup>。 一般情况下,STI产生的应力包括沿沟道方向的应力(x-stress,Sxx),沿宽度方向的应力 (y-stress,Syy)和垂直于沟道平面方向的应力(z-stress,S<sub>zz</sub>)<sup>[50,[51]</sup>。另外需要区别的是在一些文 献中给出的 TCAD 仿真的 Syy 表示的是垂直于沟道平面的应力,那是因为在 TCAD 仿真过程 中,设计器件结构时所设定的坐标 y 就是垂直于沟道平面,在应力命名时为了方便也根据此 来命名<sup>[52],[53]</sup>。STI 应力是一个器件自身产生的作用力,由于硅材料和氧化物材料之间的热膨 胀系数不同,使得在氧化物材料和硅的接触边缘产生了应力,且边缘处的应力最大,沟道中 心的应力最小(注,该应力分布是在只是做了 STI 结构后的分布情况),大致的分布如图 4.8 所示,应力的分布还随着 SA/SB 的改变而改变。目前,对浅沟槽隔离结构对晶体管性能的影 响的研究主要集中在 x-stress 和 y-stress<sup>[54],[55],[56]</sup>,这些应力通过改变掺杂分布和器件的能带 结构,从而改变了阈值电压和载流子的迁移率,最后表现出器件特性的变化。

另外,目前除了对 STI 中 SA/SB 参数的研究,还有对 STI 的宽度(STI Width, STIW) 不同所产生的不同影响的研究<sup>[56]</sup>。由于器件沟道应力分布产生的原因不仅在于 STI 的 SA/SB 和 Width,还在于 L<sub>sd</sub>(即源/漏电极边缘离栅电极边缘的距离),如图 4.9 所示 MOS 场效应管示意版图,给出了各个值所代表的物理含义。



图 4.8 用 2D 仿真 MOS 器件栅氧化层表面应力分布<sup>[49]</sup>



图 4.9 MOS 场效应管示意版图, (a)单管单指结构; (b)多个管子单指结构

下面来介绍一下目前模型工程师们提出的一些新的 STI 应力模型,这些模型从 STI 结构 的各个参数来分析对器件性能的影响,给出合理模型方程。

2006 年报导的文献<sup>[57]</sup>采用在沟道中寻找等效应力的方法来,用这个等效应力来计算迁移率,关系式如比例关系式(4.29):

$$\frac{\Delta\mu}{\mu} \propto S_{AVG}(L) \tag{4.29}$$

也就是说,迁移率的变化量与应力成正比例关系。但是根据文献<sup>[56]</sup>,影响迁移率的等效 应力与影响阈值电压的应力是不同的,所以沿沟道的等效应力不能确定。其中影响迁移率的 应力需要考虑整个沟道的应力分布情况,而影响阈值电压的应力主要考虑沟道中心的应力分 布,即底部应力,如图 4.10 所示。



图 4.10 (a)沿沟道方向的应力分布图; (b)应变改变阈值电压和迁移率的等效应力水平<sup>[58]</sup> 2009 年由 IBM 提出的一个新的依赖于版图(layout)的应力模型<sup>[58]</sup>。其中沟道中的应力 通过下图 4.11 的方式进行等效,该图给出的是 eSiGe 的应力分布的等效计算方式,而 STI 应 力等效方式与 eSiGe 的类似。红线表示的是模型近似情况,圆圈线是 TCAD 仿真的曲线值, σ<sub>B</sub> 是指底部应力值,而 σ<sub>P</sub> 是峰值应力,这三段的近似曲线图中已经标出。



图 4.11 在沟道方向上应力分布的分段线性近似

该模型主要通过计算出 σ<sub>P</sub>和 σ<sub>B</sub>,然后通过相关的应力方程来计算迁移率和阈值电压。σ<sub>P</sub> 和 σ<sub>B</sub>的计算方程如式(4.30)和(4.31)。

$$\sigma_{P\_STI} = (1 + \frac{m}{LOD}) \cdot \frac{W_{STI}}{A_{STI} + W_{STI}} \cdot \sigma_{m\_STI}$$
(4.30)

$$\sigma_{B\_STT} = \frac{C_{STT}}{C_{STT} + LOD} \cdot \sigma_{P\_STT}$$
(4.31)

其中 W<sub>STI</sub> 是 STI 宽度值, A<sub>STI</sub> 是一个拟合 STI 宽度的参数, m 是拟合随栅间距变化时的 一个衰减率参数, σ<sub>m\_STI</sub> 是饱和应力, C<sub>STI</sub> 是一个拟合参数用于说明与 LOD 依赖关系的。这 样模型的等效应力分布情况就是可以得到, 再根据相关的公式得到阈值电压方程和迁移率方 程, 即式(4.32)和(4.33)。

$$\Delta V_{th} = VTH\_STR \cdot \sigma_B$$

$$\frac{\mu_0}{\mu_e} = \frac{2kT}{dPL(B-1)} \cdot \left\{ \frac{-dpx_0}{kT} + \ln\left[ \frac{1 + B\left( \exp\left(\frac{P\sigma(x=0)}{kT}\right) - 1\right)}{1 + B\left( \exp\left(\frac{P\sigma(x=x_0)}{kT}\right) - 1\right)} \right] \right\} + \frac{L - 2x_0}{L \cdot \left[ 1 - B + B \exp\left(\frac{P\sigma_B}{kT}\right) \right]}$$

$$(4.32)$$

其中 VTH\_STR 是一个拟合参数,是表示阈值电压变化与所作用的应力数量级的线性关系,B是一个物理常数,σ<sub>B</sub>是底部应力等。

2011 年北大提出了基于物理的应力模型<sup>[59]</sup>,该模型主要是从能带结构变化出发,通过主要的参数  $\Delta E_{eccg}$ ,  $\Delta E_{dos}$ ,  $\Delta E_m$ 和  $\Delta s$ ,其中  $\Delta E_{eccg}$ 表示电子亲和能和禁带宽度的变化量, $\Delta E_{dos}$ 表示态密度的变化量, $\Delta E_m$ 表示 STI 应力诱使迁移率的变化量, $\Delta s$ 表示应力下沟道长度的变化量。

文章中给出的阈值电压模型主要由参数  $\Delta E_{cceg}$ ,  $\Delta E_{dos}$  和  $\Delta s$  决定, 方程如式 (4.34):

$$q\Delta V_{ih}(ss) = \Delta E_{eceg} \frac{\Delta s}{Sab\_eff} - 0.3kT \ln\left[\frac{1+8(e^A)^{3/2}}{9}\right]$$
(4.34)

其中
$$A = -\frac{\Delta E_{dos}\Delta s / Sab\_eff}{kT}$$
,  $Sab\_eff = \frac{1}{1/(Lg+2Sa)+1/(Lg+2Sb)}$ ,  $\Delta V_{th}(ss)$ 中的 ss 是

代表 STI 应力下的 Strained S<sub>i</sub>。

为了改进模型计算的时间效率,可以简化 ΔV<sub>th</sub>(ss)模型。因为考虑到 Δs/Sab\_eff 是非常小的值,接近于 0 值,所以式 (4.34)可以改写为 (4.35)式,如下:

$$q\Delta V_{ih}(ss) = \Delta E_{eceg} \frac{\Delta s}{Sab\_eff} - 0.3kT \ln\left[\frac{1 + 8(1 + \Delta s / Sab\_eff)^B}{9}\right]$$
(4.35)

其中 $B = -\frac{3\Delta E_{dos}}{2kT}$ 。

而迁移率模型主要由 ΔEm 和 Δs 决定,用(4.36)方程式表示:

$$\mu(ss) = \left(\frac{1+\Delta s}{Sab\_eff}\right)^D \mu_0 \tag{4.36}$$

其中 $D = -\frac{\Delta E_m}{kT}$ 。

上面所提到三个模型是三个较为典型的模型。第一个模型主要把整个沟道的应力等效为 某个水平的应力,而第二模型则根据具体的版图结构,用了更为精确的应力近似模型,总的 来说,这两个模型中的参数物理意义不够明确,部分参数作为拟合参数。而第三个模型主要 是根据最原始的物理参数来分析 STI 应力的影响,而它所形成的模型的发展空间更大,可以 更加稳定,但是一般来说,复杂度会随着工艺复杂度的增加而增加。

根据现今应力模型发展来看,精准的且快速的物理模型是被迫切需要的,根据仿真和实验的一些结果来看,场效应管的饱和电流或是阈值电压随 STI 应力参数(如 SA/SB、STIW)的变化趋势出现了越来越多的不确定性,而能够正确反映所有这些不确定的变化情况只有从最原始的物理效应出发,如应变导致的能带变化,晶格应变情况,压阻效应等。

#### 4.5 小结

本章主要讨论了建模的基本流程、BSIM4 的阈值电压模型和应力模型,最后介绍了 STI 应力模型现阶段的研究状况。

建模的基本流程不外乎设计测试结构、测试、建模、模型验证等几个主要步骤,而最关键的是你在调模型过程中,要基于对模型的理解程度,所调节的参数要的物理范围呢,否则 最终建起来的模型只是对单条曲线的一个拟合方程,不是一个可以缩放的模型。另外建模的 测试环节也很重要,需要对测试结果做初步的分析,而且测试结果的优越程度直接影响你所 建模型的精确度。

其次介绍了 BSIM4 的基本模型, BSIM4 模型是基于阈值电压的模型, 所以本章的一个重 点就是具体介绍该模型。对影响阈值电压的六大效应都进行了具体的介绍, 给出模型方程。 再接着就是对本文的主题 STI 应力模型, 介绍了 BSIM4 应力模型方程和及参数。这些都将作 为下一章具体建立应力模型的基础。

最后,探讨目前 STI 应力模型发展的状况,给出了部分最新的 STI 应力模型的研究成果, 这有助于理解 STI 作用,改进 BSIM4 应力模型。

# 第5章 建立 STI 应力模型

应用于射频领域的模型都由 DC 和 RF 两个模型组合而成,本章将基于 BSIM4 模型建模, 然后在这个基础上分析建立 STI 应力模型。STI 应力模型除了考虑 SA/SB,还考虑了 STIW 的 变化产生的影响的模型。

# 5.1 器件结构设计和测试

### 5.1.1 器件结构的设计

如前一章重图 4.9 所示,为了分析 SA/SB 和 STIW 对器件性能的影响,分别设计了考虑 不同情况的版图。如表 5.1,该表给出的是考虑 SA/SB 对器件影响的版图设计结构尺寸分布, Large 尺寸为 W/L=5µm/5µm;Short 尺寸为 W/L=0.3µm/5µm;Narrow 尺寸为 W/L=5µm/0.13µm; Small 尺寸为 W/L=0.3µm/0.13µm。这部分结构主要是用来做 DC 分析的,在 BSIM4 模型中, 根据上一章节 4.3 所述, SA/SB 主要是影响器件的 DC 特性,如迁移率和阈值电压等。这里 用的是 SMIC\_0.13µm 工艺,如图 5.1 所示,为具体器件的版图结构,图中已标出主要尺寸(如 W, L, SA/SB 等)。

51 老佬 CA/CD 对婴性影响沿计的版图尼士公布

SA/SB (NMOS/PMOS)	Large	Small	Narrow	Short
0.4µm	$\checkmark$	$\checkmark$	1	1
0.8µm	$\checkmark$	$\checkmark$	√	$\checkmark$
1.2µm	$\checkmark$	$\checkmark$	~	$\checkmark$
1.6µm	$\checkmark$	$\checkmark$	$\checkmark$	$\checkmark$
2.0µm	$\checkmark$	~	$\checkmark$	$\checkmark$
2.4µm	1	V	~	~
2.8µm	~	~	~	$\checkmark$
3.2µm	$\checkmark$	~	$\checkmark$	$\checkmark$



42

而表 5.2 是考虑 STIW 对器件影响所设计的版图尺寸分布,这里选取了 5 个不同的 STIW 尺寸,每个尺寸都有 1 指和 32 指结构,工艺采用的是 SMIC 65nm。STIW 即浅沟槽的宽度如 图 5.2 所示,图 5.2 为实际版图结构,可以对应于第二章中图 2.4。其中所有这些管子的特征 尺寸是相同的,即 W/L=1μm/0.06μm,另外所有源漏极接触距离(即 Contact space)也是相同 的,如图 5.3 所示,即 CS=0.07μm。具体地说,CS 就是源极或者漏极距离栅极边缘的距离, 设计的所有版图结构都为对称结构。



图 5.2 分析 STIW 影响的具体版图结构



图 5.3 版图中源漏极接触的示意图

## 5.1.2 实验室测试环境

提取一个完整的模型需要包含本征部分和非本征部分,所谓本征模型就是指模型所有参

数都为本征参数,这些本征参数是用来描述器件本征特性的;非本征模型由非本征参数组成, 这些参数是用来表征器件寄生行为的参数。例如 MOS 器件的电容包括本征(沟道区)和非 本征(源、漏 pn 结区)电容两部分。所以提取一个完整的模型,需要测量 I-V、C-V 特性曲 线及 S 参数,模型参数提取拟合各种测试曲线,因此测量曲线的好坏将直接影响模型的精度, 所以文章测试实验室是采用误差相对较小的在片测试技术。片测试技术就是直接测量未封装 的芯片,这样可以避免因芯片封装后产生的误差,如封装壳和测试架的寄生误差等。该方法 除去测量时的人为和仪器误差后基本上能反映芯片性能特性。

表 5.3 和 5.4 给出了测试中直流和动态测试所用到的测试设备及其性能参数,表 5.3 是用 于直流测量的,表 5.4 是动态测量的。

文章中所用到的直流测试平台主要有微波探针台、半导体参数分析仪和装有 Agilent ICCAP 软件的 PC 机,该 PC 机可以通过通用接口总线(GPIB,General Purpose Interface Bus) 控制半导体参数分析仪,芯片放在探针台上,可以通过半导体分析仪加偏置等。另外小信号 测试平台主要是由微波探针台、半导体参数分析仪、矢量网络分析仪和装有 Agilent ICCAP 软件的 PC 机组成。同样的该 PC 可以通过 GPIB 控制两台仪器(半导体参数分析仪和矢量网 络分析仪)记录测试数据。

仪器设备	型号	测试数据	主要性能参数	
半导体参数	A ailant 41560	I-V 数据; C-V	频率 47-66Hz; 额定功率	
分析仪	Agilent 4156C	数据	200W	
	Cascade			
微波探针台	Microtech	N/A	N/A	
	summit 1101B			

表 5.3 直流测试设备与性能参数

测试设备	型号	测试数据	主要性能参数	
半导体参数	A - 11- 115(O	I-V 数据; C-V	频率 47-66Hz;	
分析仪	Aglient 4156C	数据	额定功率 200W	
<b>广县网</b> 级			测试频率范围:	
矢童网络 分析仪	Agilent E8363B	S 参数	10MHz-67GH;	
			最大输出功率 30dBm/1W。	
	Cascade			
微波探针台	Microtech	N/A	N/A	
	summit 1101B			

具体地说,实验采用的微波探针台是一个手动的在片测量设备,只能对手动地对单个器件进行操作,通过调整探针及芯片位置来实现探针与 PAD 的接触,该过程就是压针过程。在压针测试之前需要检查设备连接、探针矫平和校准等,校准可以去除一个或多个系统误差。

另外半导体参数分析仪主要负责测量 I-V 特性以及在测量 S 参数时提供偏置电压; 而矢量网络分析仪负责 S 参数的测量。如图 5.4 所示为实验室测试的主要仪器设备, 5.4(a)为探针台和 半导体参数分析仪, 5.4(b)为矢量网络分析仪和探针台。



图 5.4 实验室仪器环境图, (a)探针台和半导体参数分析仪; (b)矢量网络分析仪和探针台

### 5.1.3 测试数据的获取

在熟悉 BSIM4 模型和测试环境后,根据模型的要求测试所需要的曲线。本文主要研究应 力 SA/SB 的直流模型和 STIW 的 DC 和 RF 模型。SA/SB 的研究我们采用的如图 5.5(a)结构测 量 I-V 特性曲线,研究 STIW 采用的是 5.5(b)的结构测量 I-V 和 S 参数曲线。图 5.5(a)的 PAD 版图结构可以直接用直流探针测量,通过这种结构测量的好处是可以给源、衬底加不同的偏 置电压,即采用四个直流探针分别对应栅极、漏极、源极和衬底进行测试。而图 5.5(b)的版 图结构可以用 RF 射频探针进行测试,采用 GSG 探针测量可以有效的保证 S 参数和 I-V 曲线 有很好的一致性。通常情况下,相同偏压下用 GSG 探针测量得到的数据相对大一些,GSG 探针也会相对稳定。图 5.5 中各电极已分别由金属连线通过打通空的形式连接到 PAD 上,探 针与 PAD 接触,这样就可以通过个测试仪器进行测量。



图 5.5 测试 PAD 版图结构, (a) 仅用来测量 DC 特性; (b) 测量器件 DC 和 RF 特性

在具体测量前,必须充分考虑模型提取所需要的测量的曲线。本文研究应力参数 SA/SB 对器件影响的器件 PMOS 和 NMOS 分别为 32 个,共 64 个,都是四端接口的直流结构。根据 不同特征尺寸的器件测量得到的 DC 曲线,先建立基本的 nMOS 和 pMOS 模型,在用不同

SA/SB 测量得到的 DC 曲线具体分析 SA/SB 对器件性能的影响。如表 5.5 所描述,每个器件 都要测量四组曲线,具体的偏压分布情况见表 5.5。

	表 5.5	四端 D	C器件	I-V 测	试方案	公计
--	-------	------	-----	-------	-----	----

		ويستجد المراجع المناجع والمتحد والمتحد المراجع والمتحد المتحد والمتحد والمتحد والمتحد والمراجع والمتح
idvd (零衬偏下的输出特性曲线)	I <sub>ds</sub> -V <sub>ds</sub> -V <sub>gs</sub> @V <sub>bs</sub> =0V	V <sub>ds</sub> ∈(0, 1.2),步长为 50mV,总共 25 个点; V <sub>gs</sub> ∈(0.5, 1.2),步长为 175mV,总 共 5 个点; V <sub>s</sub> =0V;
idvdh (高衬偏压下的输出特性曲 线)	I <sub>ds</sub> -V <sub>ds</sub> -V <sub>gs</sub> @V <sub>bs</sub> =-1.2V	V <sub>ds</sub> ∈(0, 1.2),步长为 50mV,总共 25 个点; V <sub>gs</sub> ∈(0.5, 1.2),步长为 175mV,总 共 5 个点; V <sub>s</sub> =0V;
idvg (低漏压下的转移特性曲线)	I <sub>ds</sub> -V <sub>gs</sub> -V <sub>bs</sub> @V <sub>ds</sub> =0.05V	V <sub>gs</sub> ∈(0, 1.2),步长为 50mV,总共 25 个点; V <sub>bs</sub> ∈(0, -1.2),步长为-300mV,总 共 5 个点; V <sub>s</sub> =0V;
idvgh (高漏压下的转移特性曲线)	I <sub>ds</sub> -V <sub>gs</sub> -V <sub>bs</sub> @V <sub>ds</sub> =1.2V	V <sub>gs</sub> ∈(0,1.2),步长为50mV,总共 25个点; V <sub>bs</sub> ∈(0,-1.2),步长为-300mV,总 共5个点; V <sub>s</sub> =0V;

本文还对应力的另一个参数 STIW 进行了研究,只有 NMOS 管单指和 32 指的各 5 个, 共 10 个,都是 GSG 射频测试结构,其中源极和衬底是相连的。分别对这 10 个器件测量 DC 和 RF 特性,这里需要用到的是间距为 100 微米的 GSG 探针。建立这组模型的基本思想是使 用 PDK 中的基本模型进行微调,包括 DC 和 RF 模型,然后分析 STIW 对器件性能的影响, 改进模型参数,具体所需测量的曲线设置见表 5.6。

		V <sub>ds</sub> ∈(0, 1.2),步长为 50mV, 总共 25 个点;
idvd (输出特性曲线)	$I_{ds}-V_{ds}-V_{gs} @V_{bs}=0V$	Vgs∈(0,1.2),步长为200mV,总共7个点;
		V <sub>s</sub> =0V;
		Vgs∈(0, 1.2), 步长为 50mV, 总共 25 个点;
idvg (转移特性曲线)	I <sub>ds</sub> -V <sub>gs</sub> -V <sub>ds</sub> @V <sub>bs</sub> =0V	V <sub>ds</sub> ∈(0, 1.2),步长为 200mV, 总共 7 个点;
		$V_s=0V;$

表 5.6 三端器件 DC 和 RF 曲线测试方案设计

Szero (零偏下的 S 参数)	S-freq@ $V_{ds}=V_{gs}=V_{bs}$ =0	freq(即频率)扫描范围 50MHz-30.05GHz, 步长 150MHz; V <sub>s</sub> =0V;
S <sub>linear</sub> (线性区的 S 参数) S-freq@V <sub>ds</sub> =V <sub>bs</sub> =0		freq(即频率)扫描范围 50MHz-30.05GHz, 步长 150MHz; Vgs=1.2V; Vs=0V;
S <sub>dut</sub> (所有工作区的 S 参 数)	S-freq@V <sub>bs</sub> =0	<pre>freq(即频率)扫描范围 50MHz-30.05GHz, 步长 150MHz; Vgs∈(0, 1.2),步长为 300mV,总共 5 个点; Vds∈(0, 1.2),步长为 300mV,总共 5 个点; Vs=0V;</pre>

在 RF 建模的过程中,还需要去嵌结构(即 open, short),测量他们的 S 曲线,直接扫描 freq,从 50MHz 到 30.05GHz,步长为 150MHz。在这里需要强调的是所测试的所有 S 曲线频 点要相同,不然无法做去嵌。图 5.6 给出了 open 和 short 的版图结构, open 和 short 结构需要 与目标器件对应,这种对应就是使 open 中心留有的空间要与器件大小相当。



图 5.6 去嵌结构的版图结构, (a)open; (b)short

# 5.2 模型提取和仿真分析

## 5.2.1 DC 模型参数提取

本文用于提取模型的软件是 Agilent ICCAP, 基于 BSIM4 模型。BSIM4 模型一共有 300 多个参数,包括模型控制参数、工艺参数、基本模型参数、非对称和依赖于偏置的输出电阻 R<sub>ds</sub>模型参数、dW 和 dL 相关参数、碰撞电离模型参数、栅致漏电流泄漏模型参数、栅绝缘 层隧穿电流模型参数、电容电荷模型参数、高速/RF 模型参数、闪烁噪声和热噪声模型参数、 layout 寄生模型参数、非对称源漏结二极管模型参数、应力模型参数、温度依赖模型参数和 阱邻近效应模型参数。其中基本模型包括了阈值电压中考虑的体效应参数、横/纵向非均匀掺 杂效应参数、DIBL 效应参数、短/窄沟效应参数、小尺寸效应参数,另外还有沟道长度/宽度 调制效应参数,GIDL 效应参数等。

在提取模型之前,需要在 ICCAP 的 circuit 中写好模型电路,根据使用的仿真器不同,格 式会有略微的变化,本文使用的是 ADS 仿真器,基本格式如下:

1、先定义该模型卡名和模型类型

model mosmod BSIM4 \

2、模型参数网表

NMOS = 1	$PMOS=0 \setminus$			
Version = 4.50	Binunit= 2	Paramchk= 1 \		
Mobmod=1	Rdsmod= 0	Igcmod= 0	Igbmod= 0	Capmod= $2 \setminus$
Rgatemod = $0$	Rbodymod = 0	Trnqsmod=0	Acnqsmod = 0	Fnoimod = $1 \setminus$
Tnoimod = $0$	Diomod = 1	Permod = 1	Geomod = $0 \setminus$	
Epsrox = 3.9	Toxe = 3e-9	Toxp $= 3e-9$	Toxm = 3e-9	Dtox = $0$ \

.....

3、具体器件选项描述

mosmod: M1 D G S B Length=1u Width=10u Nf=1 Ad=20p As=20p Pd=22u Ps=22u Sa=0 Sb=0 Sd=0 Nrd=0 Nrs=0 SCA=0 SCB=0 SCC=0 SC=0

其中 mosmod 是指模型卡名,或者说是所采用的模型卡; M1 是指器件的 ID, M 代表 MOSFET; DGSB 是器件节点;最后是器件的沟道长度、宽度、器件指数等。Pd 和 Ad 指的 漏端口的情况,即漏端周长和面积大小,如图 5.7 所示。同理 Ps 和 As 为源端的周长和面积。 Sa/Sb 前面已提到很多,这里不再做说明,Sd 是在多指情况下指间距的大小,Nrs/Nrd 为源/ 漏区的方块电阻数,SCA/SCB/SCC/SC 是阱近似效应模型中的具体例子参数,SCA/ SCB/SCC 对应于 WPE 产生的额外注入阱离子的轮廓,分别表示第一、二、三个分布函数的积分,SC 表示到单边阱的距离。



图 5.7 MOSFET 器件结构截面图

基于上述工作之后,在正确理解 BSIM4 模型基本模型方程和参数含义基础上,根据测试 曲线和 DC 的提取流程提取模型参数值。一般来说有两种提取思想:一个是 Local 模型,根 据单个器件的测试曲线提取模型参数,这样做可以使该器件的特性曲线拟合得很好,但是对 于不同几何尺寸的器件无法拟合好,此外,Local 模型提取方法不能保证提取的参数是基于物 理的;另外一种思想是 Global 模型,要求测试不同几何尺寸的特性曲线,然后拟合这些曲线, 从而提取出模型参数,这种提取方法相对单个的来说拟合结果不是很好,但是它一定是可以 更好的拟合一组器件的特性曲线的。本文就是采用 Global 方法进行提取,事实上,曲线的不 同区域由不同的参数控制,而且短沟道、窄沟道或者小尺寸的器件也有相关的参数控制,这 些参数对大尺寸器件的影响很小。

另外,在提取的过程中应根据需要做优化,优化方法有牛顿-拉夫逊迭代法和线性平方的 方法, 拟合的参数可以单个也可以多个。牛顿-拉夫逊迭代法法的模型方程如式(5.1),

$$f_{\exp}(P_{10}, P_{20}, P_{30}) - f_{sim}(P_1^{(m)}, P_2^{(m)}, P_3^{(m)}) = \frac{\partial f_{sim}}{\partial P_1} \Delta P_1^m + \frac{\partial f_{sim}}{\partial P_2} \Delta P_2^m + \frac{\partial f_{sim}}{\partial P_3} \Delta P_3^m$$
(5.1)

函数 f<sub>sim</sub>()是指优化的目标函数,变量 f<sub>exp</sub>()表示测试数据, P<sub>10</sub>、P<sub>20</sub>和 P<sub>30</sub>是目标提取参数值, P<sub>1</sub><sup>(m)</sup>、P<sub>2</sub><sup>(m)</sup>和 P<sub>3</sub><sup>(m)</sup>表示经过 m 次迭代后的参数值。在 ICCAP 中可以自动优化,优化算法也很多如图 5.8。



图 5.8 ICCAP 中优化算法

至此,下面将简单的介绍一下具体的提取流程。首先确定工艺参数(即表 5.7 所给参数), 可在晶圆厂提供的 PDK 文件中查找,其余部分可先直接使用 BSIM4 模型中的默认值。 表 5.7 工艺参数列表

参数名	物理含义
TOXE, TOXP, DTOX, EPSROX	栅氧化层厚度和介电常数
NDEP, NGATE, NSD	沟道、栅、源/漏掺杂浓度
TNOM	测试环境温度
Ldrawn	掩膜水平下沟道长度
Wdrawn	掩膜水平下沟道宽度
XJ	源/漏结深
XT	掺杂深度
RSH, RSHG	源/漏、栅极方块电阻

确定好工艺参数值后就可以根据 BSIM4 模型手册中的提取流程进行 DC 参数提取,基本 流程:

1、选取 Large 管子,用参数 VTH0、K1、K2 这三个参数拟合 V<sub>th</sub>(V<sub>bs</sub>)曲线,如图 5.9 所示;用 UA、UB、UC、EU 拟合转移特性曲线(即 idvg, I<sub>ds</sub> vs. V<sub>gs</sub> @ V<sub>ds</sub>=0.05V & Different V<sub>bs</sub>)的强反型区。注:在用 VTH0 拟合 V<sub>th</sub>(V<sub>bs</sub>)曲线时,主要是让体偏为零时(即 V<sub>bs</sub>=0V)的 V<sub>th</sub> 值 拟合上,因为 VTH0 的物理含义是零体偏下长沟道阈值电压值。





2、选取确定的大 W、不同 L 的管子,用参数 LINT、RDSW 拟合转移特性曲线(即 idvg, Ids vs. Vgs @ Vds=0.05V & Different Vbs)的强反型区。

3、选取确定的大 L、不同 W 的管子,用参数 WINT、RDSW 拟合转移特性曲线(即 idvg, Ids vs. Vgs @ Vds=0.05V & Different Vbs)的强反型区;用 RDSW、PRWG、PRWB、WR 拟合 Rds

4、选取确定的大W、不同L的管子,用参数DVT0、DVT1、DVT2、LPE0、LPEB 拟合 V<sub>th</sub>(V<sub>bs</sub>, L, W)曲线,这样就可以调整不同体偏下的阈值电压值。

5、选取确定的大 L、不同 W 的管子,用参数 DVT0W、DVT1W、DVT2W、K3、K3B、 W0 拟合 V<sub>th</sub>(V<sub>bs</sub>, L, W)曲线,可以继续调整不同体偏下的阈值电压值。

6、选取确定的大 W、不同 L 的管子,用参数 MINV、VOFF、VOFFL、CIT、NFACTOR、 CDSC、CDSCB 拟合转移特性曲线(即 idvg, I<sub>ds</sub> vs. V<sub>gs</sub> @ V<sub>ds</sub>=0.05V & Different V<sub>bs</sub>)的亚阈值 区。

7、选取确定的大 W、不同 L 的管子,用参数 CDSCD 拟合转移特性曲线(即 idvg/idvgh, Ids vs. Vgs @ Vbs=Vbb & Different Vds)的亚阈值区。

8、选取确定的大 W、不同 L 的管子,用参数 DWB 拟合转移特性曲线(即 idvg, I<sub>ds</sub> vs. V<sub>gs</sub> @ V<sub>ds</sub>=0.05V & Different V<sub>bs</sub>)的强反型区。

9、选取确定的大 W、不同 L 的管子,用参数 VSAT、A0、AGS、LAMBDA、XN、VTL、 LC 对输出特性曲线(即 idvd, I<sub>ds</sub> vs. V<sub>ds</sub> @ V<sub>bs</sub>=0V & Different V<sub>gs</sub>)进行拟合,拟合的目标是饱 和电流 I<sub>sat</sub>(V<sub>gs</sub>, V<sub>bs</sub>)/W,另外 A1、A2 仅针对 PMOS,用于拟合不同栅压下的饱和漏电压曲线,  $\mathbb{H} V_{dsat}(V_{gs})$ .

10、选取确定的大 L、不同 W 的管子,用参数 B0、B1、DWG 对输出特性曲线(即 idvd, Ids vs. Vds @ Vbs=0V & Different Vg)进行拟合,拟合的目标是饱和电流 Isat(Vgs, Vbs)/W。

11、选取确定的大 W、不同 L 的管子,用参数 PSCBE1、PSCBE2、PCLM、PVAG、FPROUT、 PDITS、PDITSL、PDITSD、DROUT、PDIBLC1、PDIBLC2 对输出特性曲线(即 idvd, Ids vs. Vds) @ Vbs=0V & Different Vgs)进行拟合,拟合的目标是输出电阻 Rout(Vgs, Vds)。

12、选取确定的大 W、不同 L 的管子, 用参数 PDIBLCB 拟合转移特性曲线(即 idvg/ivdgh, Ids vs. Vgs @ fixed Vgs & Different Vbs), PDIBLCB 参数表示 DIBL 效应对输出电阻影响的体偏 系数。

13、选取确定的大 W、不同 L 的管子,用参数 ETA0、ETAB、DSUB、DVTP0、DVTP1 对转移特性曲线(即 ivdgh, Ids vs. Vgs @ Vds=Vdd & Different Vbs)进行拟合, 拟合的目标是压阈 值区的漏电流 Ids(Vgs, Vbs)。

14、选取确定的大 W、不同 L 的管子, 用参数 KETA 对输出特性曲线(即 idvdh, Ids vs. Vds @ Vbs=Vdd & Different Vgs)进行拟合, 拟合的目标是饱和电流 Isat(Vgs, Vbs)/W。

15、选取确定的大 W、不同 L 的管子,用参数 ALPHA0、ALPHA1、BETA0 对输出特性 曲线(即 idvdh, I<sub>ds</sub> vs. V<sub>ds</sub> @ V<sub>bs</sub>=V<sub>dd</sub> & Different V<sub>ds</sub>)进行拟合,拟合的目标是碰撞电流 I<sub>ii</sub>(V<sub>gs</sub>, V<sub>bs</sub>)/W。

16、选取不同各种特征尺寸不同的器件,即不同的L,W,SA,SB,用参数ku0、kvsat、thu0、lku0、wku0、pku0、llodku0、wlodku0 拟合迁移率,需要在低漏压高栅压线性区下进行; 再用参数 kvth0、lkvth0、wkvth0、pvth0、llodvth、wlodvth 拟合阈值电压;最后用参数 stk2lodk2steta0lodeta0 拟合 eta0 和 k2。

根据上述流程就可以完成 BSIM4 模型 DC 部分的 Global 提取,但是这并不是意味着走完 一遍流程就一定能把曲线拟合好,需要进行反复调节和优化计算,另外,在调模型的时候经 验很重要,哪些参数影响曲线的哪个部分要需做到心中有数。

## 5.2.2 SA/SB 对 DC 的影响分析

在本章的 5.2.1 节中已经介绍了所设计的 SA/SB 变化结构,随着器件尺寸的不断减小,应力的影响不在能被忽略,而 SA/SB 的尺寸是 STI 应力中重要的一个参数,设计好版图(只考虑了单指结构的 MOSFET,所以没有 SD 的变化结构)、流片、测试、提取 DC 模型。测试就 根据四端接口的测试方法测试,得到的曲线有 idvg、idvgh、idvd、idvdh, 拟合这些测试曲线, 图 5.10 给出了仿真和测试曲线的拟合结果,可以看出,四种尺寸的管子都得到了很好的拟合。 图中每个器件的都给出了低漏压(V<sub>d</sub>=0.05V)时的转移特性曲线 idvg 和低体偏压(V<sub>b</sub>=0V)时的 输出特性曲线 idvd,图中所标注的(m)和(s)分别表示测试和仿真。



图 5.10 NMOS 的 DC 特性曲线, I<sub>d</sub>V<sub>g</sub>(V<sub>d</sub>=0.05V)和 I<sub>d</sub>V<sub>d</sub>(V<sub>b</sub>=0V), SA/SB=3.2µm, (a) Large; (b) Narrow; (c) Short; (d) Small

随着工艺技术的不断进步,工艺特征尺寸不断缩小,应力对器件阈值电压特性的影响越来越明显,以至于不可能再被忽略。根据所有测试曲线的转移特性曲线的拟合结果,可以得到阈值电压与 SA/SB 的关系曲线,如图 5.11 所示,包含了 Large、Short、Narrow 和 Small 四

种尺寸低漏压的情况。对于 NMOS 来说,阈值电压随着 SA/SB 的增加而减小,换句话说, STI 引导的应力增加,阈值电压也会增加。图 5.11(a)和 5.11(b)明显地反映出了上述变化趋势, 而图 5.11(c)和 5.11(d)没有显现,这是因为这两种器件的 W 很小,Y 方向的应力 Syy 起主导 作用,这种作用在 BSIM4 中还没有相对应的模型。仔细观察图 5.11(d),有峰值和谷值,这可 能是因为 Sxx 和 Syy 在不同区域起主要作用,也就是说,当 Syy 作用大于 Sxx 时,阈值电压 随着 SA/SB 的增加而增加,反之增加而减小。以上的这些分析都是基于 NMOS 器件的,测 试数据中的一些跳跃点不排除来自于测试误差。



(a)

(b)

图 5.11 NMOS 器件阈值电压随 STI 参数 SA/SB 变化曲线, (a) Large; (b) Narrow; (c) Short; (d) Small PMOS 的阈值电压随 SA/SB 的变化趋势与 NMOS 相同,如图 5.12 所示,其中图 5.12(b) 是图 5.12(a)中某一条曲线的放大,可以看出,PMOS 比 NMOS 更加独立于 SA/SB, PMOS 的阈值电压值更加稳定,变化幅度会比较小。

综合上述分析可以看出,BSIM4 模型的 Syy 应力模型是迫切需要的,特别是对于一些特殊尺寸的管子。还有 STI 应力对于 PMOS 和 NMOS 的影响总体趋势相同,区别只在于影响的 程度,PMOS 小于 NMOS。



图 5.12 NMOS 和 PMOS 器件阈值电压随 STI 参数 SA/SB 变化曲线, (a)多个体偏下阈值电压随 SA/SB 的变化曲线; (b)上图为 NMOS 阈值电压随 SA/SB 的变化曲线(V<sub>b</sub>=-1.2V),下图为 PMOS 阈值电压随 SA/SB 的变化曲线(V<sub>b</sub>=1.2V)

### 5.2.3 RF 模型参数提取

大规模集成电路芯片的开发需要一支由市场开发、系统结构设计工程师、逻辑设计工程 师、电路与版图设计工程师、封装工程师、测试工程师、以及工艺和器件工程师等不同专业 和领域的人员组成的团队。最基本的任务是完成计算机电路辅助设计和优化,而我们知道计 算机电路辅助设计和优化的基础是建立精确的能够反映器件物理特性的等效电路模型,半导 体器件模型是影响电路设计精度的最主要因素。电路规模越大、指标与频段越高,对器件模 型的要求也越高,同时非线性电路设计比线性电路设计对器件模型的要求还要高。因此准确 的器件模型对于提高 RF 和微波/毫米波单片集成电路设计的成功率、缩短电路研制周期是非 常重要的,因此建立一个精确的 RF 模型成为了必须。

事实上,建立一个 RF 模型也就是分析 MOSFET 的动态或是瞬态效应,而这种动态效应 也称为电容效应,即器件中的电荷存储效应引起的。MOSFET 中的存储电荷包括:(1)反型区 或沟道区的反型电荷 Q<sub>i</sub>;(2)沟道下面耗尽区的体电荷 Q<sub>b</sub>;(3)栅极电荷 Q<sub>g</sub>(≈Q<sub>i</sub>+Q<sub>b</sub>)。考虑 RF 器件等效电路如图 5.13(a)所示,D\G\S\B 是外部端口,对应的本征器件内部端口为 di\gi\si\bi。 CGSo、CGDo、CGBo 表示栅与其他三端口的寄生电容(即非本征电容,由于为共源测试结 构 CGSo 和 CGBo 可以合并),另外端口寄生电阻 RG、RS、RD 和衬底寄生网络,其中衬底 寄生网络已包含在了 BSIM4 模型中,二极管 DBS 寄生可以忽略(因为测试结构 B 与 S 相连), DBD 可以用 Cdb 和 Rdb 来表征。综合上述分析,应用于本文的等效电路如图 5.13(b)所示, 其中 Mi 为本征模型,内部的电容为本征电容,它可以利用计算稳态电流的电荷方程导出。 BSIM4 的 RF 模型提取就是提取图 5.13(b)中的寄生参数和模型中自带的一些网络寄生。简单 地说, 就是用 5.1.3 节测得的 linear 和 zero 来提取 Mi 外部寄生, 用 sdut 拟合内部的一些网络 寄生和电容值。



图 5.13 MOSFET 等效电路, (a)一般情况小的小信号等效电路; (b)共源等效电路

1、提取 Mi 外部寄生

在做提取之前需要先做去嵌,即对 linear、zero 和 sdut 三种 S 参数结果做去嵌,本文采 用的去嵌方法是 Open、Short 去嵌。如图 5.14 为 S 参数去嵌结构的等效电路图,从图中可以 看出,就是要对图 5.14(a)做去嵌,使之只剩下 DUT。具体地,先将三个 S 参数 Sopen、Sshort 和 Sdut 都转化成 Y 参数,即 Yopen、Yshort 和 Ydut,把(Yshort-Yopen)转化为 Z 参数,即 Zshort, 同理将(Ydut-Yopen)转化为 Z 参数 Zdut,最后将(Zdut-Zshort)转化为 S 参数,去嵌完成,得到 的这个 S 参数就是图 5.14(a)中 DUT 的 S 参数,即 Spur。

假设测试数据去嵌后的 S 参数分别为 Slinear、Szero 和 Ssdut。线性区(即 linear 测量)近似后的 等效电路如图 5.15(a)所示,其中 Zi 为 Y<sub>1</sub>和 Y<sub>m</sub>的并联阻抗,零偏(即 zero 测量)近似等效电路 如图 5.15(b)所示。先用 linear 来提取端口寄生参数,根据线性区的等效电路得到式(5.2)-(5.4)。

$$Z_{linear} \cdot 11 - Z_{linear} \cdot 12 = R_g + j\omega L_g + Z_i = R_g + j(\omega L_g - \frac{1}{\omega C_i})$$
(5.2)

$$Z_{linear} \cdot 12 = R_s + j\omega L_s \tag{5.3}$$

$$Z_{linear} \cdot 22 - Z_{linear} \cdot 12 = R_d + j\omega L_d \tag{5.4}$$

其中 Zlinear 是 Slinear 转换成的 Z 参数, 因此 Rs、Rd、Rg、Ls、Ld 可由式(5.5)-(5.9)计算得到。

$$R_s = real(Z_{linear}.12) \tag{5.5}$$

$$R_d = real(Z_{linear}.22 - Z_{linear}.21)$$
(5.6)

$$L_s = \frac{imag(Z_{linear}.12)}{\omega}$$
(5.7)

$$L_d = \frac{imag(Z_{innear}.22 - Z_{innear}.21)}{\omega}$$
(5.8)

$$R_g = real(Z_{linear}.11 - Z_{linear}.12)$$
(5.9)

而 Lg 可根据式(5.10) 画出 imag(ω(Z<sub>linear</sub>.11-Z<sub>linear</sub>.12)) 关于 ω<sup>2</sup> 曲线, 斜率值就是 Lg。

$$imag(\omega(Z_{linear}.11-Z_{linear}.12)) = \omega^2 L_g - \frac{1}{C_i}$$
(5.10)

端口寄生提取完成后,在用 Szero 提取非本征电容寄生参数。根据零偏等效电路推导得到 式(5.11)-(5.13), Cgs、Cdb、Cgb可完成提取,其中 Zzero 由 Szero 转换得到,Yinner 表示图 5.15(b) 中虚线框内 Y 参数,至此就完成了 Mi 外部寄生的提取。

 $Y_l = Y_{inner} \cdot 11 + Y_{inner} \cdot 12 = j\omega C_{gs}$  (5.11)

$$Y_r = Y_{inner} \cdot 22 + Y_{inner} \cdot 21 \quad (YtoZ(Y_r) = R_{db} + \frac{1}{j\omega C_{db}})$$
 (5.12)

$$Y_m = -Y_{inner} \cdot 12 = -Y_{inner} \cdot 21 = j\omega C_{gd}$$
 (5.13)

其中 Y<sub>inner</sub> 可通过式(5.14)剥离已提取寄生得到, ztoy 表示 Z 参数转化成 Y 参数, 即式 (5.14),



图 5.14 S 参数去嵌结构的等效电路图, (a)DUT 测试结构等效电路; (b)Open 结构等效电路; (c)Short 结构 等效电路



2、提取本征内部寄生

本征部分的寄生提取是通过零偏等效电路提取的,即如图 5.15(b)。Szero 转换成 Z参数 Zzero, 通过式(5.15)算法计算可以剥离已提取的端口寄生,该式忽略了寄生的电感值,因为在提取得 到的电感值接近于零。剥离后的 Y 参数为 Yinner:

$$Y_{inner} = ztoy \begin{pmatrix} Z_{zero} \cdot 11 - R_g - R_s & Z_{zero} \cdot 12 - R_s \\ Z_{zero} \cdot 21 - R_s & Z_{zero} \cdot 22 - R_d - R_s \end{pmatrix}$$
(5.15)

至此,得到内部寄生的 Y 参数 Y<sub>inner</sub>,所以图 5.15(b)中 Y<sub>1</sub>, Y<sub>r</sub>, Y<sub>m</sub>的值可由式(5.16)-(5.18) 计算得到,得到具体的 Y<sub>1</sub>、Y<sub>m</sub>和 Y<sub>r</sub>的值后,再通过(5.19)-(5.21)式可以计算得到参数值 C<sub>gs</sub>、 C<sub>eb</sub>、C<sub>db</sub>和 R<sub>db</sub>。

$$Y_l = Y_{inner} \cdot 11 + Y_{inner} \cdot 12 \tag{5.16}$$

$$Y_r = Y_{inner} \cdot 22 + Y_{inner} \cdot 21 \tag{5.17}$$

$$Y_{m} = -Y_{inner} \cdot 12 = -Y_{inner} \cdot 21 \tag{5.18}$$

对 Y<sub>1</sub>、Y<sub>m</sub>和 Y<sub>r</sub>分别有:

 $Y_{l} = j\omega C_{gs}$  $Y_{m} = j\omega C_{gd}$  $Y_{toZ}(Y_{r}) = R_{db} + \frac{1}{j\omega C_{db}}$ 

这样,射频子电路参数提取完成。事实上, RF 提取后的参数变化也会影响之前 DC 曲线的拟合结果,因此参数提取还应做反复的优化,最终达到最优的结果。

# 5.2.4 STIW 对 DC 和 RF 的影响分析

STI 有器件内部和器件之间两种结构,一般来说,器件之间的应力引起的电学变化较小,

器件内部的 STI 因它的距离更靠近沟道,对器件的影响会更大,更具有研究意义。因此根据 这一目标,根据 5.1.1 节中已设计好的结构进行 STIW 分析。

一、建立 STIW 应力 DC 模型

DC 和 RF 测试根据 5.1.3 节测试方案测试。在某种程度上来说,应力对 DC 的影响较大, 对 RF 的影响较小。如图 5.16-5.25 为 DC 的测试数据和仿真数据拟合结果,图 5.16(a)-2.25(a) 为转移特性曲线,图 5.16(b)-2.25(b)为输出特性曲线。图 5.16-2.20 为单指结构五个 STIW 尺 寸结构的曲线图,同理 5.21-5.25 图为 32 指情况,电流的单位默认为安培,ID.M 表示测试结 果,ID.S 为模型仿真结果,使用 BSIM4 模型拟合,结果良好,表 5.8 为调模型时改变的参数。



图 5.16 单指器件(F=1)测试结果和模型拟合曲线图,STIW=0.12µm,(a)不同漏压偏置下的转移特性曲线; (b)不同栅压偏置下的转移特性曲线



图 5.17 单指器件(F=1)测试结果和模型拟合曲线图,STIW=0.24µm,(a)不同漏压偏置下的转移特性曲线; (b)不同栅压偏置下的转移特性曲线



图 5.18 单指器件(F=1)测试结果和模型拟合曲线图,STIW=0.48µm,(a)不同漏压偏置下的转移特性曲线; (b)不同栅压偏置下的转移特性曲线



图 5.19 单指器件(F=1)测试结果和模型拟合曲线图,STIW=0.96µm,(a)不同漏压偏置下的转移特性曲线; (b)不同栅压偏置下的转移特性曲线



图 5.20 单指器件(F=1)测试结果和模型拟合曲线图,STIW=1.92µm,(a)不同漏压偏置下的转移特性曲线; (b)不同棚压偏置下的转移特性曲线







图 5.22 多指器件(F=32)测试结果和模型拟合曲线图,STIW=0.24μm,(a)不同漏压偏置下的转移特性曲线; (b)不同栅压偏置下的转移特性曲线



图 5.23 多指器件(F=32)测试结果和模型拟合曲线图,STIW=0.48μm,(a)不同漏压偏置下的转移特性曲线; (b)不同栅压偏置下的转移特性曲线







图 5.25 多指器件(F=32)测试结果和模型拟合曲线图,STIW=1.92μm,(a)不同漏压偏置下的转移特性曲线 (b)不同栅压偏置下的转移特性曲线 表 5.8 调模型时改变的参数

Toxe=3n	Toxp=3n	Toxm=3n	Xj=1.5E-7	Ngate=0
Nsd=1E+20	Xt=1.55E-7	Vth0=292.7m	K1=518.8m	Dvt0=3.148
Dvt1=413m	U0=126.2m	Ua=1.726n	Vsat=84.92K	Voff=-42.56m
Minv=2.138	Rdsw=342.8	Lint=-28.51n	Wint=-2.393n	

二、STIW 应力 DC 模型结果分析

模型的提取基于 PDK 中的 model 进行微调, 微调模型库中自带的结构, 即 0.12µm 的 STIW 器件结构, 图 5.16 和图 5.21 就是该尺寸下两个不同指数的器件的拟合结果, 即单指和 32 指, 拟合结果都很好。阈值电压是场效应管 DC 性能的一个重要参数指标, 对应力参数 STIW 的 研究分析少不了对阈值电压影响的分析, 如图 5.26 为阈值电压关于漏极电压的变化曲线, 很 明显可以看出 STIW 引起的应力变化对单指阈值电压的影响要大于多指, 单指器件有 12-14.5%的提高, 32 指只有 0.18-0.3%的提高。这主要是因为多指和单指有源区大小不同, STIW 的变化带来的应力变化对于多指器件中间部分的影响很小, 因此多指时的阈值电压随 STIW 变化趋于稳定。而单指器件就没那么幸运,特别是当 STIW=1.92 时阈值电压发了很大



图 5.26 不同 STIW 大小下,阈值电压关于漏压的变化曲线,(a)单指;(b)32 指 三、STI 应力 RF 模型及分析

STIW 对 RF 的影响主要是版图中衬底接触电极与管芯之间的距离,但是该影响是微弱的, 基本可以忽略。如图 5.27 为 32 指器件 S 参数的测试结果,并且包括了所设计的 5 个 STIW 值 的情况,从结果看出,STIW 对 S 参数的影响基本可以忽略。这里只给出了 32 指的测试结果, 单指结构结果类似。图 5.28 为 RF 模型仿真和测试的拟合结果 S12 和 S21,该图是 32 指 STIW 为 0.12µm 结果。最后图 5.29 为截止频率 f<sub>t</sub>在不同偏置的值,从 0.12µm 到 1.92µm 的颜色变 化依次为红、黄、紫、绿、橙。在这批所设计的版图结构中没有设计对应的去嵌结构,在本 文中用的是前一次流片中设计的尺寸基本接近的去嵌结构。

最后,CS 结构尺寸分布为 0.1μm、0.15μm、0.2μm,根据具体的版图结构来看,在CS 尺寸变化的同时,影响应力分布的 SA/SB 参数也在变化。所以所设计的改版图结构不能很好的说明 CS 尺寸变化对器件的影响,暂时没有深入分析,但是根据测试的结果看来,趋势是正确的。





图 5.27 32 指 S 参数测试结果,包括了所设计的所有 STIW 尺寸,(a)S11;(b)S22;(c)S12;(d)S21



图 5.28 RF 模型拟合结果(STIW=0.12µm, finger=32), (a)S12, (b)S21



图 5.29 在不同偏置下截止频率 f,的值,不同颜色代表不同 STIW 值

5.3 小结

本章主要是基于 BSIM4 模型分析应力对器件 DC 和 RF 性能的影响。应力分析分为两个 方面,即 SA/SB 和 STIW 诱导的两种应力情况。首先介绍了分析这两种应力所需要设计的器 件结构,这些结构需要满足提取完整模型的要求,另外还介绍了实验室测试的环境以及具体 的测试方案。然后就是模型提取和分析,对 SA/SB 应力主要分析了 DC 特性,对 STIW 应力 DC 和 RF 都做了分析,在这个过程中,具体介绍了 DC 和 RF 模型的提取办法。最后,该章 内容结合具体的实例,将之前所有模型的理解应用于具体实践,拟合结果良好。

# 第6章 总结和展望

## 6.1 总结

针对 RF CMOS 工艺,研究了浅沟槽隔离技术对器件性能的影响,建立了精确的 MOSFET 应力模型,该模型充分考虑 STI 结构应力的影响。本文建立的模型仿真的 DC 和 RF 结果与测 试曲线拟合良好,正确表征了器件电学特性,最后给出的 RF 模型可以在 50MHz~30.05GHz 的范围内表征器件的射频特性。

本文主要有以下内容:

首先介绍 MOSFET 模型的发展状况和趋势,阐述了模型发展趋势、模型研究的意义,最后简单介绍了论文主要工作和结构。

本文第二部分主要介绍了 MOSFET 模型,介绍了第一代到第三代模型,Level 1~Level 3、 BSIM 模型、基于电荷和表面势的模型等,对每一代的模型特点都做了较详细的介绍。然后 根据现今模型的特点,介绍了模型可能的发展趋势,在新的工艺技术下模型将在基于物理模 型的发展方向上前进,并且在精确、高速、收敛三方面的推动下发展。

本文第三部分主要讨论浅沟槽隔离技术工艺特点、浅沟槽隔离所产生的应力作用机制以 及现今浅沟槽隔离应力影响模型的发展状况。首先,详细介绍了浅沟槽隔离技术工艺,对基 本的工艺流程都进行了描述和某项具体步骤的原因,还说明了每个工艺流程下所需要注意的 关键点。其中在设计制造沟槽时会形成倾斜的侧墙和圆滑的底面,采用倾斜的侧墙和圆滑的 沟槽顶角可以用来有效地抑制边缘漏电,减小沟槽隔离 MOSFET 的亚阈漏电。然后,根据压 阻效应从能带的角度分析了浅沟槽应力的作用机制,是在理论层面上所进行的阐述。同时根 据相关理论表明,流体静压强应力和单向应力(即各向异性作用力)分别都改变了晶格结构, 但一般说来,在沟槽的边缘应力较强,在远离沟槽边缘的地方,流体静压强应力作用较大。 接着根据 IBM 90nm 工艺,使用 TCAD Sentaurus 软件仿真了具有 STI 结构的 NMOS 场效应 管,包括单指、两指和 32 指,为了更好地分析浅沟槽对器件的各种影响,还仿真了无 STI 结构场效应管,比较特征曲线图,分析说明这些不同之处,另外还仿真了不同 STIW 结构下 特性曲线的变化。

本文第四部分主要介绍了建模的基本流程、BSIM4 的阈值电压模型和应力模型,最后介绍了 STI 应力模型现阶段的研究状况。

本文第五部分主要是基于 BSIM4 模型分析应力对器件 DC 和 RF 性能的影响。应力分析 分为两个方面,即 SA/SB 和 STIW 诱导的两种应力情况。首先介绍了分析这两种应力所需要 设计的器件结构,这些结构需要满足提取完整模型的要求,另外还介绍了实验室测试的环境 以及具体的测试方案。然后就是模型提取和分析,对 SA/SB 应力主要分析了 DC 特性,对 STIW

应力 DC 和 RF 都做了分析,在这个过程中,具体介绍了 DC 和 RF 模型的提取办法。最后, 该章内容结合具体的实例,所建立的模型拟合结果良好。

6.2 展望

先进的工艺所带来高性能器件是大家所期盼的,先进的工艺也正在朝这个方向发展,但 是它也带来了一系列问题,现有的模型不能准确的描述器件性能,特别是在射频领域,对模 型的准确性要求更加高。因此,对模型的研究至关重要,模型是电路设计和工艺生产间的桥 梁。特征尺寸的大小在一定程度上说明了工艺的先进程度,目前最先进的工艺已经达到了 22nm,BSIM4 模型中有很多经验参数,器件进入纳米尺寸后,模型的精度将不足以准确描述, 这个目前 BSIM4 模型发展的一个瓶颈。下面将进一步阐述对模型发展的展望,另外尽管文中 最后给出的仿真与测试结果拟合较好,但仍有很多地方需要改进,在此也将进一步阐述。 1、STI 沿宽度方向应力 Sw

应力参数 SA/SB 和 STIW 主要是表征了沿沟道方向 S<sub>xx</sub>方向的应力,没有对沿宽度方向 的应力做设计分析。而在前面实际的应力分析中发现,不同的器件宽度下,对饱和电流或者 阈值电压产生不同的变化趋势。而我们可以暂且这么考虑,就像是分子间的作用力一样,它 是这么描述的,分子间同时存在的相互作用的引力和斥力,这就像是 S<sub>xx</sub>和 S<sub>yy</sub>,存在一个界 限距离 r,小于它是表现为斥力,大于它时表现为引力,等于它时表现为零,而远大于时斥力 和引力都为零。类似的分析 S<sub>xx</sub>和 S<sub>yy</sub>,W、L 是表征这两个应力值大小的距离,当 W>L 时, S<sub>xx</sub>作用大于 S<sub>yy</sub>,反之,S<sub>yy</sub>作用大于 S<sub>xx</sub>。

2、基于物理的应力模型

基于第一点的讨论,应该对 BSIM4 模型做一部分的修改,考虑器件宽度方向的应力。或 者直接从物理能带分析,建立物理模型,这方面已有部分文献报道<sup>[59]</sup>。下一步将从这两方面 入手,做进一步的研究。

3、版图优化

建立 RF 模型时,在器件结构版图设计过程中,可以在版图方面做更多的优化。

# 致 谢

时间过得很快,研究生生活已经接近尾声,在这两年多的时间里,学会了很多东西,自 己也成长了很多。研究生的生活和过去大学的生活很不一样,而我也从刚刚开始的迷茫中越 来越明确自己所要学的,所要承担的,更加地敬佩对社会做出伟大贡献的科学家,他们在科 学之路上不断的探索发现。过去我只看到了科学家的辉煌,只注意到了他们的成就,但是经 过研究生阶段的学习生活,深切的感受到他们的不易。在这里我要感谢在我生命力中非常重 要的时间里支持关心我的人。

首先要感谢孙玲玲教授,她给我们创造了非常好的学习环境,有机会参加国家的重点项 目的科研实践,所里还有一套先进的测试设备,有机会动手操作。孙老师还让我们多次参加 国际会议,给我们创造了许多与业内权威交流的机会。同时孙玲玲教授本人严谨的作风让我 颇为感动,而且她的对学生生活方面也非常关心,多此组织大家户外运动。

我还要感谢我非常尊敬的余志平教授,给予我很多支持与帮助,他的话语就像我人生路 中的一盏盏明灯,带我走出困惑与不安。

接着,我要感谢刘军老师,给了我许多专业方面的指导。刘老师工作学习都很投入勤奋, 思维活跃,这些都深深地影响了我。还要感谢文进才老师,李文钧老师,程知群老师,与他 们交流也使我学到很多技术要点。

此外,我还要感谢师兄楼立恒、王皇,他们热心地给我指导,同时以兄长身份给了我很 多建设性意见。感谢苗田乐、刘秉涛师兄在 TCAD Sentaurus 和 Silvaco、Unix/Linux 环境、 BSIM4 建模方面给予的指导,感谢郑伟在 layout 上的帮助、蒋立飞师兄在的帮助,感谢苏国 东、李贺在测试方面给予的帮助。另外还要感谢我的同门姐妹钟琳同学,在生活学习上给予 我很大的帮助,跟我一起分享成功的喜悦,失败迷茫时给我开导,说到这里还要感谢我的其 他同门章南、楼佳、蔡鹏鹏、翁寅飞,他们建立了首个创新团队,在这个团队的大环境下使 我更好的成长起来。还要感谢余云娟、戴大杰、张林等师弟师妹们,在学习交流中给自己扫 了盲,多了些启发。论文已经接近完成,也许一篇论文中只有致谢这个部分,才感性的思考 问题。从论文阅读到确定研究方向,到论文写作,再到会议交流,我感觉到了自己的进步, 同时我也更加清醒的认识到了自己还有很大的不足,认识到了国内外的差距,另外在技术方 便还有很大没有解决的问题,我希望自己将来不管身处何处,学东西能更用心一点、更深入 一点。

最后,衷心感谢一直鼓励我支持我的父母和男友。感谢在他们精神上给予的支持,正是 有了他们我才能勇敢、无所顾忌地走到现在!

> 方 霞 2011 年 12 月

# 参考文献

[1] J. E. Lilienfield. US Patent[P]. 1930, 17, 45175.

[2] D. Kahng, M. M. Atalla. Silicon-silicon dioxide field induced surface devices[C]. IRE Solid State Device Research Conference, Pittsburgh, PA 1960.

[3] Kahng, D. A historical perspective on the development of MOS transistors and related devices[J]. IEEE Trans. Electron Devices, 1976, 23(7): 655-660.

[4] E. H. Snow, A. S. Grove, B. E. Deal, and C. T. Sah. Ion transport phenomena in insulating films[J]. Applied Physics, 1965, 36(5): 1665-1673.

[5] Moore G. E. Cramming more Components onto Integrated Circuits[J]. Proceedings of the IEEE, 1998, 86(1): 82-85.

[6] 国际半导体技术发展路线图(ITRS) 2007 年新编版[J]. 中国集成电路, 2007, 9:13-15.

[7] Chaudhry S., Racanelli M.. Specialty Foundry technology and design enablement for RF, high performance analog, and power[C]. IEEE 2010 Custom Integrated Circuits Conference (CICC), pp.1-4.

[8] R.H.Dennard. Design of ion-implanted MOSFETs with very small physical dimensions [J]. IEEE Trans. Electron Devices, 1974, 15(4): 256-268.

[9] Wolfgang Arden, et al. "More-than-Moore" White Paper. http://www.sia-online.org/.

[10] Yttedral T, ChengY and Fjeldyl T A. Device Modeling for Analog and RF CMOS Circuit Design [M]. England: John Wiley & Sons Ltd., 2003.

[11] Jen S.H.-M., Enz C.C., Pehlke D.R., Schroter M., Sheu B.J. Accurate modeling and parameter extraction for MOS transistors valid up to 10 GHz[J]. IEEE Trans. Electron Devices, 1999, 46(11): 2217-2227.

[12] Shijing Yao, Morshed T.H., Lu D.D., Venugopalan S., Weize Xiong, Cleavelin C.R., Niknejad A.M.,

Chenming Hu. Global parameter extraction for a multi-gate MOSFETs compact model[C]. 2010 IEEE International Conference on Microelectronic Test Structures (ICMTS), pp.194-197.

 [13] Seongjae Cho, Kyung Rok Kim, Byung-Gook Park, In Man Kang. RF Performance and Small-Signal Parameter Extraction of Junctionless Silicon Nanowire MOSFETs[J]. IEEE Trans. Electron Devices, 2011, 58(5): pp.1388-1396.

[14] Kim J.-Y., Ko B.-H., Choi M.-K., Lee S. RF extraction method for source/drain overlap and depletion length of deep-submicron RF MOSFETs using intrinsic gate-bulk capacitance[J]. Electronics Letters, 2010, 46(23): pp.1566 -1568.

[15] X. Xi et al. BSIM4.5.0 MOSFET Model User's Manual. University of California Berkeley, 2003:13.1-13.7.
[16] H. Shichman and D. A. Hodges. Modeling and Simulation of Insulated Field Effect Transistor Switching Circuits[J]. IEEE Solid-State Circuits, 1968, 3(3): pp. 285-289.

[17] Berkeley BSIM group. BSIM3v3 Manual. Department of Electrical Engineering and computer Science, University of California Berkeley, Technical Report, 1995. [18] Compact Model Council [EB/OL]. http://www.eigroup.org/cmc/.

[19] Model9 [EB/OL]. /http://www.nxp.com/models/mos\_models/.

[20] 伍青青, 陈静, 罗杰馨, 肖德元, 王曦. MoSFET 集约模型的发展[J]. 固体电子学研究与进展, 2010, 30(2).

[21] Gennady Gildenblat, C.McAndrew, Hailing Wang. Et al. Advanced Compact Models: Gateway to Model CMOS Design[C]. IEEE Electronics Circuit and Systems ICECS, 2004, pp. 638-641.

[22] T. Toyabe and S. Asai. Analytical Models of Threshold Voltage and Breakdown Voltage of Short-Channel

MOSFET's Derived from Two-Dimensional Analysis[J]. IEEE Trans. Solid-State Circuits, 1979, 14(2): 375-383.

[23] J He, J Xi, M Chan. BSIM5 User's Manual, BSIM5 user's manual. Electronic Research

Laboratory-University of California, Berkeley, 2004.

[24] He J, Xi J, Chan M. Charge-based core and the model architecture of BSIM5[C]. Sixth International Symposium on Quality of Electronic Design(ISQED), 2005, pp. 92-101.

[25] Xuemei Jane Xi, Jin He, Mohan Dunga, Hui Wan, Mansun Chan, Chung-Hsun Lin, Babak Heydari, Niknejad A.M., Chenming Hu. BSIM5 MOSFET Model[C]. 7th International Conference on Solid-State and Integrated Circuits Technology, 2004, pp. 920- 923.

[26] He Jin, Chan Mansun, Xi Xuemei, Wan Hui, Pin Su, Ali Niknejad, Hu Chenming. BSIM Model Research and Recent Progress[J]. CHINESE JOURNAL OF SEMICONDUCTORS, 2006, 27(3): 389-396.

[27] R. F. Pierret and J. A. Shields. Simplified long-channel MOSFET theory[J]. Solid-State Electron, 1983, 26(2): 143-147.

[28] A. Nussbaum, R. Sinha, and D. Dokos. The theory of the long-channel MOSFET[J]. Solid-State Electron, 1984, 27(1): 97-107.

[29] Miura-Mattausch M., Sadachika N., and et al. HiSIM2:advanced MOSFET model valid for RF circuit simulation. IEEE Trans. Electron Devices, 2006, 53(9): 1994-2007.

[30] Miura-Mattausch M. HiSIM2 Manual. 2004.

[31] R. van Langevelde, A.J.Scholten, G.D.J. Smit and D.B.M.Klaassen. PSP Model. Technical Report, 2005.

[32] 池毓宋. 0.13µmCMOS 工艺射频 MOS 场效应管建模[D], 南京:东南大学, 2006.

[33] 杨之廉, 申明. 超大规模集成电路设计方法学导论(第二版)[M]. 北京: 清华大学出版社, 1999, 157-228.

[34] 蒲奎. 一种分立式高压功率 VDMOS 器件 SPICE 宏模型的研究[D]. 成都: 电子科技大学, 2007.

[35] Wen-Kuan Yeh, Shuo-Mao Chen, and Yean-Kuen Fang. Substrate Noise-Coupling Characterization and Efficient Suppression in CMOS Technology[J], IEEE Trans. Electron devices, 2004, 51(5): 817-819.

[36] Jiong-Guang Su, Heng-Ming Hsu, Shyh-Chyi Wong, Chun-Yen Chang, Tiao-Yuan Huang, and Jack

Yuan-Chen Sun. Improving the RF Performance of 0.18µm CMOS With Deep n-Well Implantation[J]. IEEE Trans. Electron Devices, 2001, 22(10): 481-483.

[37] Lih Chieh Png, Kok Wai Chew and Kiat Seng Yeo. Impact of forward and reverse deep n-well biasing on the 1/f noise of 0.13µm n-channel MOSFETs in triple well technology[J]. Solid-State Electronics, 2009, 53(6): 599-606.

[38] 程玉华. 纳米 CMOS 工艺下集成电路可制造性设计技术[J]. 中国科学 E 辑: 信息科学, 2008, 38(6):
968-978.

[39] Kahng A B., Design challenges at 65 nm and beyond[C]. Design Automation & Test in Europe Conf. & Exhibition, 2007: 1-2.

[40] C. Hu, S. C. Tam, F.-C. Hsu, P. K. Ko, T.-Y. Chan, and K. W. Terrill. Hot-Electron-Induced MOSFET Degradation-Model, Monitor, and Improvement[J]. IEEE Trans. Electron Devices, 1985, 20(1): 295-305.

[41] Bryant A., Hansch W., Mii T. Characteristics of CMOS device isolation for the ULSI age[C]. Electron Devices Meeting(IEDM), 1994: 671-674.

[42] Michael Quirk, Julian Serda(著), 韩郑生(译). 半导体制造技术[M]. 北京: 电子工业出版社, 2006: 187-207.

[43] SEMATECH. Furnace Equipment Overview, Module 3 in Furnace Processes and Related Topics[M]. Austin:TX,SEMATECH, 1995: 3-6.

[44] H. A. Rueda. Modeling of mechanical stress in silicon isolation technology and its influence on device characteristics[D]. USA: University of Florida, 1999.

[45] M. Bucher, Wladek Grabinski. EKV MOS Transisitor Modeling and RF Application[C]. Presentation at HP-RF MOS Modeling Workshop, 1999.

[46] R. van Langevelde, A.J.Scholten, G.D.J. Smit and D.B.M.Klaassen. PSP Model, Technical Report, 2005.

[47] H.J. Mattausch, M. Miyake, T. Yoshida. HiSIM2 circuit simulation-solving the speed versus accuracy crisis[J]. IEEE circuit and device magazine, 2006, 22(5): 29-38.

[48] M. Miyamoto, H. Ohta, Y. Kumagai, et al. Impact of Reducing STI-Induced Stress on Layout Dependence of MOSFET Characteristics[J]. IEEE Trans. Electron Device, 2004, 51(3): 440-443.

[49] K. Su, Y. Sheu, C. Lin, et. al. A Scaleable Model for STI Mechanical Stress Effect on Layout Dependence of MOS Electrical Characteristics[C]. USA: In Proc.CICC, 2003: 245-248.

[50] P. B. Y. Tan. Compact Modeling of Mechanical STI y-Stress Effect[C]. USA: Proc. ICSICT, 2006: 1450-1452.

[51] H. Aikawa. Variability Aware Modeling and Characterization in Standard Cell in 45 nm CMOS with Stress Enhancement Technique[C]. VLSI Technology, 2008: 90-91.

[52] Wan Rosmaria Wan Ahmad. TCAD Simulation of STI Stress Effect on Active Length for130nm Technology[C]. In Proc. ICSE2006, 2006: 1038-1041.

[53] Bianchi R.A. Accurate modeling of trench isolation induced mechanical stress effects on MOSFET electrical performance[C]. Electron Devices Meeting(IEDM), 2002: 117-120.

[54] Y. M. Sheu, K. Y. Y. Doong, C. H. Lee, M. J. Chen, and C. H. Diaz. Study on STI mechanical stress-induced variations on advanced CMOSFETs[C]. USA: Proc. ICMTS, 2003: 205–208.

[55] Y-M. Sheu et al. Modeling Mechanical Stress Effect on Dopant Diffusion in Scaled MOSFETs[ J]. IEEE Transactions on Electron Devices, 2005, 52 (1): 30-38.

[56] A. B. Kahng, et. al. Exploiting STI Stress for Performance[C]. USA: Proc.ICCAD, 2007: 83-90.

[57] Dunga M.V., Chung-Hsun Lin, Xuemei Xi, Lu D.D., Niknejad A.M., Chenming Hu. Modeling Advanced

FET Technology in a Compact Model[J]. IEEE Trans. Electron Devices, 2006, 53(9): 1971-1978.

[58] Chi-Chao Wang, Wei Zhao, Liu F., Min Chen, Yu Cao. Modeling of layout-dependent stress effect in CMOS

design[C]. Computer-Aided Design - Digest of Technical Papers(ICCAD), 2009: 513-520.

[59] Wu W., Du G, Liu X., Sun L., Kang J., Han R. Physical-Based Threshold Voltage and Mobility Models

Including Shallow Trench Isolation Stress Effect on nMOSFETs[J]. IEEE Trans. Nanotechnology, 10(4): 875-880.

## 附录

## 作者在读期间发表的学术论文及参加的科研项目

## 发表论文:

- Xia Fang, Lingling Sun, and Jun Liu. "Analyzing the substrate effect of Deep n-well Structure in 0.18µm CMOS technology". China-Ireland International Conference on Information and Communications Technologies (CIICT), 2010, pp: 103-107.
- 2. Xia Fang, Lingling Sun, Jun Liu, and Huang Wang. "A study of the effect of Shallow trench isolation technology on MOSFET DC characteristic". 13th International Symposium on Integrated Circuits (ISIC), 2011.

## 参加的科研项目:

- 1、国家重点基础研究发展计划(973 计划)项目课题:"毫米波亚毫米波频段硅基有源器件 建模与电路设计方法研究",课题编号:4-2010CB327403,起止时间:2010-2015。
- 2、国家科技重大专项-极大规模集成电路制造装备及成套工艺 65 纳米项目课题子课题:
  "65nm RF 元器件模型和 RFIP 核设计技术研究",课题编号: 2009ZX02023-001-2,起止时间: 2009.12-2011.12。