



团 体 标 准

T/CIE 150—2022

现场可编程门阵列(FPGA)芯片 时序可靠性测试规范

Timing reliability test specification of field programmable gate array (FPGA)

2022-12-31 发布

2023-01-31 实施

中国电子学会 发布
中国标准出版社 出版

目 次

前言	I
引言	II
1 范围	1
2 规范性引用文件	1
3 术语和定义	1
4 一般要求	2
4.1 试验环境	2
4.2 测试设备	2
4.3 测试系统构建	2
4.4 测试注意事项	3
4.5 输入输出单元端口状态	3
4.6 测试流程	3
5 详细要求	4
5.1 功能完整性检测	4
5.2 FPGA 硬核 IP 时序可靠性测试	4
5.3 FPGA 接口 IP 时序可靠性测试	5
5.4 FPGA 互联时序可靠性测试	5
5.5 环境应力下 FPGA 芯片时序可靠性测试	6
6 测试报告	6

前 言

本文件按照 GB/T 1.1—2020《标准化工作导则 第 1 部分：标准化文件的结构和起草规则》的规定起草。

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件由中国电子学会可靠性分会提出并归口。

本文件起草单位：工业和信息化部电子第五研究所、黄河科技学院、广东工业大学、深圳市紫光同创电子有限公司、成都华微电子科技股份有限公司、广东高云半导体科技股份有限公司、上海安路信息科技股份有限公司、深圳市国微电子有限公司、中国航天科技集团第九研究院第 772 研究所、上海复旦微电子集团股份有限公司。

本文件主要起草人：雷登云、余永涛、杨东、曲晨冰、孙宸、夏益民、王力纬、侯波、来萍、张洋洋、郭海松、刘远、廖步彪、冯成燕、周奇、袁智皓、唐伟东、王文锋、俞剑。

引 言

FPGA 器件具备灵活的可配置性,被广泛应用于通信、医疗、工业等各个领域。不同于 SoC 芯片级的 IP 核实现方式,在 FPGA 上的 IP 核质量水平依赖 FPGA 质量水平以及二者之间的配合情况。随着 FPGA 平台规模的集成度越来越高,内部 DSP、BRAM、DCM 等资源的不断丰富,IP 核在 FPGA 平台上的实现不可避免需要应用到 FPGA 平台上的内部资源。由于不同综合条件下,IP 核在 FPGA 中的综合形式和资源分布不同,对 IP 核时序会产生不同的影响。充分测试 FPGA 平台上 IP 核时序可靠性、对 FPGA 应用具有重要意义。

现场可编程门阵列(FPGA)芯片 时序可靠性测试规范

1 范围

本文件规定了 FPGA 芯片时序可靠性测试,包含了硬核 IP、接口 IP、互联等模块的时序可靠性评估方法。

本文件适用于 FPGA 的提供者、使用者和第三方评价 FPGA 芯片的时序可靠性。

注:第三方是指在 FPGA 芯片交付过程中进行认证和提供鉴定、试验等服务的独立机构。

2 规范性引用文件

下列文件中的内容通过文中的规范性引用而构成本文件必不可少的条款。其中,注日期的引用文件,仅该日期对应的版本适用于本文件;不注日期的引用文件,其最新版本(包括所有的修改单)适用于本文件。

GB/T 9178 集成电路术语

GB/T 14113 半导体集成电路封装术语

GB/T 17574 半导体器件 集成电路 第2部分:数字集成电路

SJ/T 11706 半导体集成电路 现场可编程门阵列测试方法

3 术语和定义

GB/T 9178、GB/T 14113 和 GB/T 17574 界定的以及下列术语和定义适用于本文件。

3.1

查找表 look up table; LUT

每当输入一个信号就等于输入一个地址进行查表,找出地址对应的内容,并输出。

3.2

输入输出单元 input output block; IOB

FPGA 与外界的接口,用于完成不同电气特件下对输入/输出信号的驱动与匹配要求。

[来源: SJ/T 11706—2018, 3.1]

3.3

可配置逻辑模块 configurable logic block; CLB

FPGA 内的基本逻辑单元,用于实现用户定义的基本逻辑功能。

[来源: SJ/T 11706—2018, 3.2]

3.4

数字时钟管理模块 digital clock manager; DCM

FPGA 内的时钟单元,用于实现用户定义的基本逻辑功能。