

## The Digital Control Technique Research of Cascaded Multilevel Converter Based on Carrier Phase-Shifted SPWM

### Abstract

With high power electronic equipment increasingly applied, deeply studied is being done in this field. In these power equipments, there is a sharp problem, which is the increase of the power level and the improvement of the switching apparatus frequency. CPS-SPWM technique is the novel technique to solve this problem.

In this paper, some research has been done to the digital control cascaded multilevel converter based on CPS-SPWM technique. By exploring to introduce microcontroller to the control system of power electronics, the digital control of power converter is being improved. Besides, the working model has been analyzed detailedly the probability of integrating cascaded H-bridge topology and CPS-SPWM technique which is controlled by digital system has been improved by a three-level and five-level output. By the spectrum analyzing, the result is drawn: the CPS-SPWM technique counteracts the low switching harmonics to increase the equal switching harmonic while shifts the harmonics to the high frequency zone simply. The sampling way affects the contents of switching harmonics largely. In this paper, an asymmetry sampling way has been applied in a five-level converter. By this way, it needs double data but diminishes the most irregular switching harmonics in the low frequency zone.

In this paper, one phase five-level, seven-level, nine-level power magnify has been realized through CPS-SPWM technique based on DSP+CPLD hardware platform. The THD (total harmonic distortion), the transmission bond, the competition to realize and the application of every multilevel output is analyzed. A digital PI control closed loop system of five-level converter has been applied to a SAPF system and the offset current is ideal. The three-level dead-time effect is analyzed detailedly and through the dead-time offset, the net side current of three-level APF converter improved further.

By an asynchronous transmission way from DSP to CPLD, a three-phase five-level pulse has been generated. It reduces the possibility of the wrong pulse and improves the reliability of the whole system. Otherwise, several dead-time generation ways in digital system are discussed, analyzed and contrasted. What's more, the research of serial communication for DSP and CPLD has been done. By the SCI ports of LF2407 DSP, in the six meter experiment, the mis-transmission code duty is reduced to zero. It provides a new idea to reduce the EMI from power circuit to the microcontroller.

**Key words:** DSP; CPLD; Cascaded H bridge; CPS-SPWM technique; Multilevel Converter; dead-time effect;

## 致谢

本文是在导师张仲超教授的悉心指导下完成的。在研究生的两年多时间里，导师给予我亲切的关怀与悉心的指导。导师渊博深厚的学识，严谨求是的治学态度，虚怀若谷的博大胸襟，平易近人的学者之风使我耳濡目染，如沐春风。在自己的成长过程中，深深感受到导师的人格魅力，使我受益终身。在研究过程中，导师和我一起从理论分析到电路设计，给我极大的帮助。近 3 年来的成长，浸透着导师的大量心血。值此论文完成之际，向导师表示深深的敬意与感谢！

感谢父母对我的养育之恩，亲人的关怀永远是我前进的动力，在此以论文的完成感谢家人二十多年来对我的栽培。

本文也是在实验室师兄弟的大力帮助下完成的。在实验室生活中，我们结下了深厚的友谊。感谢实验室的王立乔博士后、胡长生博士、林平博士、感谢李玉玲、刘晨阳、鲍建宇、韦鲲、曾雨竹、熊宇、滕妨华、楼珍丽、陈丹江、陆涛涛、任军军、韩珏、杨欣、王传兵、李彩霞、孟光毅、王剑、李欣等同门师兄弟妹在学习与生活中给予我的关心与帮助，感谢李明锋与叶剑利师兄指导我关于 CPLD 方面的知识，特别感谢同课题组的李建林与刘兆燊师兄，我们在一起从 DSP 及 CPLD 编程以及三相变流器、级联多电平变流器进行了长时间的探讨，彼此互相启发，互相促进，受益非浅。

感谢本文的评阅和答辩委员会各位老师百忙中对本文进行审阅、指点。

最后，再次感谢所有在我成长过程中关心、帮助我的人。

李 淳

2006 年 3 月于求是园

# 第一章 绪 论

## 1.1 大功率变流器的发展

### 1.1.1 大功率变流器的拓扑发展

随着电力电子装置容量的增大，如大容量电机驱动、交直流输电系统等，对大功率电力电子装置有了新的需求。而功率器件和各种新控制方法的发展，推动了大功率电力电子装置的拓扑结构取得了很大的进展。早期将器件串、并联使用，但由于各器件本身的特性不可能完全相同，导致各器件的电压、电流不均衡，甚至造成器件损坏。随后产生了多重化变流器结构。多重化变流器结构将多个变流器单元通过变压器在交流侧进行串、并联，从而在输出得到多电平。但变压器的体积、价格和效率阻碍多重化变流器的功率等级提升。级联型多电平变流器应运而生，成为目前多电平研究热点。本节按大功率电压型变流器拓扑构成方式分的三种基本类型：多重化结构变流器、箝位型多电平变流器和级联型多电平变流器分别讨论各自的优劣。

#### 1.1.1.1 多重化结构多电平变流器

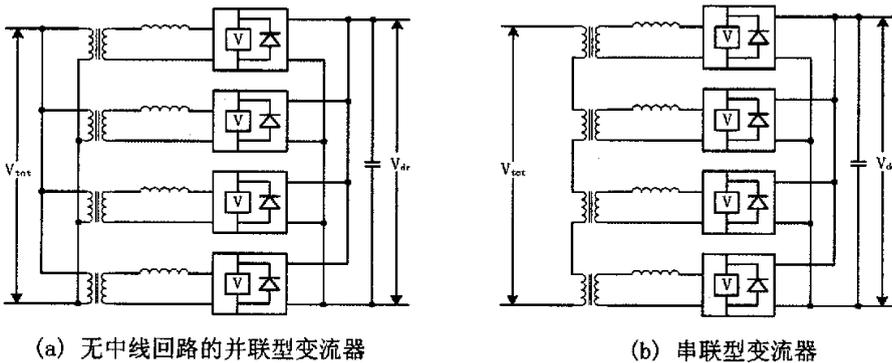


图 1-1 电压型组合变流器拓扑

在电压型变换电路中，输出的交流电压为矩形波<sup>[1]</sup>。为了减小谐波，常常把几个矩形波输出组合成近似正弦波的波形。对于  $L_x$  个三相变流电路，将其输出波形的相位各错开  $\pi/(3L_x)$  运行，连同抵消它们之间相位差的移相变压器，可以构成脉波数为  $6L_x$  的变流器系统。输出波形中包含  $6k \cdot L_x \pm 1$  ( $k$  为整数) 次的谐波含量。根据变压器输出侧绕组的连接方式可分为串联多重化结构和并联多重化结构如图 1-1，电压型变流器的并联多重化结构会产生电压差，进而产生电流环流，要特别考虑均流问题。多重化系统具有提供大功率输出、运行效率高、可改善单台装置输出谐波等优点，也存在以下不足<sup>[1]</sup>：

- (1) 需要通过调节直流侧电压实现输出功率的调节，系统动态响应差、控制不灵活；
- (2) 为了减小谐波，各装置输出需错开一定相位，影响输出的基波叠加造成基波损失；

(3) 为了达到消除次谐波的目的，必须使用特殊设计的移相变压器。

### 1.1.1.2 箝位型多电平变流器

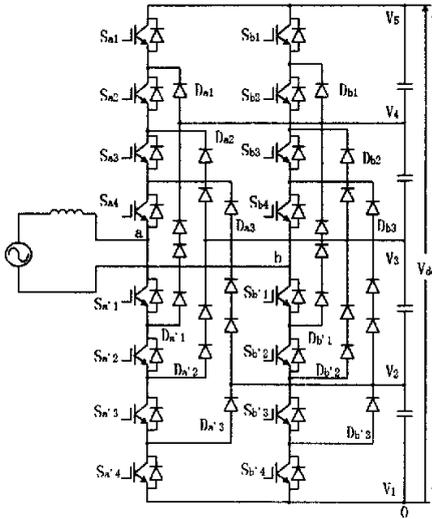


图 1-2 五电平二极管箝位型变流器

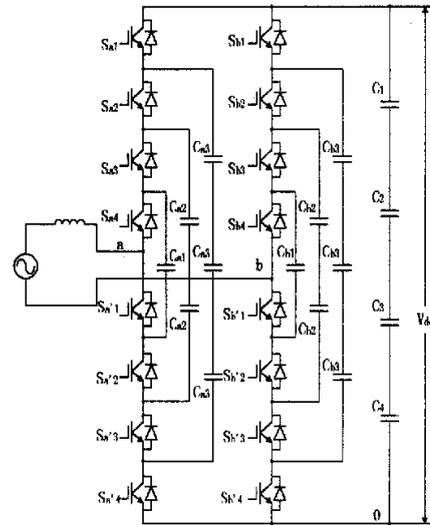


图 1-3 五电平电容箝位型变流器

箝位型变流器可分为二极管箝位型变流器如图 1-2 和电容箝位型变流器如图 1-3:

一个  $m$  电平的二极管箝位型变流器直流侧由  $(m-1)$  个电容串联产生  $m$  电平的相电压，每个电容上的电压为  $1/m$  电源电压。通过开关器件的不同组合使输出电压产生不同的电平<sup>[2]</sup>。二极管箝位型变流器同时具有多重化和脉宽调制的优点：输出功率大，器件开关频率低，等效开关频率高，交流侧不需要变压器连接，动态响应好，传输带宽较宽等。这种变流器的不足之处在于<sup>[3]</sup>：

(1) 箝位二极管的耐压要求较高，数量庞大。对于  $m$  电平变流器，每相所需的二极管数量为  $(m-1) \times (m-2)$ ，大大提高了装置成本，而且在线路安装方面也造成相当的困难，因此在实际应用中一般限于 7 电平或 9 电平以下变流器；

(2) 开关器件的导通负荷不一致。导通负荷不平衡导致开关器件的电流等级不同。在电路中，如果按导通负荷最严重的情况设计器件的电流等级，则每相有  $2 \times (m-2)$  个外层器件的电流等级过大，造成浪费；

(3) 在变流器进行有功功率传送的时候，直流侧各电容的充放电时间各不相同，造成电容电压不平衡，增加了系统动态控制难度。

电容箝位型多电平变流器的电平定义与二极管箝位型相同。假定每个电容的电压等级与开关器件相同，那么一个  $m$  电平变流器在直流侧需要  $(m-1)$  个电容<sup>[4]</sup>。该种拓扑变流器的电平合成的自由度和灵活性高于二极管多电平变流器。优点是开关方式灵活、对功率器件保护能力较强；既能控制有功功率，又能控制无功功率，适于高压直流输电系统等。该电路拓扑主要缺点是<sup>[5]</sup>：

(1) 需要大量的存储电容。如果所有电容器的电压等级都与主功率器件的相同，那么一个  $m$  电平的电容器位型多电平变流器每相桥臂需要  $(m-1) \times (m-2)/2$  个辅助电容，直流侧上还需要  $(m-1)$  个电容；

(2) 为了使电容的充放电保持平衡，对于中间值电平需要采用不同的开关组合。增加了系统控制的复杂性和器件的开关频率并导致开关损耗增大；

(3) 电容箝位型变流器也存在导通负荷不一致的问题。

### 1.1.1.3 级联型多电平变流器

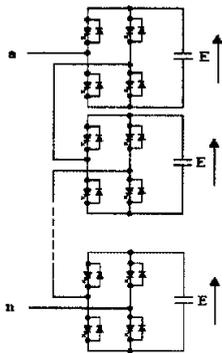
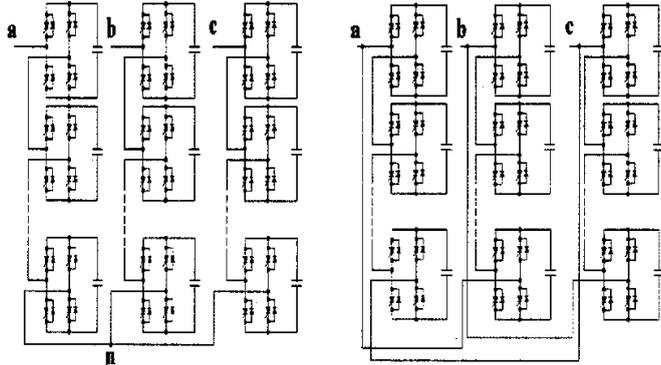


图 1-4 单相级联型多电平变流器拓扑结构



(1) Y型连接图 (2) Δ型连接图  
图 1-5 三相级联型多电平变流器拓扑结构

级联型多电平变流器，采用若干个低压变流单元直接级联的方式实现高压输出<sup>[6] [7]</sup>。这种拓扑结构组成的电压源型变频器由美国罗宾康公司发明并申请专利，取名为完美无谐波变频器。图 1-4 所示是带有独立直流源的单相级联型多电平变流器。由三个单相级联变流器，通过 Y 型或 Δ 型连接，可构成三相级联变流器，如图 1-5 所示。级联型拓扑每个独立直流源与一个变流器单元相连，每个变流器单元可以产生一个三电平输出电压，这样避免了大量箝位二极管或电容的使用；交流侧的端电压通过级联方式叠加，形成多电平输出电压。由  $m$  个变流器单元级联而成的多电平变流器的电平数为  $(2m+1)$ 。级联型多电平变流器有以下特点<sup>[8]</sup>：

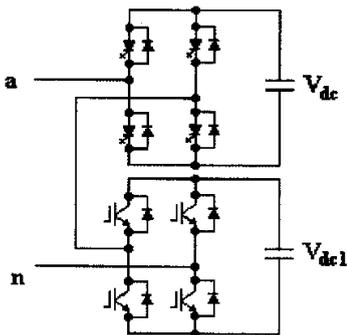


图 1-6 改进级联型多电平变流器

- (1) 级联型多电平变流器获得同样电平数输出时，使用的元器件最少，容易实现电平数较高的输出；
- (2) 每个变流器单元的结构相同，容易进行模块化设计和封装；
- (3) 因为各变流器单元之间相对独立，所以可以较容易地引入软开关控制；
- (4) 直流侧的均压比较容易实现；

(5) 各变流器单元的工作负荷一致，对于三相系统易于分相控制；但对于有功功率变换场合，需要独立直流源，从而使其应用在某些领域受到限制。

若将各独立电压源的电压值分别取为  $E$ 、 $2E$ 、 $4E \cdots \cdots 2^{m-1}E$ ，则其输出的电平数就大幅度地增加到  $2^{m+1}-1$ ，即所谓改进的级联型多电平变流器<sup>[9]</sup> (Modified Cascade Multilevel Converter)。图 1-6 为采用改进的两个单元的级联型多电平结构的 GTO 和 IGBT 混合型逆变电路，其中  $V_{dc} = 2V_{dc1} = 2E$ 。该电路的输出电压为 7 电平。工作时 GTO 单元承受高压，IGBT 单元承受低压。将波形合成策略与 PWM 策略相结合，可以得到一种非常适合于上述电路的控制策略：较高电压的 GTO 单元以输出电压的基波频率为切换频率，而较低电压的 IGBT 单元则在较高的频率下进行 PWM 控制，以此来改善输出波形<sup>[10][11]</sup>。如果令图 1-6 中的  $V_{dc} = 3V_{dc1} = 3E$ ，则在输出侧可得到 9 电平的输出电压。推广到  $m$  个单元的级联多电平变流器，各独立直流源的电压值分别为  $E$ 、 $3E$ 、 $9E \cdots \cdots 3^{m-1}E$ ，则输出电平的电平数可以达到  $3^m$ 。文献[10]中对相临两单元间独立直流源的电压值的比做出了分析，结论是这个电压比的最大值就是 3，即  $V_{dc} = 3V_{dc1}$ ，超越这个电压比，将出现电平飞跃 2 个台阶以上的情形，没有实际的意义。混合型级联多电平变流器和具有自均压能力的多电平变流器，结构和控制趋于复杂，有待进一步研究。

### 1.1.2 多电平调制策略

伴随着大功率拓扑的发展, 开关的控制策略也随之发展, 至今广泛应用的开关策略有以下几种: 阶梯波脉宽调制、基于载波组的 PWM 技术、多电平电压空间矢量调制、载波相移 PWM 技术等。下面结合几种变流器的拓扑结构从变流器输出的谐波特性、器件的开关频率、动态输出特性及传输带宽等方面分析各种调制方法的优劣。

#### 1.1.2.1 阶梯波脉宽调制方法

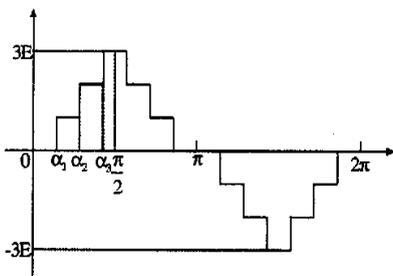


图 1-7 七电平输出电压波形

阶梯波脉宽调制是用阶梯波来逼近正弦波<sup>[12]</sup>，如图 1-7 所示级联七电平输出电压波形。这种策略的优点是实现简单、开关频率最低（等于基波频率），因而开关损耗最小，器件的主导损耗是通态损耗。通过调节直流母线电压或移相角来实现输出电压的调节，此外，还可以通过选择每一电平持续时间的长短，来实现低次谐波的消除和抑制。可将特定次谐波消除 PWM 技术

SHE-PWM (Selected Harmonic Elimination PWM) 引入多电平变流器，利用该算法计算出开关角度，消除选定的谐波分量。基于 SHE 的阶梯波脉宽调制技术能够直接消除系统中指定次数的谐波分量，效果直观、原理清晰。随着电平数的增加，输出电压波形的谐波畸变将更小，使得逆变器输出不接滤波装置和变压器而直接接负载成为可能。

但这种调制方法缺点也很明显<sup>[13]</sup>：

- (1) 开关角方程组是一个高阶非线性超越方程组。求解这个方程组需要大量的浮点数运算，即使采用优化算法（如 Newton-Raphson 法等）使用 DSP 等高速运算芯片也难以达到实时控制，一般需要通过离线查表法完成控制，这显然不能适应一些需要快速动态响应的应用场合，如 APF、高动态性能交流电机变频调速（如矢量控制系统）等领域；
- (2) 消除谐波的自由度受到输出电平数的限制。 $n$  电平变流器能够控制的谐波数目为  $(n-3)/2$ ；
- (3) 由于每一级电平都采用与基波频率相同的方波控制，因而这种调制策略下的传输带宽较窄，不适用于对信号传输性能要求较高的场合，如 APF、功率音频放大器等。总的说来，这种调制策略主要应用在一些对输出电压调节要求不高的时候，如静止无功补偿器等。

### 1.1.2.2 基于载波组的 PWM 调制技术

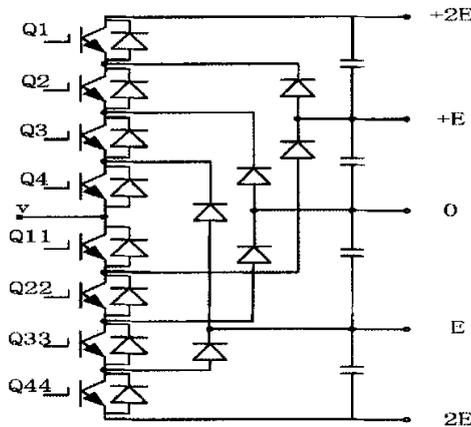
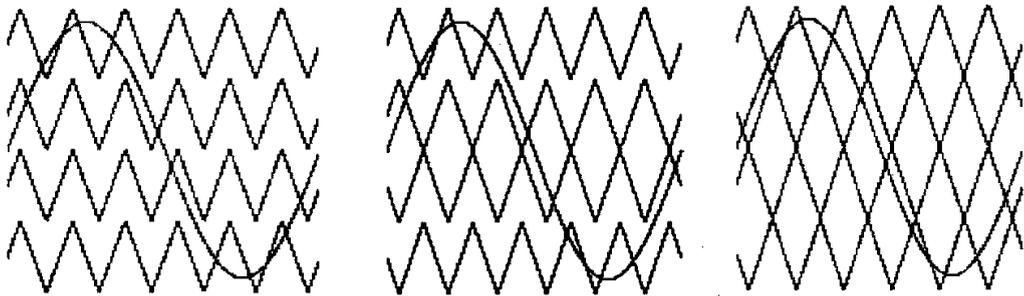


图 1-8 五电平二极管箝位型变流器

基于载波组的 PWM 技术原理简单、实现方便而且普遍适用于各种多电平变流器，在目前是比较常用的多电平变流器开关调制策略<sup>[14]</sup>。这种控制方式特别适用于二极管箝位型多电平变流器（例如图 1-8 的单相五电平二极管箝位型变流器）。基本原理是：在  $N$  电平变流器中， $N-1$  个具有相同频率和幅值的三角载波并排放置，形成载波组；以载波组的水平中线作为参考零线，共同的调制波与其相交，得到相应的开关信号。根据三角载波的相位，这种控制方式可以有三种不同的形式<sup>[15]</sup>，如图 1-9 示。在该控制方式下，变流器的输出特性良好，器件的开关频率较低而等效开关频率较高，输入输出成线性关系，能够满足一定的带宽，对于奇数电平变流器，方法 B 输出不含有载波谐波；当提高频率调制比时候，方法 C 的 SPWM 输出频谱最干净，至于调制波，可以采用标准正弦波，也可以采用谐波注入正弦波。该方法也存在以下不足<sup>[16]</sup>：器件的导通负荷不一致，尤其在深调制的情况下，处于变流器

外围的功率器件几乎不导通，而内部的功率器件开关频率较高；在频率调制率比较低时候，方法 A 在载波谐波处谐波幅值大，边带较小；对于 A、B 型方案载波利用率不高。



(a) A 型方案 (b) B 型方案 (c) C 型方案

图 1-9 三种不同形式的基于载波组的 PWM 调制方法

### 1.1.2.3 多电平电压空间矢量调制策略

这是常规的二电平电压空间矢量调制技术(SVM)在多电平变流器上的扩展应用<sup>[17]</sup>。常规的二电平 SVM 技术是根据不同的开关组合方式，生成八个电压空间矢量，其中六个非零矢量，两个为零矢量；在空间旋转坐标系下，对于任意时刻的矢量由相邻的两个非零矢量合成，通过在一个调制周期内对两个非零矢量和零矢量的作用时间进行优化安排，得到 PWM 输出波形。对于多电平 SVM 技术，其基本原理与二电平 SVM 技术相似，只是开关组合的方式随着电平数的增加而有所增加，如图 1-10 所示，其规律是：对于  $m$  电平变流器，其电压空间矢量的数目为  $m^3$  个，当然这些电平中有些在空间上是重合的<sup>[18]</sup>。比如对于三电平变流器，如图 1-11 所示，其电压空间矢量的数目为 27 个，其中独立的电压空间矢量为 19 个，一个零矢量，18 个非零矢量，在空间旋转坐标下，对于任意时刻的矢量由相邻的三个非零矢量合成，在一个开关调制周期内对三个非零矢量与零矢量的作用时间进行优化安排，得到 PWM 输出波形。

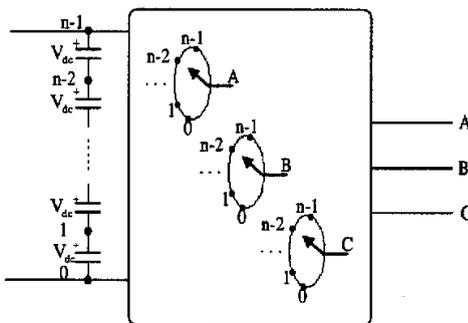


图 1-10 三相  $n$  电平变流器的基本结构图

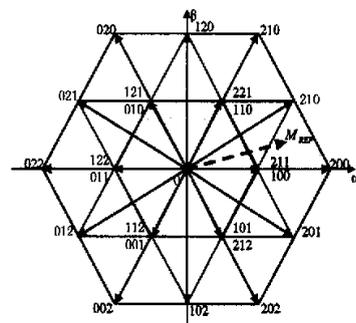


图 1-11 三电平变流器的基本电压矢量图

多电平 SVM 技术的着眼点是基本开关矢量的数目<sup>[19]</sup>，随着电平数的增加，基本开关矢量的数目也就增加，使得其组合方式更加丰富，通过基本电压空间矢量的不同组合方式，达到消除和抑制谐波的目的。这种调制技术的不足在于<sup>[20]</sup>：由于电平数与电压空间矢量的

数目之间是立方关系，所以在电平数较高时受到很大限制，因此目前多电平 SVM 技术的研究一般只限于五电平以下；多电平 SVM 下器件的开关负荷不均衡也是一个严重的问题，在深调制区，必须采取新的调制策略，否则不能实现开关负荷均衡。

### 1.1.2.4 载波相移 PWM 技术

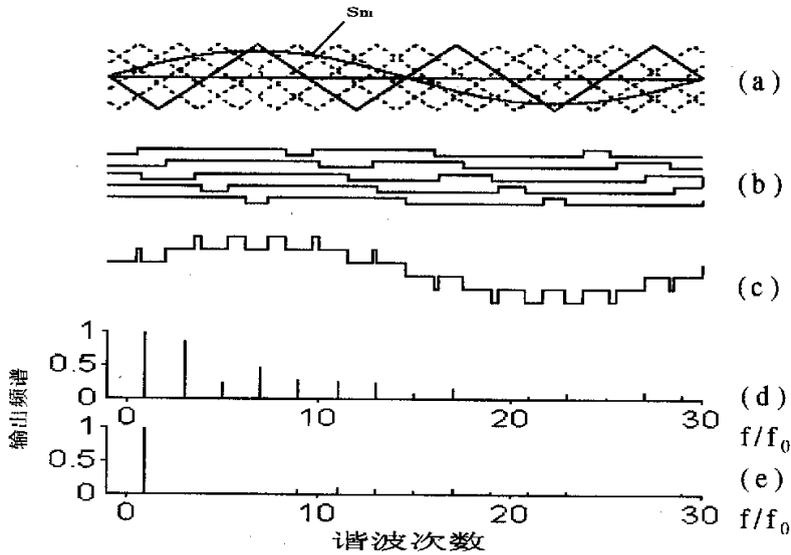


图 1-12 载波相移 SPWM 调制波形原理（五电平）

载波相移 PWM 技术是基于组合变流器提出的开关调制策略，在级联型多电平变流器上应用也有独特优势。以载波相移 SPWM 技术(Carrier Phase-shifted SPWM, 简称为 CPS-SPWM)为例，其基本思想为<sup>[21] [22]</sup>：在变流器单元数为  $L_x$  的电压型 SPWM 组合装置中，各变流器单元采用共同的调制波信号  $s_m$ ，其频率为  $k_m$ 。各变流器单元的三角载波频率为  $k_c$ ，将各三角载波的相位相互错开三角载波周期的  $1/L_x$ ，如图 1-12 (a)所示(变流器单元数  $L_x=5$ ，SPWM 频率调制比  $k_c/k_m=3$ ，幅度调制比  $m_a=0.8$ )。图 1-12 (b)所示的  $L_x$  个波形分别为  $L_x$  个变流器单元的输出，上述  $L_x$  个变流器单元交流输出叠加形成整个组合变流器装置的输出波形，如图 1-12 (c)所示。对输出进行频谱分析，变流器单元之一的输出波形频谱如图 1-12 (d)所示，叠加后整个组合变流器输出波形频谱如图 1-12 (e)。比较图 1-12 (d)和图 1-12 (e)可见各变流器单元输出叠加后形成的组合变流器总输出波形中谐波得到了有效的抑制。

(1) 相移式 SHE-PWM 技术<sup>[23]</sup> (Phase-shifted Selected Harmonic Elimination PWM)。这种控制方式以传统的定次谐波消除法 PWM 为基础，在开关角计算中加入预置相移量，将计算得到的不同相移量的开关角分别用于不同的变流器单元，使得叠加得到的交流侧电压、电流达到谐波最优。

(2) 错时采样 SVM 技术(Sample Time Staggered SVM, 下简称 STS-SVM)<sup>[24]</sup>。组合变流器 STS-SVM 技术的调制方法，简而言之就是将各变流器单元的采样时间错开。具体地讲，在组合变流器中， $N$  个变流器单元在相同频率调制比  $k$ 、幅度调制比  $m_r$  下，进行 SVM 调制；

各变流器单元采样时间依次相位差为  $2\pi/(N*k)$ 。STS-SVM 技术比较于载波相移 SPWM 技术，有电压利用率高，开关频率小，易于数字实现等特点。

总的来说，载波相移 PWM 技术具有以下特点<sup>[25]</sup>：(1)各变流器单元的开关频率低，可采用特大功率电力电子器件 GTO 等组成大功率变流装置，并降低器件开关损耗。(2)输出谐波小，可大大减小滤波器的体积、尺寸。(3)等效开关频率高，传输频带宽，传输线性好，容易引入一些优秀的控制方法，如滞环电流控制、单周控制等。(4)各变流器单元的电路结构完全相同，易于模块化实现，开关器件的工作负荷均衡一致，特别适合于图 1-4 所示的级联 H 桥单元化拓扑结构。与基于 SHE 的阶梯波脉宽调制技术相比，载波相移 PWM 技术消除和抑制谐波的能力不受输出电平数的限制，能够方便地实现实时控制，可以应用在对系统有快速反应要求的场合中。STS-SVM 技术是对各桥臂分别进行调制，并不直接控制总的输出的电压矢量，在对应于同一电压矢量的不同开关状态的选择上完全是自动的。而在多电平 SVM 中这种选择是非常复杂的。载波相移 PWM 技术在调制过程中，只需保证各开关器件调制信号本身的对称性和均衡性，就能保证总的开关负荷的均衡性和总输出波形的对称性。因而，与多电平 SVM 技术和基于载波组的 PWM 技术相比，载波相移 PWM 具有开关负荷均衡、相同等效开关频率时输出低次谐波成分少等优点。

## 小结

由上面分析可见，在多电平众多电路拓扑中，级联 H 桥拓扑结构简单，直流侧容易均流，适合载波相移 SPWM、SVM 等多种优秀的调制方法和单周控制，无差拍控制等先进的控制方法，因而，在实际工程中有很大的应用前景。本文实现多电平变流器的主电路拓扑正是选择的级联 H 桥结构。

通过比较级联型多电平变流器的各种开关调制方法，可以得到基于载波相移 SPWM 的调制策略有几个突出优点：

- (1) 控制算法简单，适用于快速实时控制场合；
- (2) 由于采用各桥臂分别调制，因而对变流器总体输出电压矢量的安排是自动完成的，只要保证各桥臂触发波形自身的对称性和均衡性，就可以保证变流器整体的开关负荷的均衡，容易实现均压控制；
- (3) 单个开关频率低，开关损耗、EMI 小，适用于大功率慢速器件（如 GTO 等）；
- (4) 易于应用优秀的控制策略，如：滞环电流控制<sup>[26]</sup>，单周控制等<sup>[27]</sup>。

本文工作正是基于载波相移 SPWM 调制策略结合级联 H 桥拓扑进行的。

## 1.2 数字控制器件在电力电子中的应用

电力电子的发展离不开控制学，控制学的发展离不开控制器件。从模拟控制系统到数字控制系统是控制学发展的一大飞跃。数字控制系统在抗干扰，控制的精确度，实时性，

实现算法的复杂程度都远远优于模拟系统。本文旨在对将最新的数字控制器件构成系统应用于电力电子装置做初步探索。

### 1.2.1 微处理芯片的发展

微控制系统的发展可以分为四个阶段<sup>[28][29][30]</sup>：

第一阶段：单芯片微机形成阶段

1976年，Intel公司推出了MCS-48系列单片机。8位CPU、1K字节ROM、64字节RAM、27根I/O线和1个8位定时/计数器。存储器容量较小，寻址范围小（不大于4K），无串行接口，指令系统功能不强。

第二阶段：性能完善提高阶段

1980年，Intel公司推出了MCS-51系列单片机：8位CPU、4K字节ROM、128字节RAM、4个8位并口、1个全双工串行口、2个16位定时/计数器。寻址范围64K，并有控制功能较强的布尔处理器。该芯片结构体系完善，性能已大大提高，面向控制的特点进一步突出。

第三阶段：微控制器阶段

1982年，Intel推出MCS-96系列单片机。芯片内集成16位CPU、8K字节ROM、232字节RAM、5个8位并口、1个全双工串行口、2个16位定时/计数器。寻址范围64K。片上还有8路10位ADC、1路PWM输出及高速I/O部件等。片内面向测控系统外围电路增强，使单片机可以方便灵活地用于复杂的自动测控系统及设备。

第四阶段：专用微控制芯片DSP阶段

1982年，美国德州器（Ti）公司推出世界第一代DSP芯片TMS32010。随后，AD公司、Motorola公司也相继推出各自的DSP芯片。经过十几年的发展，DSP器件在高速度、可编程、小型化、低功耗等方面都有了长足的发展，单片DSP芯片最快每秒可完成16亿次（1600MIPS，每秒1600兆次指令）的运算。由电子行业著名的摩尔定律，DSP器件在性能不断提高的同时价格也不断下降，这些年来约每18个月性能提高一倍，而价格下降一半。DSP器件应用面从起初的局限于军工，航空航天等领域，扩展到今天的诸多电子行业及消费类电子产品中。

DSP器件的生命力主要取决于它在体系结构上不同于其他单片机的特点<sup>[31][32]</sup>：

(1) 多总线结构：普通MCU基于冯诺伊曼结构，只具有单一总线，SRAM或DRAM都映射到同一地址空间，总线宽度与CPU类匹配，取指令和取数据都通过一条总线完成。因此必须分时进行，在高速运算时，往往在传输通道上会出现瓶颈效应。DSP内部一般采用的是哈佛（Harvard）体系结构，它在片内至少有多套总线，可允许同时获取指令字（来自程序存储器）和操作数（来自数据存储器），而互不干扰，为流水线设计提供了硬件基础。

(2) 多处理单元：DSP内部一般都集成多个处理单元，如硬件乘法器（MUL）、累加器（ACC）、算术逻辑单元（ALU）、辅助算术单元（ARAU）以及DMA控制器等。它们都可以在一个指令周期内执行完计算任务，这种运算往往是同时完成的，因而DSP可以单周期完

成连续的乘加运算这种结构特别适用于滤波器的设计，如 IIR 和 FIR。DSP 的这种多处理单元结构还表现在将一些特殊算法作成硬件以提高速度，典型的有 FFT 的位反转寻址，语音的 A 律、 $\mu$  律算法等。

(3) 流水线结构：要执行一条指令，要完成取指令、译码、取操作数和执行四个阶段。流水线结构使得 DSP 在这几个阶段执行过程中是重叠的，这样可以将指令周期的时间降低到最小值。正是利用这种流水线机制，保证 DSP 可以在单周期内能够完成乘法和加法运算。也正是这种结构，决定了 DSP 的指令基本上都是单周期指令。

(4) 加载引导 (Boot loader) 工作方式：对高速 DSP 来讲，将存放在慢速非易失性存储器中的程序加载到高速静态 RAM 中运行的工作方式是制造商必须提供的一种资源。

(5) JTAG 接口：随着 DSP 芯片速度的提高，传统的并行仿真方式已越来越显得困难。1991 年 IEEE1149.1 (即 JTAG 接口) 标准的公布十万门以上的 IC 一般都集成 JTAG 接口，满足了 IC 制造商的措施需求，1993 年 IEEE. 1149.5 对 JTAG 接口标准作了修正，为 5 线接口。JTAG 接口为用户对 DSP 的仿真提供了便捷的串行工作方式。

正是由于 DSP 在硬件上对运算做了优化，使得在实时控制要求较高的场合 DSP 能够脱颖而出，担当重任。从应用角度看：DSP 器件是运算密集型的，而单片机是事务密集型的，DSP 器件可以取代单片机，单片机却不能取代 DSP。

随着不断有先进的控制技术应用于实际系统，如矢量控制，神经网络，遗传算法等控制方法均要求处理器有大量的数据运算能力，而对控制系统的实时性要求却日益增加；此外，用户对电力电子系统的体积、功耗、稳定性等也有较严格的要求。因而，DSP 取代单片机在电力电子控制系统中的广泛应用成为必然。事实上，在电机控制方面，国外众多的微控制器生产厂家推出了多种专门应用于电机控制的单片机和 DSP 芯片，如 8XC196MC、ADMC331 和 TMS320F24X，只需用一片这样的芯片就可以实现 PWM 波形输出、电流调节和速度调节，这是因为这些芯片与通用的微控制器相比在设计时已充分考虑到其在电力电子系统应用中所需要的各种功能，如 6 路 PWM 输出、死区实现和互锁、光码盘计数等，因而在外围嵌入了一些电机控制的专门电路，节省了 CPU 的内务操作时间<sup>[33]</sup>。

## 1.2.2 本课题所用 DSP 系统介绍

TMS320F2000 系列的 DSP 芯片已经广泛的应用于数字电机控制(DMC)、工业自动化(IA)、不间断电源(UPS)等电力电子的控制领域中。F24x 专为数字电机控制应用而设计，该芯片构成的系统结构框图如图 1-13:

F240x 将高性能的 DSP 内核和丰富的微控制器外设功能集于单片之中。DSP 内核为 16 位字长定点格式，采用外部 10 Mhz 晶振时通过内部可编程 PLL 选择最高执行速度达 40MIPS，芯片采用四级流水线工作，如此高的性能可以对非常复杂的控制算法进行实时运算。F2407 芯片跟本设计有关的主要特点有<sup>[33]</sup>：

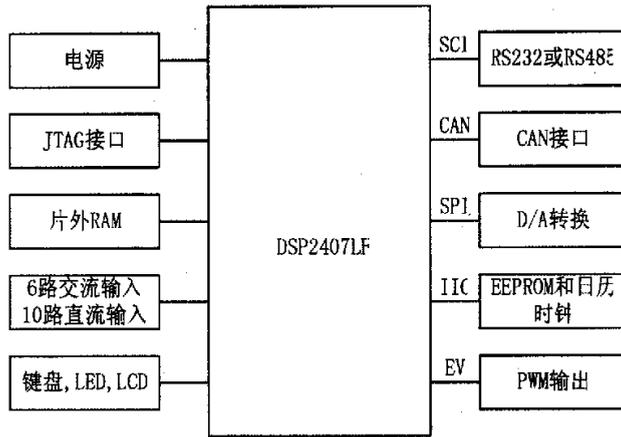


图 1-13 实验评估板框图

(1) 采用高性能静态 CMOS 技术, 使得供电电压降为 3.3V, 减小了控制器的功耗, 40MIPS 的指令执行速度和流水线工作模式使几乎所有的指令都可在 25ns 的单周期内完成, 这对于 APF 这样对实时性要求较高的应用提供了方便;

(2) 两个事件管理器模块 EVA 和 EVB, 每个包括:

- 两个 16 位通用定时器;
- 3 个具有死区功能的全比较单元;
- 3 个单比较单元;
- 3 个捕获单元, 其中两个具有直接连接正交编码器脉冲的能力;
- 16 通道 10 位 A/D 转换器, 最小转换时间 500ns, 可选择由两个事件管理器来触发的两个 8 通道输入 A/D 转换器或一个 16 通道输入的 A/D 转换器;
- 8 个 16 位脉宽调制(PWM)通道, 同时可以对两个三相变流器控制; PWM 的对称和非对称波形发生; 可编程的 PWM 死区控制以防止上下桥臂直通; 41 个可单独编程或多路复用的通用 I/O 引脚;

(3) 5 个外部中断 (电机驱动保护, 复位和两个可屏蔽中断)。

本实验系统的数字控制电路直接采用合众达公司提供的 2407LF 评估板, 如图 1-13 所示板上资源包括: TMS320F240 芯片, 128K 字的外扩 SRAM, 4 通道 12-bit 的 D/A 转换模块, RS-232 异步串口, JTAG 仿真接口等。

### 1.2.3 可编程逻辑器件介绍

在数字控制系统中, 高层处理算法的特点是所处理的数据量较低层算法少, 但算法的

控制结构复杂, 适于用运算速度快、寻址方式灵活、通信机制强大的 DSP 芯片来实现; 低层的信号预处理算法处理的数据量大, 对处理速度的要求高, 但运算有较多的逻辑结构, 算法相对简单, 适于用可编程逻辑器件进行硬件实现。因而, 在数字控制系统中 DSP 与可编程逻辑器件的结合成为趋势。DSP 与可编程逻辑器件结合最大的特点是结构灵活, 有较强的通用性, 适于模块化设计, 从而能够提高算法效率; 同时其开发周期较短, 系统易于维护和扩展。使得在实时控制中, DSP 与可编程逻辑器件系统能同时兼顾速度及灵活性。可编程逻辑器件的发展也可以分为四个阶段<sup>[34]</sup>:

第一阶段: 1970 年出现了 PROM, 它由全译码的与阵列和可编程的或阵列组成。由于阵列规模大、速度低, 因此它的主要用途是作为存储器;

第二阶段: 20 世纪 70 年代中期出现了可编程逻辑阵列(PLA—Programmable Logic Array)器件, 它由可编程的与阵列和可编程的或阵列组成, 虽然其阵列规模大大减少, 提高了芯片的利用率, 但由于编程复杂, 开发支持 PLA 的软件有一定难度, 因而也没有得到广泛的应用。20 世纪 70 年代末美国 MMI 公司率先推出了可编程阵列器件 PAL (Programmable Array Logic), 它由可编程的与阵列和固定的或阵列组成, 采用熔丝编程方式, 双极性工艺制造, 器件的工作速度很高。由于它结构种类多, 设计灵活, 因而首先得到普遍应用;

第三阶段: 20 世纪 80 年代初 Lattice 公司发明了通用阵列逻辑(GAL—Generic Array Logic)器件, 它在 PAL 的基础上进一步改进, 采用了输出逻辑宏单元(OLMC)的形式和  $E^2CMOS$  的工艺结构, 因而具有可擦除、可重复编程、数据可长期保存和可重新组合结构等优点。GAL 比 PAL 使用更加灵活, 它可以取代大部分的 SSI、MSI 和 PAL 器件, 所以在 20 世纪 80 年代得到了广泛应用。PAL 和 GAL 都属于低密度 PLD, 其结构简单, 设计灵活, 但规模小, 难以实现复杂的逻辑功能。20 世纪 80 年代末, 随着集成电路工艺水平的不断提高, PLD 突破了传统的单一结构, 向着高密度、高速度、低功耗以及结构体系更灵活、使用范围更宽的方向发展, 因而相继出现了各种不同结构的高密度 PLD。

第四阶段: 1985 年 Xilinx 公司首家推出了现场可编程逻辑器件 (FPGA—Field Programmable Gate Array), 它是一种新型的高密度 PLD, 采用 CMOS-SRAM 工艺制作, 其结构和阵列型 PLD 不同, 内部由许多独立的可编程逻辑模块组成, 逻辑块之间可以灵活地相互连接, 具有密度高、编程速度快、设计灵活和可再配置等许多优点。20 世纪 90 年代, Altera 公司推出新的 PLD 型号 EPM9560 称之为复杂可编程逻辑器件 CPLD (Complex Programmable Logic Array), 其单密度达到了 12000 个可用门, 包含多达 50 个宏单元, 216 个 I/O 引脚, 并能提供 15ns 的脚间延时, 16 位技术的最高工作频率为 118MHz。CPLD 的集成度最多可达到数百万等效门, 最高工作速度已达 180MHz。在系统可编程技术、边界扫描技术的出现也使器件在编程技术和测试技术及系统可重构技术方面有了很快的发展<sup>[35]</sup>。

目前世界各著名半导体公司, 如 Xilinx、Altera、Lattice 和 AMD Atmel 等公司, 均提供不同类型的 CPLD、EPLD 产品, 众多公司的竞争促进了可编程集成电路技术的提高, 使

其性能不断完善,产品日益丰富。可以预计,可编程器件将在结构、密度、功能、速度和性能等各方面得到进一步发展,并在现代电子系统的各个方面得到更广泛的应用。

CPLD 有以下主要特点<sup>[36]</sup>:

- 速度快:采用并行体系结构,加快了运算进程,运行的时钟可达一百多兆;
- 灵活性:可重复编程,I/O 口可重新配置。系统升级方便、成本低,开发周期短;
- 设计开发简单:HDL (Hardware Description Language) 语言、VHDL 语言、Verilog 语言,可降低硬件电路设计的难度;“自顶向下”(Top-Down)逐层进行设计描述、综合、优化、仿真与验证;可以利用各 CPLD 公司提供的功能内核(IP 核),使设计更加快速和灵活。

20 世纪 90 年代以来,微电子技术以惊人的速度发展,其工艺水平已达到深亚微米级,在一个芯片上可集成数百万至上千万只晶体管,对 EDA 系统提出了更高的要求,大大促进了 EDA 技术的发展。20 世纪 90 年代以后,主要出现高级语言描述,系统仿真和综合技术为特征的第三代 EDA 技术,极大提高了系统设计效率,而且使设计者摆脱了大量的辅助性工作,将精力集中于创造性的方案与概念的构思上。采用硬件描述语言 HDL 来描述 10 万门以上的设计,并形成了 VHDL 和 Verilog HDL 两种国际标准硬件描述语言<sup>[37]</sup>。它们均支持不同层次的描述,使得复杂 IC 的描述规范化,便于传递、交流、保存与修改,并可建立独立的工艺设计文档,便于设计重用。建立并行设计工程框架结构的集成化设计环境,以适用当今 ASIC 规模大而复杂,数字与模拟电路并存,硬件与软件设计并存,产品上市速度快的特点。

本课题在研究中采用型号为 EP1K30TC144-3 的 CPLD 芯片是 Altera 公司在 2000 年底新推出的一种基于查找表结构的低价产品。采用 SRAM 工艺,具有高性能、低价格特性。工作频率可以达到上百兆赫兹。它带嵌入式存储块,与 FLEX10K 系列的结构类似。该芯片具有 3 万逻辑门,管脚 144 个,其中有 102 个 I/O 口,芯片供电电源电压为 2.5V, I/O 口的供电电源电压为 3.3V,与 DSP 的 I/O 口电平完全兼容,可以直接连接。

Altera 的可编程逻辑器件能达到最高性能和集成度,不仅仅是因为采用了先进的工艺和全新的逻辑结构,还得益于 Altera 提供了现代的设计工具 MAX+PLUSII。这一软件是一种与平台无关、与结构无关的设计环境,它使设计者能方便的进行输入、快速处理器件和编程<sup>[38][39]</sup>。其操作环境具有开发周期短,易学,易用,支持符合工业标准的其他 EDA 设计工具的特点:

(1) “自顶向下”的设计方法:首先从系统设计入手,在顶层进行功能方框图的划分和结构的设计,在方框图一级进行仿真、纠错,并用硬件描述语言对高层次的系统行为进行描述,在系统一级进行验证。最后用综合优化工具生成具体门电路的网表,对应物理级的印刷电路板或专用集成电路;

(2) 支持多种输入方式: MAX+PLUS II 的设计可以是图形输入、文本输入或波形输入。图形输入简明直观, 便于顶层设计。文本输入支持 VHDL 和 Verilog HDL 两种 IEEE 标准硬件描述语言, 可以跨平台编译。波形输入便于时序逻辑仿真和纠错;

(3) 面向对象: 使用 MAX+PLUS II, 设计者无需精通器件内部的复杂结构, 就可在所选的 CPLD 器件内物理地实现所需要的逻辑。由于有关结构的详细内容已封装入开发工具, 设计者不需手工设计自己的设计, 因此设计周期大为缩短。

MAX+PLUS II 的编译器可以将设计输入文件自动生成用于器件编程、波形仿真以及延时分析等所需的数据文件, 并可通过仿真器和时延分析器进行设计仿真调试以及器件编程等工作。使用 MAX+PLUS II, 设计者无需精通器件内部的复杂结构, 就可在所选的 CPLD 器件内物理地实现所需要的逻辑。由于有关结构的详细知识已装入开发工具, 设计者不需手工设计, 因此设计速度非常快。

### 1.3 本文研究的内容

本课题研究的数字控制多电平变流器，吸收了多电平拓扑与调制策略的精华，结合现代最先进的数字控制处理器，搭建软、硬件平台。课题采用级联 H 桥拓扑，CPS-SPWM 调制策略实现五电平 APF 样机，取得理想的实验结果，同时完成了浙江省教育厅科研计划项目 (NO:20040145)。

本文研究内容如下：

(1) 分析了载波相移技术的对称调制方案在级联多电平变流器中的应用，以单片 LF2407DSP 实现单相五电平脉冲输出。

(2) 从采样方法对多电平变流器输出的谐波含量的影响角度，提出了非对称规则采样在多电平变流器控制中的数字实现方法，为非对称规则采样在多电平变流器中的应用提供了有力的实验依据；

(3) 在学习前人的基础上搭建了基于 DSP+CPLD 硬件的数字控制平台，在后续实验中得到成功应用；

(4) 用 DSP+CPLD 系统实现各种波形的五电平、七电平、九电平采样、计算得到正确的控制脉冲输出，从输出波形总谐波畸变率和带宽方面进行了分析和比较；

(5) 对单相五电平变流器进行数字 PI 闭环控制，并成功应用到 APF 样机中；

(6) 对多电平的死区及数字补偿进行了理论分析，对三电平 APF 的死区补偿实验进行验证，取得较好效果；

(7) 研究了通过 CPLD 产生三相多路 SPWM 控制脉冲的方法，特别对 DSP 与 CPLD 的异步并行数据传输进行了研究，解决了以往数字控制系统中断时钟不能同步这一难点问题。对在 CPLD 中产生死区的各种方法进行了分析与对比；

(8) 对 DSP 与 CPLD 的虚拟串行通信方式进行了初步研究，在减少功率回路对控制器的电磁干扰方面有积极作用。

# 第二章 CPS-SPWM 技术和级联 H 桥多电平变流器分析

## 2.1 CPS-SPWM 调制方法分析

### 2.1.1 CPS-SPWM 调制方法基本原理

下面以组合变流器为例介绍 CPS-SPWM 技术的基本思想<sup>[40][41][42]</sup>；以图 1-1(a)所示的组合变流器中，设变流器单元数为  $L_x$ ，各变流器单元采用共同的调制波信号  $s_m$ ，其频率为  $k_m$ 。各变流器单元的三角载波频率为  $k_c$ ，将各三角载波的相位相互错开三角载波周期的  $1/L_x$ ，如图 2-1(a)所示(变流器单元数  $L_x=5$ ，SPWM 频率调制比  $k_c/k_m=5$ ，幅度调制比  $m_a=0.8$ )。图 2-1(b)所示的  $L_x$  个波形分别为  $L_x$  个变流器单元的输出，上述  $L_x$  个变流器单元交流输出叠加形成整个组合变流器装置的输出波形，如图 2-1(c)所示。

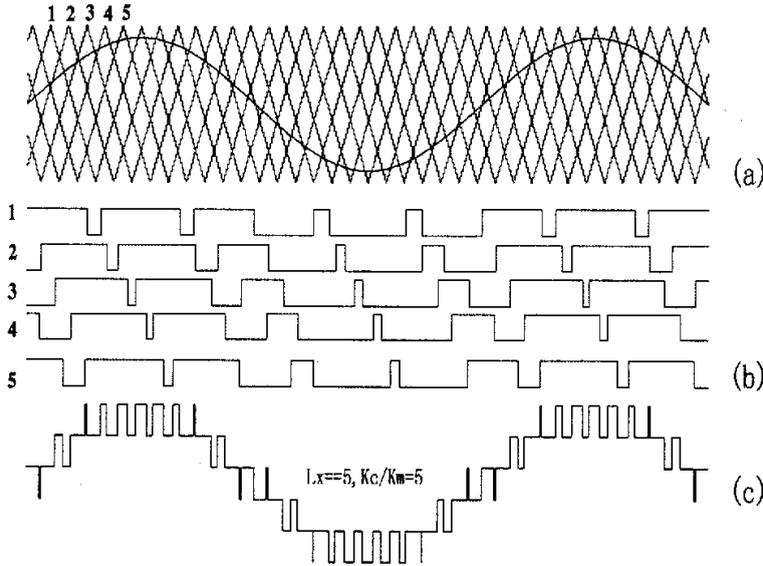


图 2-1 CPS-SPWM 调制原理

在图 2-1 中，假设：调制波信号为  $M(t) = Q_{km} * \cos(\omega_m t + \varphi_{km})$ ，其中  $Q_{km}$  为调制波幅值， $\varphi_{km}$  为调制波相位。有  $L_x$  个二逻辑 SPWM 变流器单元，各变流器单元的输出傅立叶级数展开式

的差别, 仅仅在三角载波的初始相位角的不同, 其中, 第  $L$  个三角载波初始相位为  $\phi_{Lc} = \phi_c + (2\pi L/L_x)$ , 输出波形的双重傅立叶级数展开为:

$$F_L(t) = \frac{2Q_{km}E}{\pi} \cdot \cos(\omega_m t + \phi_{km}) + \sum_{m=1}^{\infty} \left(\frac{4E}{m\pi}\right) J_0(mQ_{km}) \sin\left(\frac{m\pi}{2}\right) \cdot \cos[m(\omega_c t + \phi_c + 2\pi L/L_x)] + \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\pm\infty} \left(\frac{4E}{m\pi}\right) J_n(mQ_{km}) \cdot \sin\left(\frac{m+n}{2}\pi\right) \cdot \cos[m \cdot (\omega_c t + \Phi_c + 2\pi L/L_x) + n \cdot (\omega_m t + \phi_{km})] \quad (2-1)$$

由这  $L_x$  个变流器单元输出波形叠加所得总输出波形傅立叶级数为:

$$F_T(t) = L_x \cdot \frac{2Q_{km}E}{\pi} \cdot \cos(\omega_m t + \phi_{km}) + \sum_{m=1}^{\infty} \left(\frac{4E}{m\pi}\right) J_0(mQ_{km}) \sin\left(\frac{m\pi}{2}\right) \cdot \sum_{L=0}^{L_x-1} \cos\left[m(\omega_c t + \phi_c) + \frac{2L\pi}{L_x}\right] + \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\pm\infty} \left(\frac{4E}{m\pi}\right) J_n(mQ_{km}) \cdot \sin\left(\frac{m+n}{2}\pi\right) \cdot \sum_{L=0}^{L_x-1} \cos\left[m(\omega_c t + \phi_c) + \frac{2L\pi}{L_x} + n \cdot (\omega_m t + \phi_m)\right] \quad (2-2)$$

将所有  $L_x$  个变流器单元的输出波形进行线性叠加后, 获得总的输出信号进行傅立叶级数展开还可以写为式(2-3) [7]:

$$F_T(t) = L_x \cdot \frac{2Q_{km}E}{\pi} \cdot \cos(\omega_m t + \phi_{km}) + \sum_{m=1}^{\infty} \left(\frac{4E}{m\pi}\right) J_0(mL_x Q_{km}) \sin\left(\frac{mL_x \pi}{2}\right) \cdot \cos[mL_x(\omega_c t + \phi_c)] + \sum_{m=1}^{\infty} \sum_{n=\pm 1}^{\pm\infty} \left(\frac{4E}{m\pi}\right) J_n(mL_x Q_{km}) \cdot \sin\left(\frac{mL_x + n}{2}\pi\right) \cdot \cos[mL_x(\omega_c t + \phi_c) + n \cdot (\omega_m t + \phi_{km})] \quad (2-3)$$

各个变流器单元有相同的调制波信号, 其幅值和相位分别为:

$$\begin{aligned} Q_{Lkm} &= Q_{km} \\ \phi_{Lkm} &= \phi_{km} \end{aligned} \quad (2-4)$$

该信号由如下几部分构成:

### 1. 基波分量:

当  $K = K_m$  时, 基波分量:

$$\begin{aligned} C_{TK} &= L_x \frac{2E}{\pi} Q_{km} \\ \varphi_{TK} &= \varphi_{km} \end{aligned} \quad (2-5)$$

## 2. 载波谐波:

当  $m = 1, 2, 3, \dots \infty$  时, 可得载波谐波:

$$C_{TK} = \frac{4E}{m\pi} J_0(mL_x Q_{Km}) \sin\left(\frac{mL_x \pi}{2}\right) \quad (2-6)$$

$$K = mL_x K_c$$

## 3. 边带谐波:

当  $m = 1, 2, 3, \dots \infty$ ,  $n = \pm 1, \pm 2, \dots \pm \infty$  时, 可得边带谐波:

$$C_{TK} = \frac{4E}{m\pi} J_n(mL_x Q_{Km}) \sin(mL_x + n) \frac{\pi}{2} \quad (2-7)$$

$$K = mL_x K_c + nK_m$$

以上  $J(\bullet)$  为贝塞尔函数。

分析(2-4)至(2-7), 可以得出 CPS-SPWM 信号具备下述三个特点:

(1) 基波分量是单个 SPWM 波形基波成分的  $L_x$  倍, 相位与调制波信号相同,

CPS-SPWM 在叠加后没有基波损失;

(2) 若  $mL_x$  为偶数时, CPS-SPWM 信号中将不含偶次谐波;

$mL_x + n$  为偶数时, 边带谐波不存在;

(3) 次数最低的谐波群出现在  $L_x K_c$  附近, 即 CPS-SPWM 可以在较低的器件开关频率下, 得到较高等效开关频率的输出, 输出波形的谐波特性也因而大大改善。

单个变流器输出 SPWM 信号中的载波谐波为:  $K = mK_c, m = 1, 2, 3, \dots \infty$ , 由式(2-6)可知, 多个变换器单元叠加输出的 CPS-SPWM 信号, 可以等效为一个高载波频率变换器输出的 SPWM 信号,  $L_x$  个变流器模块叠加输出 CPS-SPWM 信号中的载波谐波为:  $K = mL_x K_c, m = 1, 2, 3, \dots \infty$ , CPS-SPWM 信号的等效载波频率为:

$$K_{\text{eff}} = L_x K_c \quad (2-8)$$

图 2-2、图 2-3 分别给出了在  $L_x = 1, K_c/K_m = 18$  和  $L_x = 4, K_c/K_m = 18$  的条件下, 单个变流器单元输出的 SPWM 信号和组合变流器的 CPS-SPWM 信号的频谱图。可看出, 单个变流器输出的 SPWM 信号的最低次载波谐波出现在 18 次左右, 而 CPS-SPWM 出现在 72 次左右, 验证了等效开关频率提高为原来的四倍, 低于 72 次的谐波已基本被消除了。但是, 相移 SPWM 变流器的谐波幅值, 与载波频率为  $L_x \cdot k_c$  的单个变流器不同。其原因是相移 SPWM 技术是通过较低次谐波的相互抵消得到较高的等效载波频率, 而不是将谐波简单地向高次推移。

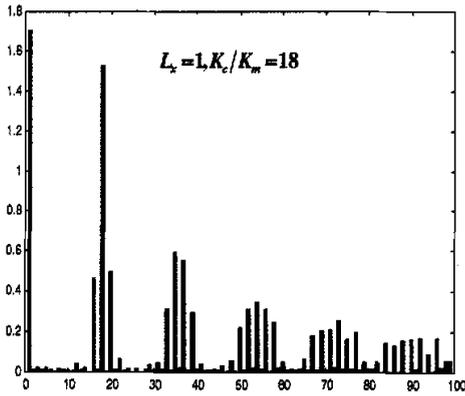


图 2-2 单个变流器输出 SPWM 信号的频谱

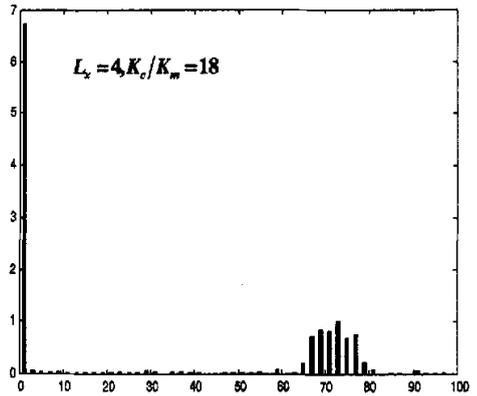


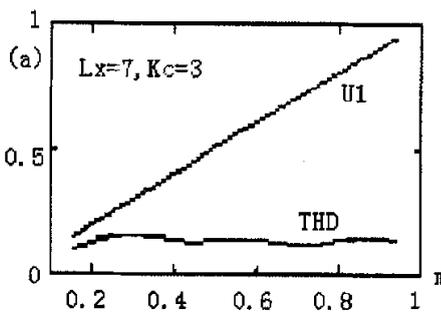
图 2-3 CPS-SPWM 信号的频谱

### 2.1.1.1 CPS-SPWM 调制方法的线性度

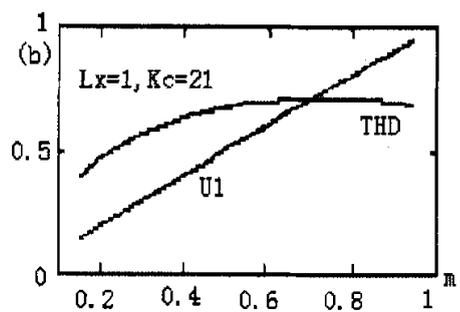
在阐述线性度之前,先引入一个波形畸变系数 THD(Total Harmonic Distortion)的概念,THD 的定义为:

$$THD = \frac{\sqrt{\sum_{i=2}^{\infty} U_i^2}}{U_1} \tag{2-9}$$

式中  $U_1$  和  $U_i$  分别为基波分量有效值和  $i$  次谐波有效值。一个系统或方法具有良好的线性度是指其输入和输出呈良好的线性关系,而干扰分量所占的比重不随输入的变化而变化。在 SPWM 技术中干扰主要来自于边带谐波和载波谐波,因而只要做到输出信号中基波的幅值与输入信号成正比,且 THD 基本上不随幅度调制比的变化而变化,就可以认为该方法具有良好的线性度。



(a) CPS-SPWM ( $L_x = 7, K_c = 3$ )



(b) 传统 SPWM ( $L_x = 1, K_c = 21$ )

图 2-4 传输线性度分析

图 2-4 所示为 SPWM 信号基波幅值、THD 与调制比  $m$  的关系曲线。为便于比较,这里给出了 CPS-SPWM ( $L_x = 7, K_c = 3$ ) 和 SPWM ( $L_x = 1, K_c = 21$ ) 两种情况。由图 2-4(a)、(b)可

见, CPS-SPWM 和 SPWM 的基波幅值和调制比  $m$  基本上成线性关系, 这说明可以调节  $m$  来线性调节输出基波的幅值, 幅度调制比  $m$  变化时, CPS-SPWM 的 THD 基本不变且数值很小, 而 SPWM 的 THD 却变化较大。表明 CPS-SPWM 技术具有比 SPWM 技术优良的线性度, 其线性度接近理想系统情况。

### 2.1.1.2 CPS-SPWM 调制方法的传输带宽

开关变换器可以等效为一个“功率放大器”。与普通的功率放大器相一致, 开关变换器的输入输出特性、传输带宽、交流增益等各项指标都直接影响着开关变换器本身的性能。对 APF 而言, 反馈量是谐波和无功补偿电流, 要对其进行闭环控制就要求 SPWM 变流器要有足够的传输带宽<sup>[43]</sup>。这对整个系统的补偿性能起着关键的作用, 为此本节对 CPS-SPWM 的传输带宽进行详尽分析。

所谓传输带宽是指在一定频率范围内, 信号与噪声相分离, 不受噪声干扰。在 SPWM 变流器中, 噪声来自调制过程中由于器件开关产生的载波谐波和边带谐波。对于 CPS-SPWM, 最低次谐波频率为  $L_x k_c - nk_m$ 。将最低次谐波幅值与基波幅值之比定义为噪声容限  $\beta$ , 由式(2-5)、式(2-6)、式(2-7)可得:

$$\beta = \frac{2J_n(L_x \cdot Q_{km})}{L_x \cdot Q_{km}} \quad (2-10)$$

由于最低次谐波频率必须大于传输信号的频率, 所以:

$$\begin{aligned} L_x k_c - nk_m &> k_m \\ k_m &< \frac{L_x k_c}{n+1} \end{aligned} \quad (2-11)$$

$k_m$  就是传输带宽, 通过 CPS-SPWM, 频率低于  $k_m$  的信号都可以被完整不失真的传输。根据这个定义可知:  $n$  越小则传输带宽越大。

对于具体的装置, 确定 CPS-SPWM 的传输带宽有以下三步<sup>[44]</sup>:

- a. 设定噪声容限, 只有小于容限的谐波才认为不干扰信号;
- b. 求出当变流器单元数为  $L_x$ 、幅度调制比为  $m$  时, 满足(2-10)式的阶数  $n$ , 记为  $n_{L_x}$ , 从而确定最低次谐波的频率;
- c. 最后, 由(2-11)式确定传输带宽。

为了讨论方便, 将传输带宽与等效开关频率之比定义为相对带宽  $BW_r$ , 即:

$$BW_r = \frac{k_m}{L_x \cdot k_c} = \frac{1}{N_{L_x} + 1} \quad (2-12)$$

根据(2-10)式,  $n_{L_x}$  与幅度调制比  $m$ 、变流器单元数  $L_x$  有关。当变流器单元数  $L_x$  不变时,  $n_{L_x}$  与幅度调制比  $m$  的关系如图 2-5 所示。可见  $m$  越大,  $n_{L_x}$  也越大, 而传输带宽也就越小; 在最大幅度调制比下的传输带宽是最小的。因此, 在参数设计时, 只要依据最大幅度调制

比来确定带宽就可以达到系统要求。

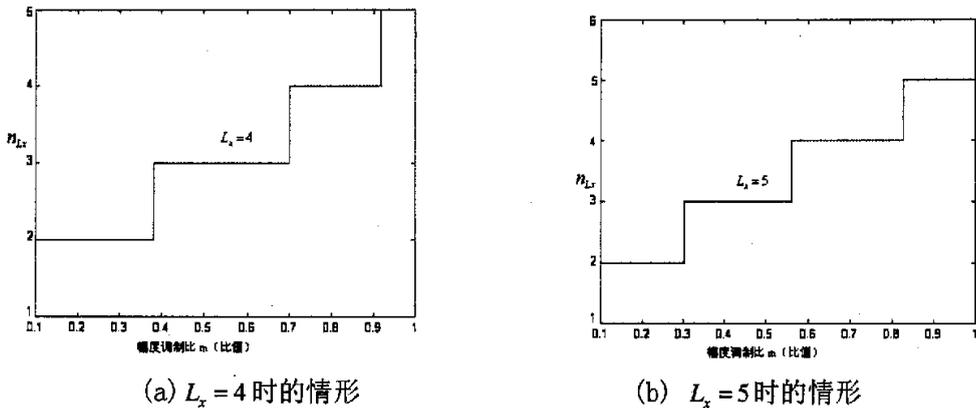


图 2-5 变流器单元数不变时,  $n_{Lx}$  与幅度调制比的关系

图 2-6 所示是在幅度调制比不变(图中  $m=1$ )时,  $n_{Lx}$  与变流器单元数  $L_x$  的关系。从图中可知, 变流器单元数越多,  $n_{Lx}$  就越大, 根据 (2-12) 式, 则相对带宽就越小; 也就是说在等效开关频率相同的情况下, 变流器单元数越多, 传输带宽越小。在 5% 的噪声容限下, 表 2-1 给出了几组不同变流器单元数的相对带宽。

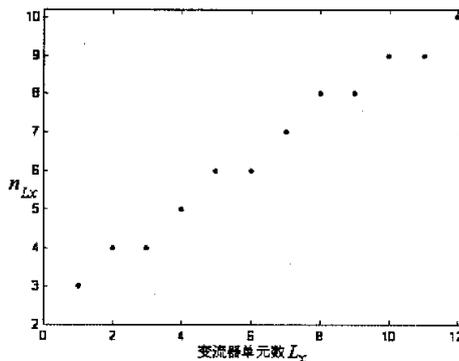


图 2-6 幅度调制比不变时,  $n_{Lx}$  与变流器单元数  $L_x$  的关系

值得注意的是, 相对带宽的降低并不意味着 CPS-SPWM 传输带宽的降低。由于变流器单元数的增加, 等效开关频率增加, 最终结果是传输频带的增加, 只不过其传输带宽小于开关频率为  $L_x k_c$  的单个变流器的带宽。

表 2-1 不同变流器单元数的相对带宽

变流器单元数	1	3	4	8	10
相对带宽	1/3	1/5	1/6	1/8	1/8

另外, 传输带宽依赖于噪声容限的选取。当变流器单元数足够大时, 所有谐波与信号之比都小于噪声容限。比如变流器单元数为 14 时, 噪声容限与谐波阶数的关系如图 2-7 所示。此时, 带宽为无穷大, 式 (2-10) 不再成为约束条件, 但信号的频率受开关频率的限制<sup>[45]</sup>。

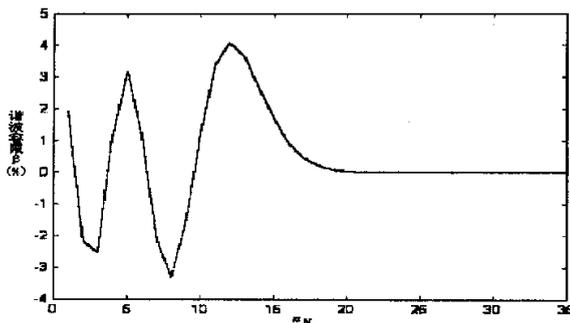


图 2-7 变流器单元数为 14 时，容限  $\beta$  与  $n_u$  的关系

### 2.1.2 CPS-SPWM 调制在级联多电平变流器中的应用

CPS-SPWM 调制应用到级联型多电平变流器中是对在组合变流器中应用的拓展，既可以满足高压大功率的要求，又可以在较低开关频率下实现较高等效开关频率。在调制方法上不尽相同，下面具体分析<sup>[46][47]</sup>。

在图 2-8 中的  $N$  个单相全桥变流器单元级联，由于  $N$  个模块有  $2*N$  个桥臂，需要  $2*N$  个三角载波进行调制。采用相同的调制波，三角载波  $Tr_1(1)$ 、 $Tr_1(2)$ 、 $Tr_1(3)$ ...  $Tr_1(2N)$  的相位依次相差  $T_c / (2*N)$ ，以  $N$  等于 4 为例如图 2-8(a) 所示。各变流器单元输出如图 2-8(b) 所示，每个单元的输出都是两个三角波与调制波相交产生的 PWM 信号的叠加，是三逻辑信号。叠加后输出如图 2-8(c) 所示。

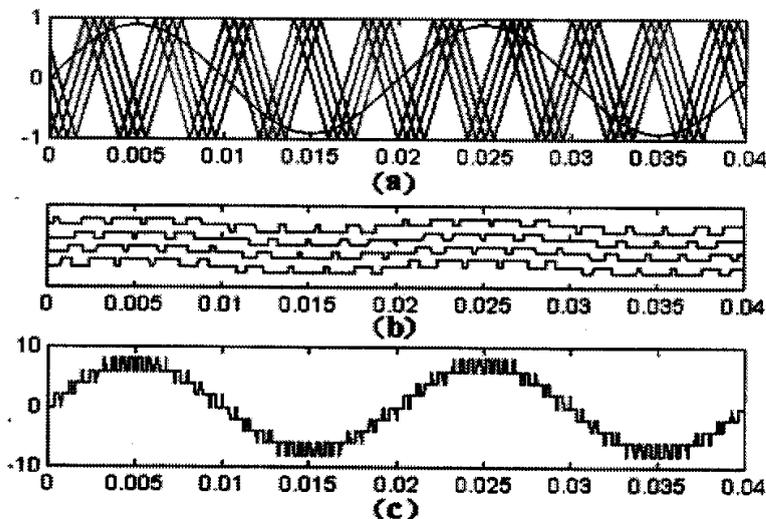


图 2-8 半周期移相的工作原理

在半周期移相方式中， $2N$  个三角波  $Tr_1$  在整个调制波周期内均匀分布，所以，从输出频谱看， $N$  个变流器模块构成的级联型变流器等效为  $2*N$  个单元的相移 SPWM 组合变流器，

输出为  $(2*N+1)$  电平的 PWM 信号。其频域模型为<sup>[48]</sup>：

$$u(t) = \sum_{k=1}^{\infty} C_{Tk} \cos(k\omega t + \phi_{Tk}) \quad (2-13)$$

式中除以下成分外均为零：

(1) 信号输出  $k=k_n$

$$C_{Tk} = N \cdot \frac{E}{V_{tr}} \cdot Q_{km} \quad (2-14)$$

式中，

$N$  为模块数；

$E$  为单相全桥变流器直流侧电压；

$V_{tr}$  为三角波幅值；

$Q_{km}$  为调制波幅值。

(2) 边带谐波  $k=2mNk_c+nk_n$  ( $m=1, 2, 3\cdots$ ;  $n=\pm 1, \pm 2, \pm 3\cdots$ )

$$C_{Tk} = \frac{E}{mV_{tr}} J_n(2mNQ_{km}) \sin[2mN+n] \frac{\pi}{2} \quad (2-15)$$

式中， $J_n(x)$  为  $n$  阶 Bessel 函数。

由此可见，采用半周期移相方式的  $N$  模块级联型变流器输出信号电压提高  $N$  倍，呈线性放大，等效开关频率提高  $2*N$  倍。

### 2.1.3 CPS-SPWM 的对称调制分析与应用

由上分析可见，CPS-SPWM 调制方法对于  $N$  模块的级联 H 桥拓扑，需要  $2*N$  列载波，产生  $4*N$  路脉冲信号驱动  $4*N$  个功率管，以得到  $2*N+1$  电平输出。五电平则要四列载波，七电平则要六列载波。在数字控制中载波的实现依赖于计数器，一列载波需要一个计数器，目前的微处理器对于多列载波的产生力不从心，因而限制了 CPS-SPWM 调制方法在工程中的实际应用。通过分析发现 CPS-SPWM 调制方法在调制波和载波之间有严格的对称性<sup>[49]</sup>，如果将载波对两列互差 180 度相位的调制波进行调制则可以将载波数目减半，即对于  $N$  模块的级联 H 桥拓扑，只需要  $N$  模块载波进行调制，两模块输出五电平则只需要两列载波，三模块输出七电平则只需要三列载波(对应关系如下图 2-9、图 2-10)。这样可以将载波数量大大减少，实现上更加容易，在效果上和传统的 CPS-SPWM 上没有任何区别。而两列反相的调制波可以通过硬件由运放构成反相器搭建，也可以由微处理器对 AD 的信号取反再参与运算，前者要增加处理器的 AD 口，后者则增加运算时间。

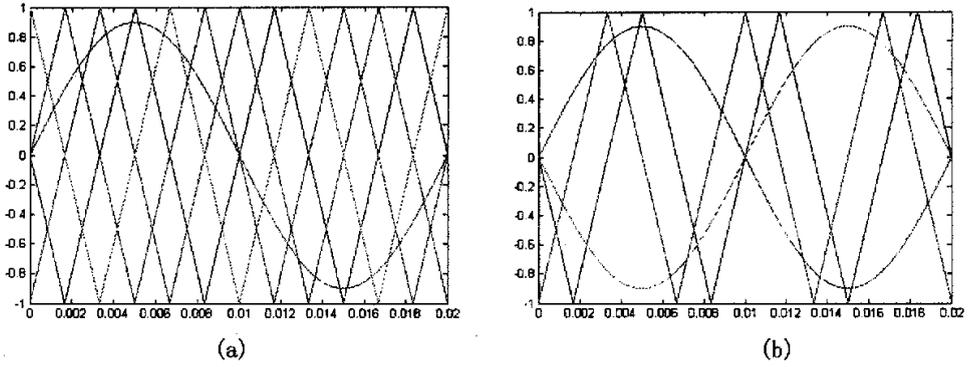


图 2-9 传统和对称调制的五电平 CPS-SPWM 调制方式

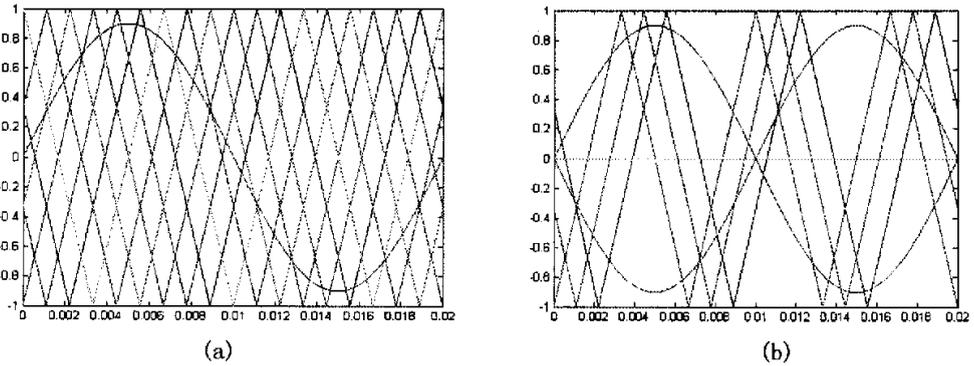


图 2-10 传统和对称的七电平 CPS-SPWM 调制方式

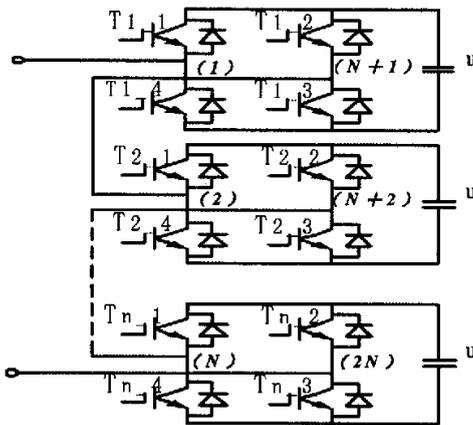


图 2-11 H 桥级联型拓扑

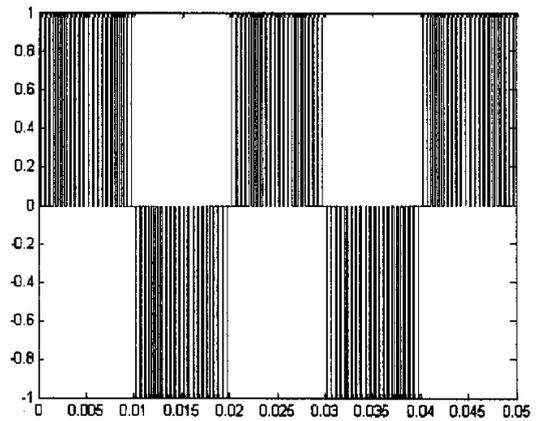


图 2-12 单个 H 桥模块三电平输出

下面具体分析在生成触发脉冲时序方面两种调制方法的差异。如图 2-11 所示 H 桥级联型拓扑，每两个桥臂为一个模块，一个模块共用一个独立直流电源，桥臂和开关器件编号按图所示： $T_{i-1}$ 与 $T_{i-4}$ 、 $T_{i-2}$ 与 $T_{i-3}$ 为同一个桥臂( $i=1, 2, 3, \dots, n$ )。桥臂顺序按从上到下，从左到右编号为(1)、(2)……(2N)，N为模块数。按照习惯上，以下统一按以正弦波大于三角波给出高电平脉冲(即所谓的低有效)。

常规的 CPS-SPWM 调制方法，每列载波对应一个桥臂， $2 \times N$  列载波和一系列正弦调制波相交后高电平脉冲按时序给  $T_{1,1}$ 、 $T_{2,1}$ …… $T_{N,1}$ ； $T_{1,3}$ 、 $T_{2,3}$ …… $T_{N,3}$ ；其互补信号分别给  $T_{1,4}$ 、 $T_{2,4}$ …… $T_{N,4}$ ； $T_{1,2}$ 、 $T_{2,2}$ …… $T_{N,2}$ ，在每个模块输出可以得到三电平输出，如图 2-12。

对称处理后的 CPS-SPWM 调制，每列载波对应一个模块， $N$  列载波与互差 180 度的正弦波相交的脉冲信号给同一个模块两个桥臂，按相交的时序将高电平脉冲给  $T_{1,1}$ 、 $T_{1,2}$ 、 $T_{2,1}$ 、 $T_{2,2}$ …… $T_{N,1}$ 、 $T_{N,2}$ ；其互补信号分别给  $T_{1,4}$ 、 $T_{1,3}$ 、 $T_{2,4}$ 、 $T_{2,3}$ …… $T_{N,4}$ 、 $T_{N,3}$ 。如此给出信号后可以在每个模块也可以得到三电平输出，如图 2-12。

通过仿真及其频谱分析，以上两种方法效果相同，完全可以相互替换。

1、对于图 2-11 所示  $N=2^k$  ( $k=1, 2, 3, \dots$ ) 的情况，分别按上述常规和对称优化的方法给出触发脉冲均可在每一个模块的输出得到如图 2-12 所示三电平，对称的两个模块级联输出可以得到五电平输出，对称的四个模块级联输出可以得到九电平输出，以此类推，对称的  $2^i$  个模块级联可以得到  $2^{i+1} + 1$  ( $i=1, 2, 3, \dots, k$ ) 电平输出，所有  $2^k$  个模块级联可以得到  $2^{k+1} + 1$  电平输出；

2、对于图 2-11 所示  $N \neq 2^k$  ( $k=1, 2, 3, \dots$ ) 的情况，分别按上述常规和对称优化的方法给出触发脉冲，在每一个模块输出仍然是图 2-12 所示三电平，但由于其模块数目的不对称性，只能将  $2^k$  个模块级联得到  $2^{k+1} + 1$  电平输出，而不能得到中间的  $2^{i+1} + 1$  ( $i=1, 2, 3, \dots, k$ ) 电平输出。

因而，对于  $N=2^k$  个模块级联的 H 桥多电平变流器，可以划分为任意  $i$  个组合模块，每个模块中包含  $2^{k-i}$  个 H 桥模块，这样可以进一步提高级联 H 桥模块化程度和每一个模块的电压等级。

## 2.2 级联 H 桥工作模式

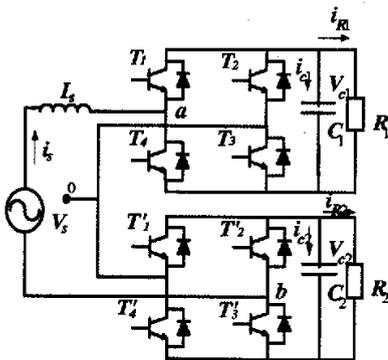


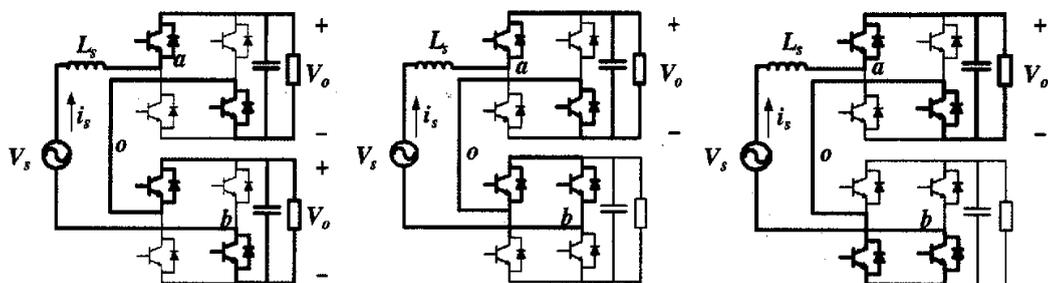
图 2-13 两级联 H 桥拓扑

分析其工作模式时，作以下假设：

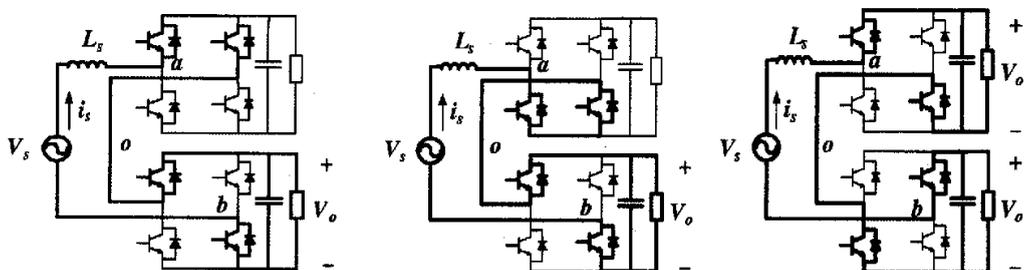
基本的单相级联变流器的拓扑结构如图 2-13 所示，整个系统由两个全桥整流模块级联而成，每个模块由四个带有反并联二极管的功率开关和一个直流电容构成<sup>[50][51]</sup>。假设  $v_{c1} = v_{c2} = v_0$ ，每个变流器模块的交流端可产生三个电压值： $v_0, 0, -v_0$ 。若  $T_1$  和  $T_3$  导通，则  $v_{a0} = v_0$ 。若  $T_2$  和  $T_4$  导通，则  $v_{a0} = -v_0$ 。若  $T_1$  和  $T_2$  或  $T_3$  和  $T_4$  导通。则  $V_{a0} = 0$ 。整个级联 H 桥变流交流侧的电压  $v_{ab} = v_{a0} + v_{0b}$ 。当  $v_{c1} + v_{c2}$  大于电源峰值电压，小于 2 倍电源峰值电压时共有五个值： $-2v_0, -v_0, 0, v_0, 2v_0$ 。分别对应图 2-14 的五种工作模式<sup>[51]</sup>。

- (1) 开关 T1~T4' 是理想开关;
- (2) C1 和 C2 的电容量大小相等;
- (3) 在一个开关周期中, 电源电压保持不变;
- (4) 两个变流器的输出电压相等, 即  $v_{c1} = v_{c2} = v_o$ 。并且对 R 忽略不计。

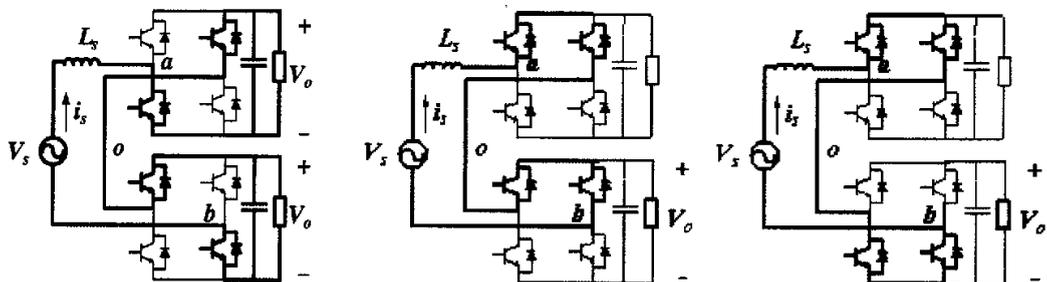
该拓扑共有 5 种工作模式, 16 种工作状态, 如下图 2-14 所示:



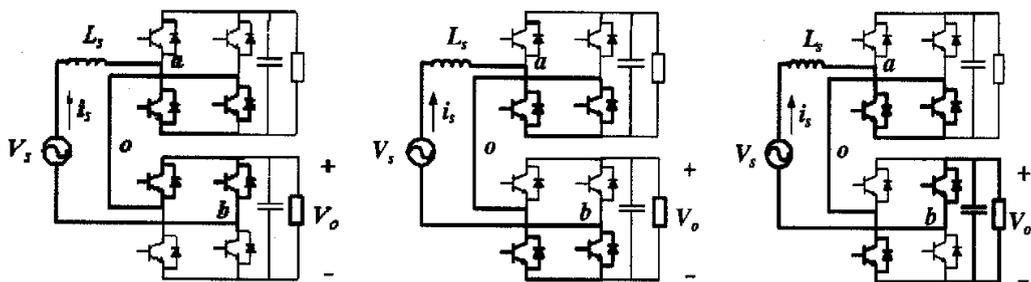
(1) 工作模式 1 ( $v_{ab} = 2v_o$ )      (2) 工作模式 2 情况 1 ( $v_{ab} = v_o$ )      (3) 工作模式 2 情况 2 ( $v_{ab} = v_o$ )



(4) 工作模式 2 情况 3 ( $v_{ab} = v_o$ )      (5) 工作模式 2 情况 4 ( $v_{ab} = v_o$ )      (6) 工作模式 3 情况 1 ( $v_{ab} = 0$ )



(7) 工作模式 3 情况 2 ( $v_{ab} = 0$ )      (8) 工作模式 3 情况 3 ( $v_{ab} = 0$ )      (9) 工作模式 3 情况 4 ( $v_{ab} = 0$ )



(10) 工作模式 3 情况 5 ( $v_{ab} = 0$ )      (11) 工作模式 3 情况 6 ( $v_{ab} = 0$ )      (12) 工作模式 4 情况 1 ( $v_{ab} = -v_o$ )

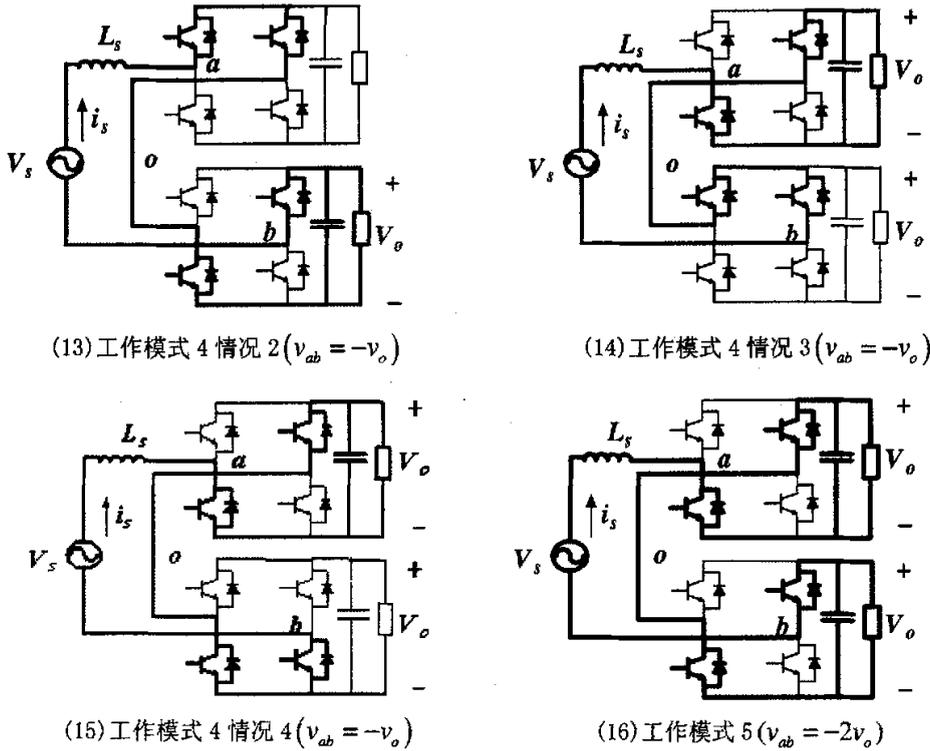


图 2-14 两级联 H 桥工作模式分析

**模式 1** ( $v_{ab} = 2v_o$ ): 此时,  $T_1, T_4, T'_1, T'_4$  导通。等效电路如图 2-14(1) 所示。当电源电压处于正半周期时, 若  $v_s < v_{c1} + v_{c2}$ , 电流线性以  $|v_s - v_{c1} - v_{c2}| / L_s$  的斜率减小, 给 C1 和 C2 充电并提供负载电流, 给 C1 (C2) 充电的电流为  $i_s - i_{R1}$  ( $i_s - i_{R2}$ )。

**模式 2** ( $v_{ab} = v_o$ ): 此时, 有四种情况:  $T_1, T_4, T'_1, T'_3$  导通,  $T_1, T_4, T'_2, T'_4$  导通,  $T_1, T_3, T'_1, T'_4$  导通或  $T_2, T_4, T'_1, T'_4$  导通, 等效电路分别如图 2-14(2), (3), (4) 和 (5) 所示。电源电压处于正半周期, 若  $v_s > v_o$ , 电流线性增大, 若  $v_s < v_o$ , 电流线性减小。电流  $i_s$  为正时, C1 充电 ( $v_{c1} = v_o$  且  $v_{c2} = 0$ ) 或 C2 充电 ( $v_{c1} = 0$  且  $v_{c2} = v_o$ ); 当电流  $i_s$  为负时, C1 放电或 C1 放电。

**模式 3** ( $v_{ab} = 0$ ): 此时, 有六种情况:  $T_1, T_4, T'_2, T'_3$  导通,  $T_2, T_3, T'_1, T'_4$  导通,  $T_1, T_3, T'_1, T'_3$  导通,  $T_1, T_3, T'_2, T'_4$  导通,  $T_2, T_4, T'_1, T'_3$  导通,  $T_2, T_4, T'_2, T'_4$  导通。等效电路如图 2-14(6), (7), (8), (9), (10), (11) 所示。电路运行于图 2-14(6), (7) 两种情况时, 当电流为正(负), 若  $v_{c1} = v_o$  且  $v_{c2} = -v_o$ , C1 充电(放电), C2 放电(充电)。若  $v_{c1} = -v_o$  且  $v_{c2} = v_o$ , C1 放电(充电), C2 充电(放电)。当电源电压为正(负)时, 电流以  $v_s / L_s$  的变化率增大(减小)。电路运行于图 2-14(8), (9), (10), (11) 时, 均为续流阶段。

**模式 4** ( $v_{ab} = -v_o$ ): 等效电路如图 2-14 (12), (13), (14), (15) 所示。电流为正(负),  $T_2, T_4, T_2', T_3'$  导通或  $T_1, T_3, T_2', T_3'$  导通使 C2 放电(充电), 或  $T_2, T_3, T_2', T_4$   $T_2, T_3, T_1', T_3'$  导通使 C1 放电(充电)。

**模式 5** ( $v_{ab} = -2v_o$ ): 等效电路如图 2-14 (16) 所示, 此时  $T_2, T_3, T_2', T_3'$  导通。当电流为正(负)时, C1, C2 放电(充电)。

### 2.3 CPS-SPWM 方法在级联 H 桥变流器应用中的仿真和实验验证

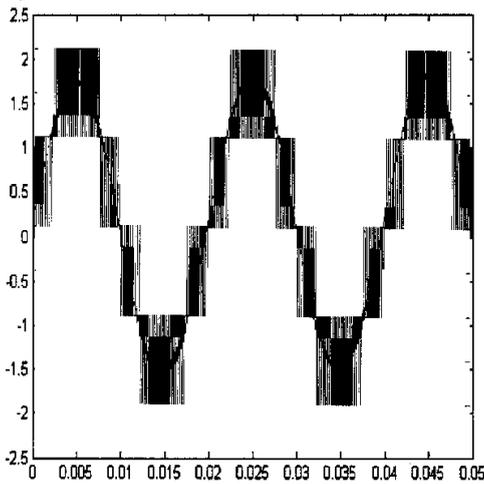


图 2-15 级联 H 桥逆变器输出仿真波形

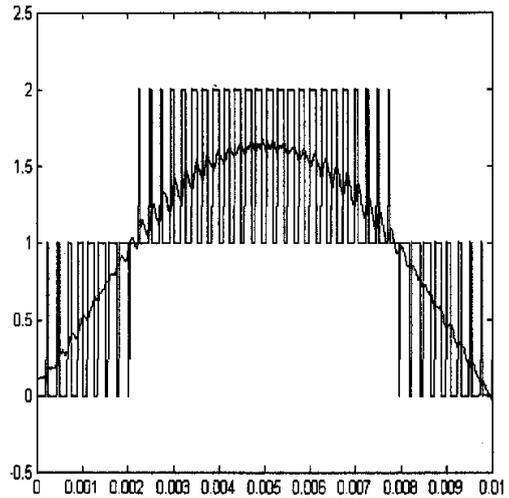


图 2-16 级联 H 桥逆变器输出仿真波形放大

按照常规 CPS-SPWM 调制方法调制如图 2-13 所示的两级联 H 桥逆变器得到仿真波形如图 2-15、图 2-16, 其中调制波频率为 50Hz, 频率调制比  $K=21$ , 幅度调制比  $M=0.9$ 。很直观的看出多电平脉宽的叠加使主电路中的电感充放电频率加快了很多, 因而电流中只含有高次谐波。但是, LF2407DSP 只有两个独立的计数器<sup>[52]</sup>, 即只能产生两列载波, 因而不能用常规 CPS-SPWM 调制方法来实现五电平输出(需要四列独立载波), 由前面 2.2 节的分析可知, 采用对称调制后的 CPS-SPWM 方法实现五电平输出只需要两列载波, 具有可行性。实验过程如下:

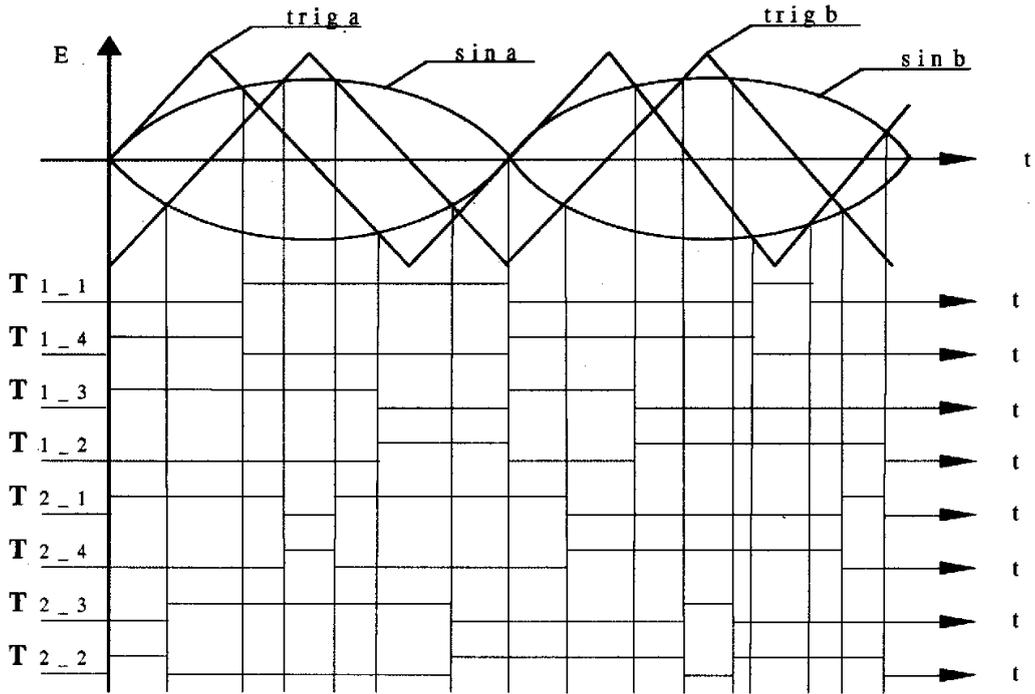


图 2-17 五电平对称优化 CPS-SPWM 调制的 DSP 实现时序图

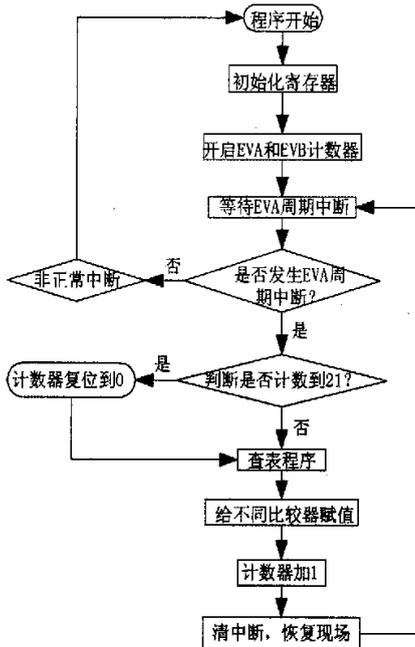


图 2-18 DSP 实现程序流程图

控制时序图如图 2-17 所示，在  $\text{triga} > \text{sina}$  时间内给  $T_{1_1}$  导通信号，在  $\text{triga} > \text{sinb}$  时间内给  $T_{1_2}$  导通信号；在  $\text{trigb} > \text{sina}$  时间内给  $T_{2_1}$  导通信号，在  $\text{trigb} > \text{sinb}$  时间内给  $T_{2_2}$  导通信号。其中  $T_{1_1}$ 、 $T_{1_4}$  信号互补， $T_{1_2}$ 、 $T_{1_3}$  信号互补； $T_{2_1}$ 、 $T_{2_4}$  信号互补， $T_{2_2}$ 、 $T_{2_3}$  信号互补，分别给同一个桥臂的两个功率管。频率调制比  $K=21$ ，幅度调制比  $M=0.9$ 。

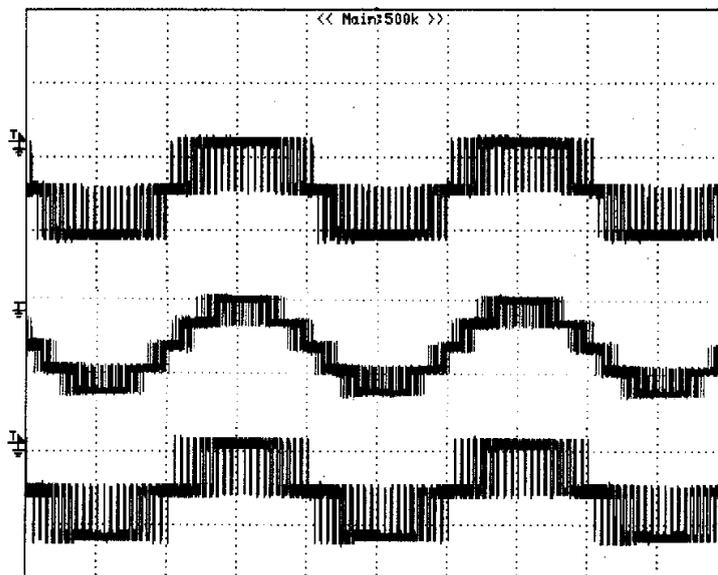
DSP 程序流程图如图 2-18 所示，DSP 的外部晶振为 10MHz，使用 PLL 的 0.5 分频，2 倍频，则周期寄存器的值计算如下：

$$\frac{\text{正弦波周期} \times \text{晶振} \times \text{倍频系数}}{\text{载波比} \times \text{分频系数} \times 2} = \frac{0.02 \times 10 \times 10^6 \times 0.5}{21 \times 2 \times 2}$$

$= 1190 \text{ (D)} = 4A6 \text{ (H)}$ ；使 2407 的两个事件管理器 (EVA 和 EVB) 的定时器同时启动，让 EVA 的计数器起始值是 253 (H) (周期值的一半)，而 EVB 的起始值为零，

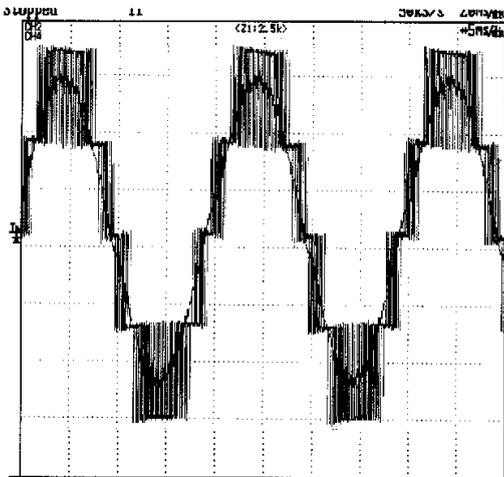
就可以分别产生两个互差  $\pi/42$  的载波。实验中 DSP 采用对称规则采样法，在 EVA 的周期中断中循环读取存放错开 ( $\pi/42$ ) 的正弦表值，分别加载到 EVA 和 EVB 比较寄存器的影子寄存

器中等待加载时刻，比较寄存器加载方式均设置为下溢加载，但由于计数初值的不同，在程序中，EVA 计数器先于 EVB( $\pi/42$ )达到下溢值，故先于 EVB 计数器加载，因而先于 EVB 的计数器进行比较，故第一个模块控制脉冲的时序上得以超前，体现在输出脉冲波形上便是产生了相移。



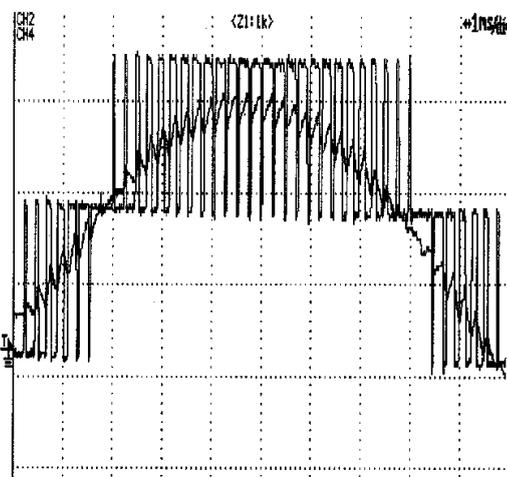
横轴(t): 5ms/div; 纵轴(E): 0.5v/div

图 2-19 两个三电平模块输出脉冲叠成一个五电平输出



横轴(t): 5ms/div; 纵轴(E): 2v/div, 0.5v/div

图 2-20 对称调制下的控制脉冲和主电路电流



横轴(t): 5ms/div; 纵轴(E): 2v/div, 0.5v/div

图 2-21 控制脉冲和主电路电流波形放大

图 2-19 所示，采用对称优化调制使两个 3-H 桥模块输出三电平叠加后为一个五电平输出。图 2-20，图 2-21 为实验控制脉冲信号和主电路输出电流波形。当级联模块数增加时输

出电平数增加，输出波形也将随之改善，而工作模式相应增加，工作过程将更复杂，但都是以 H 桥基本工作模式为基础进行组合。事实上，无论采用那种调制方法，对于两级联型 H 桥输出都是由上述五种工作模式输出的组合、叠加，在任意时刻，开关的组合关系只是其中一种模式。

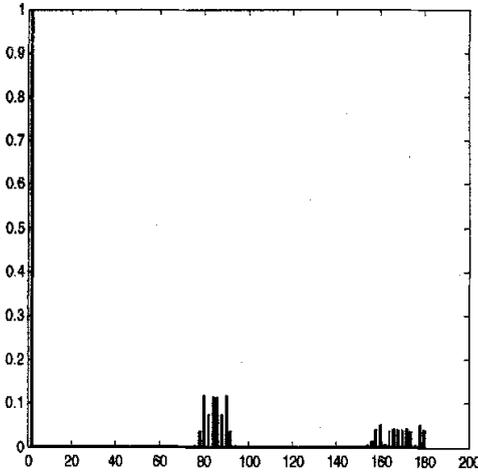


图 2-22 五电平输出仿真频谱

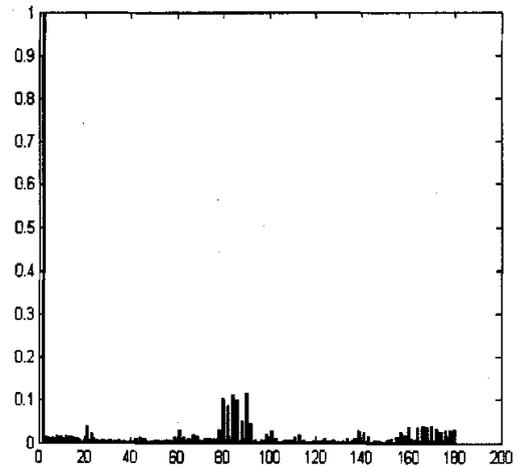


图 2-23 对称规则采样五电平输出实验频谱

试验结果如图 2-20、图 2-21，与仿真波形如图 2-15、图 2-16 完全吻合。由图 2-23 频谱分析表明：输出波形中的低次谐波基本消除，与图 2-22 吻合。剩余谐波中主要成份是载波频率的  $4*k$  ( $k$  为正整数) 倍及其边带。由于 DSP 使用对称规则采样，比仿真采用的自然采样输出频谱(图 2-22)稍多的低次谐波，但所占比率非常微小可以通过提高载波频率比或者用下章所述非对称规则采样法来削弱其影响。

## 本章小结

CPS-SPWM 调制方法，适用于大功率变流器，在提高装置功率容量的同时，可以有效地减小变流器输出谐波，调节输出波形，提高整个装置的信号传输带宽。本章在数学模型基础上从理论角度分析了 CPS-SPWM 调制方法在线性度和传输带宽的技术特性，为其应用到级联 H 桥变流器中，实现电力有源滤波的优势提供了理论依据；从等效电路的角度分析了两级联 H 桥输出五电平的工作模式；对比了常规 CPS-SPWM 调制方法和对称调制法在实现上的差异；并用对称调制 CPS-SPWM 方法在单片 DSP 上实现了五电平输出，用实验证明了其可行性，为进一步实验奠定了基础；对输出频谱进行了分析，得到了与理论吻合的理想效果。

# 第三章 单相多电平变流器数字化控制技术研究

## 3.1 非对称规则采样法在多电平变流器中的实现

SPWM 正弦脉宽调制法由于原理简单，控制和调节性能好，且技术较为成熟，因而在电力电子技术中应用十分广泛。根据采样规则的不同，可分为自然采样，不对称规则采样，以及平均对称规则采样<sup>[1]</sup>。自然采样法结果精确，但为了确定开关时刻需要求解一组以脉冲宽度为变量的超越方程，而且方程个数随载波比的增大而增加，对于现有处理器难以实时控制。而平均对称规则采样，采样点固定设在三角载波的顶点或底点处，数据量最少，大大降低了对微处理器的要求，易于实时实现，因而被目前大多数的数字控制所采用。用平均对称规则采样法，调制波已不再是正弦波，而是与正弦波近似的阶梯调制波，故还含有相当部分的谐波成份。由第二章分析，对于 CPS-SPWM 技术而言，变流器等效开关频率提高，但单个功率器件开关频率仍然很低，在低频率下，对称规则采样的谐波成份占的比重仍然很大，因而从改进采样方法上减少谐波很有必要。非对称规则采样法，在三角波的顶点和底点时刻均对调制波采样，由采样值形成的阶梯波与三角波的交点确定脉宽，数据量只增加 1 倍，所形成的阶梯波比平均对称规则采样更接近正弦波，谐波含量却能够大大减少。本章介绍一种基于 TMS320LF2407 DSP 的以三角载波(三角载波相比锯齿波能对称地使用切换时刻，高次谐波减少)<sup>[53]</sup>对调制波进行采样的非对称规则采样法，并将其成功应用到 CPS-SPWM 调制方法中，实现五电平脉冲输出，通过和对称规则采样法频谱分析的对比，验证了非对称规则采样法一方面对于目前的数字处理器而言数据处理量相对少，另一方面谐波含量也大为减少，是平均规则采样法和自然规则采样法的有效折中。本节首先分析非对称规则采样法数字实现，通过实验和规则采样进行对比，验证了其优越性，进而分析了在多电平中变流器中的应用。

### 3.1.1 采样方法的数字实现理论分析

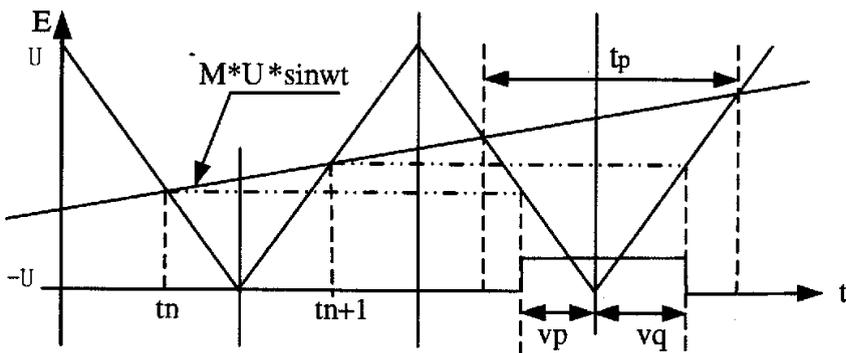


图 3-1 自然采样法

SPWM 法的实现有多种方式，可以由模拟或数字电路等硬件电路来实现，也可以由微处理器运用软硬件结合的办法来实现。自然采样法如图 3-1 所示，通常是用一个正弦波信号发生器产生可以调频调幅的正弦波（调制波）信号，再用一个三角波信号发生器产生幅值不变的三角波（载波）信号，将二者进行比较，由交点来确定逆变器开关的转换。它是将基准正弦波与一个三角载波相比较，由两者的交点决定出逆变器开关模式的方法。

如图 3-1 所示，正弦波为  $M * U * \sin \alpha t$ ， $T$  称为采样周期。由图可得式 (3-1)、(3-2)，由此得到在一个采样周期  $T$  中脉冲宽度为式 (3-3)，这个脉冲宽度就是实际的脉冲宽度，如果用数字实现则该脉宽要延迟到下一个采样周期才生效：

$$t_{on} = U * \frac{T}{4} * (1 + M * \sin \alpha t_n) \tag{3-1}$$

$$t_{on'} = U * \frac{T}{4} * (1 + M * \sin \alpha t_{n+1}) \tag{3-2}$$

$$t_{pw} = t_{on} + t_{on'} = U * \frac{T}{2} * [1 + \frac{M}{2} * (\sin \alpha t_n + \sin \alpha t_{n+1})] \tag{3-3}$$

其中， $M$  为幅度调制比  
 $\omega$  为正弦波角频率  
 $t_n, t_{n+1}$  为正弦波与三角波两个相邻交点的时刻

式 (3-3) 是一个超越函数。 $t_n, t_{n+1}$  不但与频率调制比  $K = \frac{T}{T_s}$  ( $T_s$  为正弦波的周期) 有关，而且是幅度调制比  $M$  的函数，求解  $t_n, t_{n+1}$  与  $M$  的关系也相当麻烦。由数学推导得到的模型并不适合于由微机实时控制，因而，自然采样法通常由模拟电路实现。随着数字控制技术的发展相应产生了规则采样法。

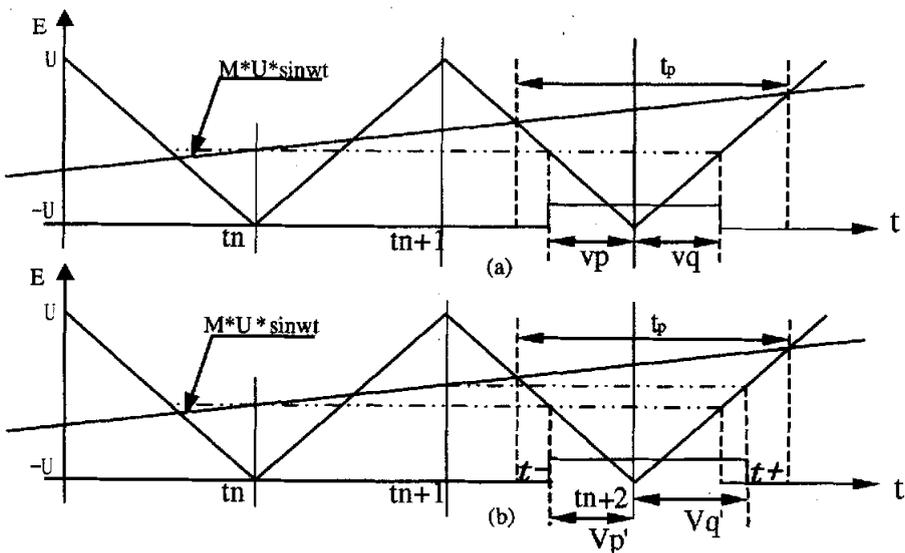


图 3-2 对称与非对称采样法数字实现示意图

数字控制中的规则采样法分对称规则采样和非对称规则采样，下面分别讨论：

1、 对称规则采样法如图 3-2 (a) 所示。计数器在  $t_n$  时刻达到 0 值，此时对正弦波进行采样，将该正弦波数值代入 (3-2) 式计算出脉冲宽度  $t_{pw}$ <sup>[54]</sup>，等待下一个周期开始  $t_{n+2}$  时刻加载，在下个周期中产生对称的脉宽  $v_p = v_q$ ，而整个脉宽为  $t_{pw} = v_p + v_q = 2 * v_p$ 。对称规则采样法是用处于两个自然采样值之间一个特殊的时刻点  $t_n$  的采样值来近似两个自然采样值，这样对于处理器而言避免了解超越方程，节省了运算时间，提高了运算速度。但由于对采样点进行了近似，数据少了一半，牺牲了很大的精度。该方法的数学模型可以用 (3-4) 式表示：

$$t_{pw} = U * \frac{T}{2} * (1 + M * \sin \omega t_n) \quad (3-4)$$

2、 非对称规则采样法，如图 3-2 (b) 所示。在计数器的下溢值时刻  $t_n$  采样，在半个周期后的  $t_{n+1}$  时刻加载，在第二个周期中产生  $v_p$  宽度的脉冲；在计数器到达周期值时刻  $t_{n+1}$  第二次采样，到  $t_{n+2}$  时刻加载，在第二个周期中产生  $v_q$  宽度的脉冲，很明显  $v_p \neq v_q$ ，而在一个周期的脉冲宽度由  $v_p$  和  $v_q$  “拼凑”而成，即  $t_{pw} = v_p + v_q$ ，显然， $t_{pw}$  更接近实际脉冲宽度  $t_p$ 。由图 3-2 (b) 中的相似三角形关系可得两次采样时刻的数学表达式：

$$t_- = U * \frac{T}{4} (1 - M * \sin \omega t_n) \quad (3-5)$$

$$t_+ = U * [T - \frac{T}{4} (1 - M * \sin \omega t_{n+1})] \quad (3-6)$$

$$\text{故：} \quad t_{pw} = (t_+) - (t_-) = U * \frac{T}{2} * [1 + \frac{M}{2} * (\sin \omega t_{n+1} + \sin \omega t_n)] \quad (3-7)$$

由式 (3-7) 可见，非对称规则采样一个开关周期的脉冲宽度仍由 (3-3) 式决定，只不过用特殊点 (计数器下溢点或者计数器到周期值) 来接近自然采样点  $t_n$  和  $t_{n+1}$ ，比规则采样多了一倍的采样点，多了一倍的数据量，因而更接近自然采样结果，而对于目前的微处理器而言，数据量增加一倍并不会影响其实时性。

分析式 (3-7) 可知：当  $\sin \omega t = 0$  时候， $t_{pw} = t_+ - t_- = \frac{T}{2} * U$ ，即占空比  $d = 50\%$ ，又由式 (3-5)、

(3-6) 得： $t_+ = \frac{3T}{4} * U$ ， $t_- = \frac{T}{4} * U$ ，即当  $0 < M * \sin \omega t < 1$  时，有  $\frac{3T}{4} < t_+ < T$  和  $0 < t_- < \frac{T}{4}$ ，即占空

比  $d > 50\%$ ；当  $-1 < M * \sin \omega t < 0$  时，有  $\frac{T}{2} < t_+ < \frac{3T}{4}$  和  $0 < t_- < \frac{T}{4}$ ，即占空比  $d < 50\%$ 。由此可见，

对于调制信号的正负交变，占空比  $d$  在 50% 上下波动，因而可以用软件配合定时器的方法，只需要对  $t_+$  或  $t_-$  进行一次加或减及一次乘运算便可以完成 PWM 调制，这种对称结构特性特别适合微机在线运算。此外，非对称规则采样 PWM 调制还具有 1/4 对称性，因而不含有偶次

谐波<sup>[55]</sup>。

### 3.1.2 非对称采样在级联 H 桥多电平变流器中的实现

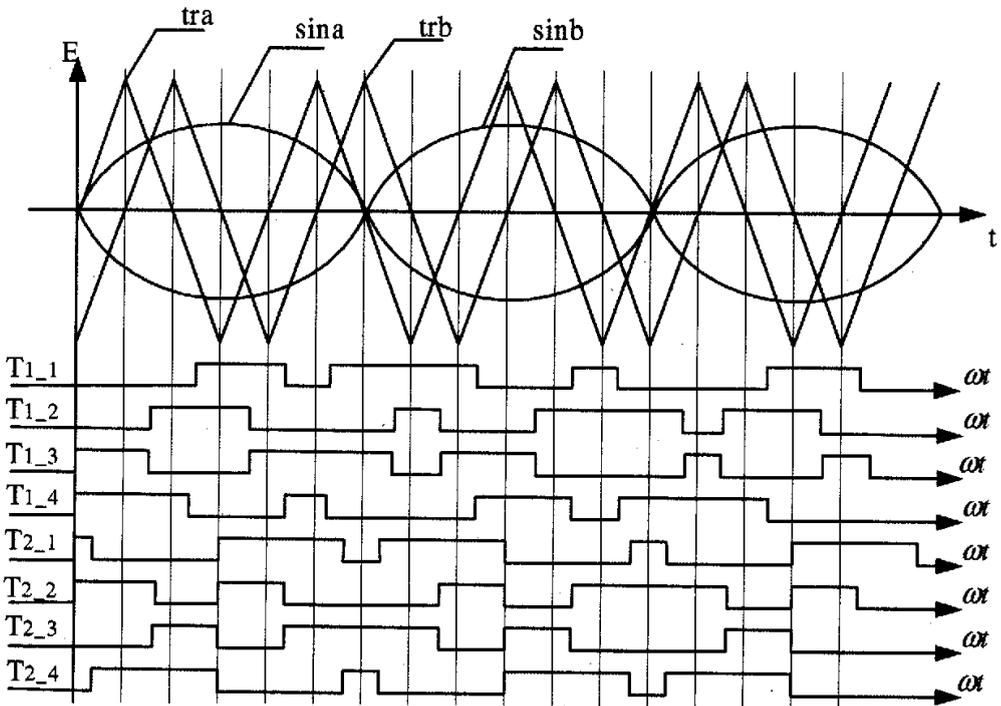


图 3-3 载波相移 SPWM 下单相五电平实现时序

由于 LF2407DSP 的每个比较寄存器都带有影子寄存器，可以控制在周期和下溢时刻将占空比数据加载到比较寄存器，又由 2.1.3 节分析知道由单片 LF2407DSP 可以实现三相三电平和单相五电平的非对称规则采样。以单相五电平为例，载波相移 SPWM 的时序如图 3-3 所示，在计数器达到周期值和 0 值产生中断，在中断中读取分别由  $tra$  和  $sina$ ,  $tra$  和  $sinb$ ,

$trb$  和  $sina$ ,  $trb$  和  $sinb$  相交产生的正弦表存到比较寄存器的影子寄存器。经过  $\frac{T}{2}$  后加载

到比较寄存器。对每列载波，后  $\frac{T}{2}$  中断读数覆盖前  $\frac{T}{2}$  中断读数，故一个周期中比较寄存器

加载两次，采样频率提高一倍，由于 DSP 在比较寄存器和计数值相等时候脉冲沿发生跳变，虽然中间比较寄存器的值有变化但不满足和计数器值相等这一条件，脉冲沿也不发生跳变，故比较寄存器的输出在一个周期中仍然是一个脉冲，和对称规则采样法相比，开关周期及一个周期内的开关切换次数仍然没有改变。但从图 3-3 可以明显看出一个周期内的输出脉冲并不以采样时间点轴对称。并且，相比对称规则采样，由于脉宽的不对称性，同一个载波与两个正弦波相交产生的两个脉宽的对称轴也是不重合的。

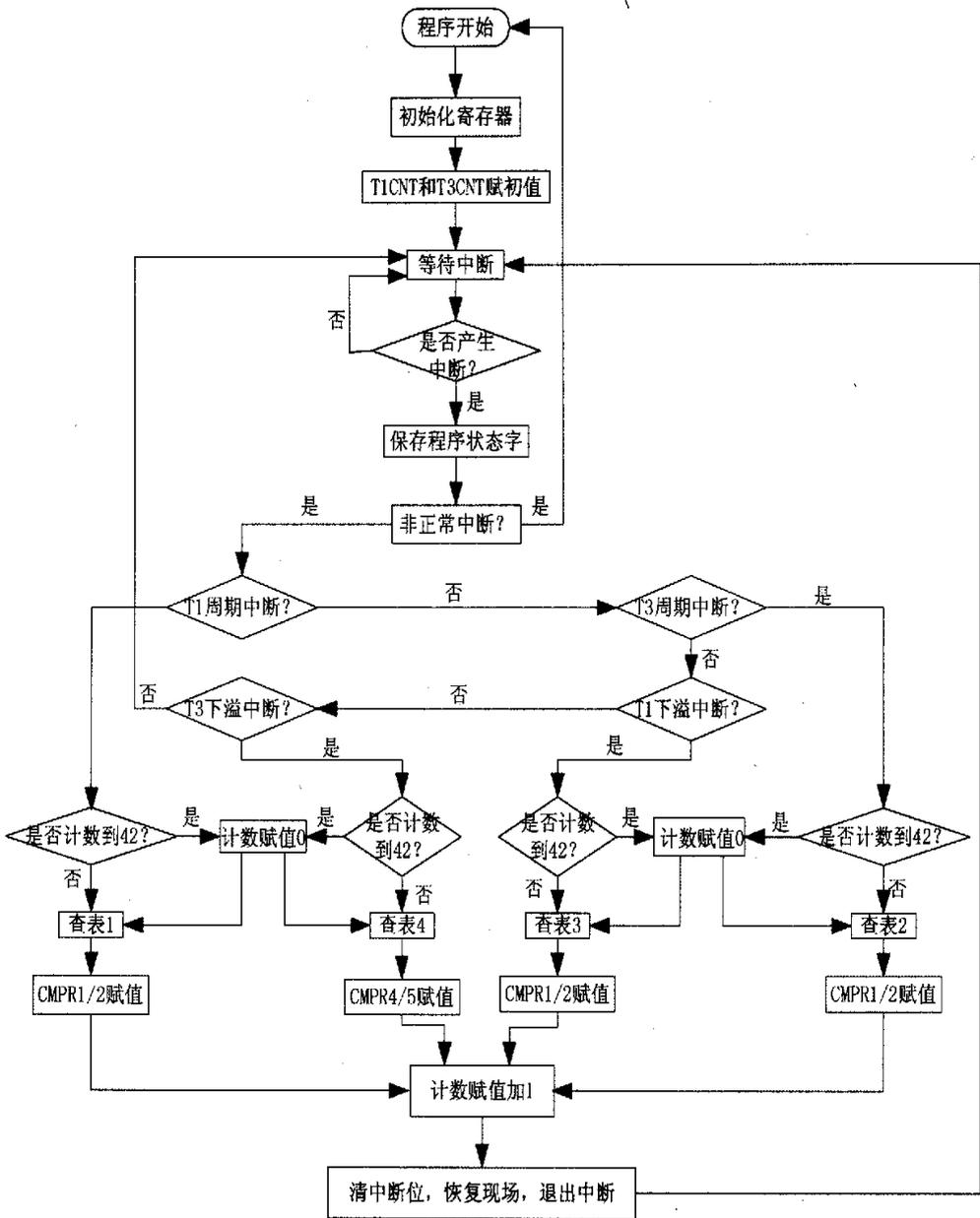


图 3-4 非对称采样实现的 DSP 程序流程图

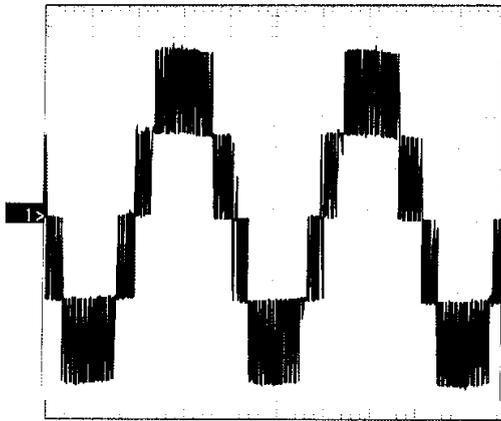
DSP 程序框图如图 3-4 所示。

DSP 的计数周期值按下式计算：
$$\frac{T}{2} = \frac{\text{正弦波周期} \times \text{晶振} \times \text{倍频系数}}{\text{载波比} \times \text{分频系数} \times 2}$$
。采用 2 倍频及 2 分频，

载波比为 21，幅度调制比为 0.9，调制波周期为 20ms，DSP 的晶振为 10Mhz，得到  $T/2=129AH$ 。

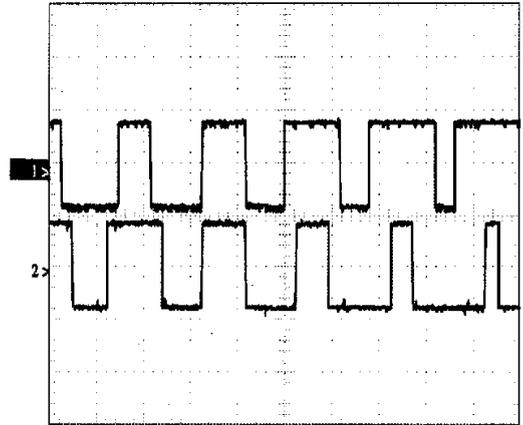
对 EVA 的计数器 T1CNT 赋初始值为  $\frac{T}{4}$ ，EVB 的计数器 T2CNT 赋初始值为  $\frac{T}{2}$ ，并同时开始计

数。这样便得到了两列相位不同的载波。其中,  $triga$  超前  $trigb1/4$  载波周期。因而发生各次中断的时刻也相差  $\frac{T}{4}$ , 并且, 这四个中断在一个开关周期中在时间轴上均匀分布。实验数据采用查表得到, 四张表里存有四组占空比的数据, 每组 42 个, 分别对应着 21 个周期中断和 21 个下溢中断。设计一个计数值, 在计数到 42 后清零, 重新开始计数。



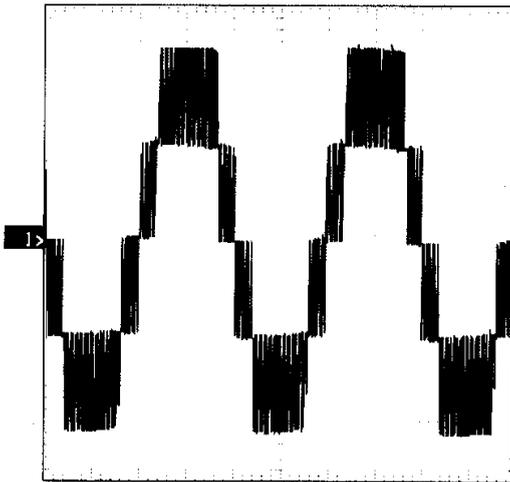
横轴(t): 5ms/div 纵轴(E): 2v/div

图 3-5 对称规则采样五电平控制脉冲



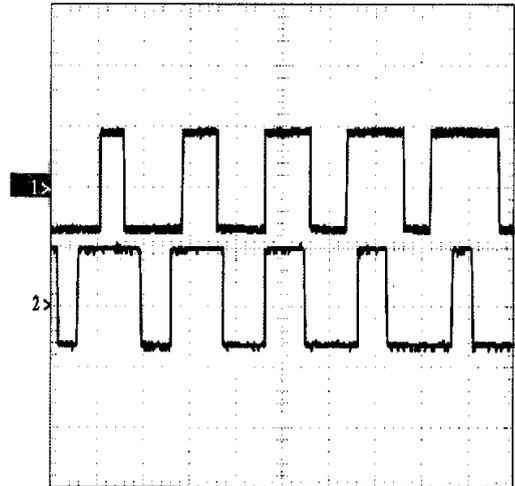
横轴(t): 5ms/div 纵轴(E): 2v/div

图 3-6 对称采样同一载波输出两路脉冲



横轴(t): 5ms/div 纵轴(E): 2v/div

图 3-7 非对称规则采样五电平控制脉冲



横轴(t): 5ms/div 纵轴(E): 2v/div

图 3-8 非对称采样同一载波输出两路脉冲

注意到图 3-5 的每个周期末时刻, 对称规则采样法实际采样点和理论采样点时刻不对称过大造成输出波形存在较大的不对称性, 图 3-7 反映了非对称规则采样法利用采样次数的增加能有效克服这一不对称。由 3-6 同一载波输出两路脉冲的放大图可见同一载波输出两路脉冲中轴是重合的; 对比图 3-8 波形可见同一载波输出两路脉冲中轴是不重合的, 因而图 3-7 确实是由非对称规则采样得到脉冲叠加而成的五电平输出。图 3-9 频谱分析发现虽然利用载

波相移 SPWM 消除了绝大部分开关谐波，对由采样方法决定的众多不规则谐波却无能为力，利用非对称规则采样法可以更进一步减小这些不规则谐波，得到如图 3-10 所示非常干净的频谱，这个频谱已经非常接近由自然采样法仿真所得的频谱。由此可见，非对称规则采样法数据处理量只增加了一倍，谐波含量却大为减少，是平均规则采样法和自然规则采样法的有效折中。将非对称规则采样和载波相移 SPWM 有机结合，可以更有效的发挥载波相移的优势，弥补其不足，在多电平变流器中应用可以进一步净化输出波形频谱。

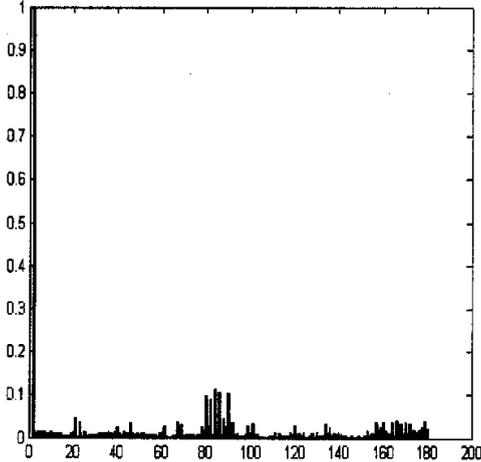


图 3-9 对称采样输出波形的频谱

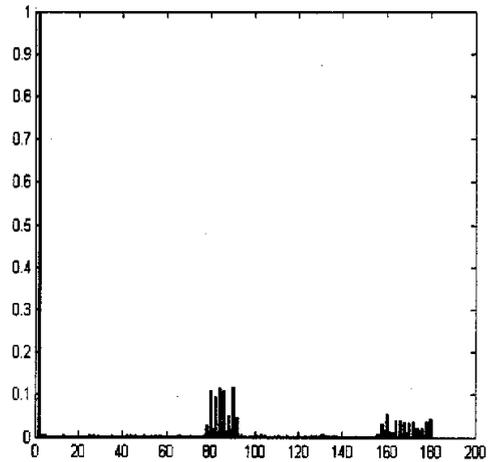


图 3-10 非对称采样输出波形的频谱

### 3.2 任意波形的非对称采样五电平实现

#### 3.2.1 定点 DSP 进行浮点运算的定标理论

在定点 DSP 芯片中，采用定点数进行数值运算，其操作数均采用整型数来表示。一个整型数的最大表示范围取决于 DSP 芯片所给定的字长，一般为 16 位或 24 位。字长越长，所能表示的数的范围越大，精度也越高。由于本课题所用的 TMS320LF2407DSP 芯片是 16 位定点 DSP，对于整数可以直接进行加、减、乘、除运算，对于小数则需要先在运算前进行人为“预处理”将小数转化为定点 DSP 可以直接运算的整数，这其中的关键由程序员来确定一个数的小数点处于 16 位中的哪一位，这就是所谓的“定标”<sup>[56]</sup>。

DSP 芯片的数以 2 的补码形式表示。每个 16 位的数据存储单元用首位表示一个符号位，表示数的正负，0 表示数值为正，1 则表示数值为负。其余 15 位表示数值的大小。因此

$$\text{二进制数 } 001000000000011(\text{B}) = 8195(\text{D})$$

$$\text{二进制数 } 1111111111111100(\text{B}) = -4(\text{D})$$

通过设定小数点在 16 位数中的不同位置，就可以表示不同大小和不同精度的小数。数的定标有  $Q$  表示法和  $S$  表示法两种(以下统一按  $Q$  表示法讨论)。 $Q$  表示法以  $Q_{A,B}$  表示，对于 16 位的处理器而言  $A+B=16$ 。同一个 16 位数，若小数点设定的位置不同，它所表示的数也就不同。不同的  $A, B$  所表示的数由于范围不同，因而精度也不相同， $A$  越大，数值范围越



结果左移  $16+16-16=16$  位取高 16 位则得到正确值 55(H)，在整数乘法中由于左移 16 位取高 16 位，相当于不移位取低位，故低 16 位就是正确值 55(H)

例 3.3  $1.5 \times 0.75 = 1.125$

$$\begin{array}{r}
 001.10000000000000 = 1.5 \quad ; Q_{3,13} \quad 3000(H) \\
 \times \quad 0.11000000000000 = 0.75 \quad ; Q_{1,15} \quad \times \quad 6000(H) \\
 \hline
 0001.001000000000000000000000000000 = 1.125 \quad ; Q_{3,13} \quad 1200000(H)
 \end{array}$$

结果左移  $3+1-3=1$  位取高 16 位则得到正确值 2400(H)

### 3.2.2 任意波形五电平开环功率放大

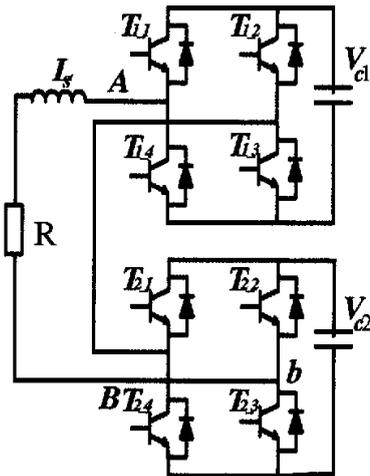


图 3-11 功率放大主电路拓扑

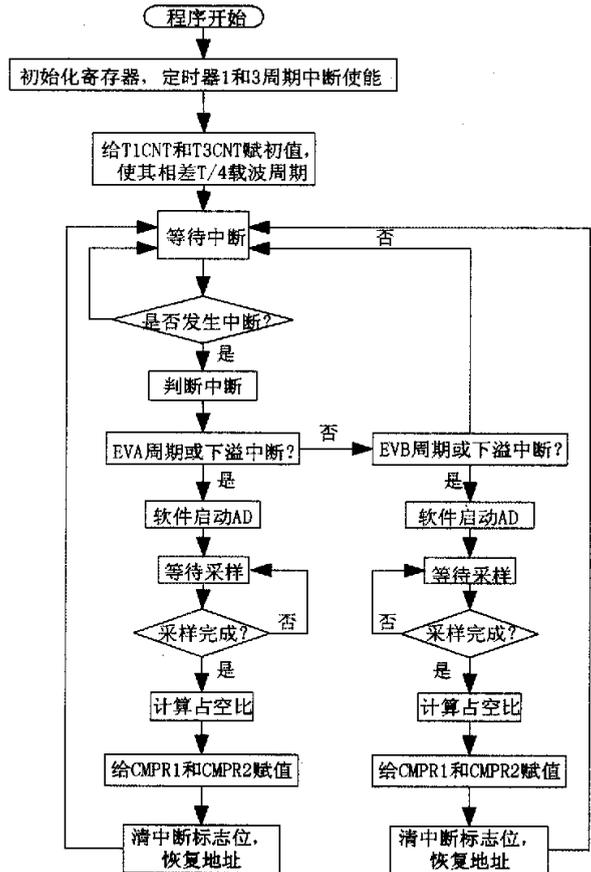


图 3-12 DSP 程序流程图

为了对载波相移 SPWM 调制方法的带宽方面进行实验验证，以便在后面的 SAPF 中应用，所以对图 3-11 拓扑设计了对任意波形进行五电平非对称规则采样、计算，在主电路得到其功率放大波形的实验。由 3.2.1 节 DSP 进行浮点运算的定标理论和如 3.1.2 节图 3-3 所示通过两列载波调制两列互差  $\pi$  度的调制波来实现调制的对称优化，其中，tra 超前 trb/4 载波周期；在  $\text{tra} > \text{sina}$  时间内给  $T_{1-1}$  导通信号，在  $\text{tra} > \text{sinb}$  时间内给  $T_{1-2}$  导通信号；在  $\text{trb} > \text{sina}$

时间内给  $T_{2-1}$  导通信号, 在  $trb > sinb$  时间内给  $T_{2-2}$  导通信号。其中  $T_{1-1}$ 、 $T_{1-4}$  信号互补,  $T_{1-2}$ 、 $T_{1-3}$  信号互补;  $T_{2-1}$ 、 $T_{2-4}$  信号互补,  $T_{2-2}$ 、 $T_{2-3}$  信号互补, 分别给同一个桥臂的两个功率管。频率调制比  $K=21$ , 幅度调制比  $M=0.9$ 。

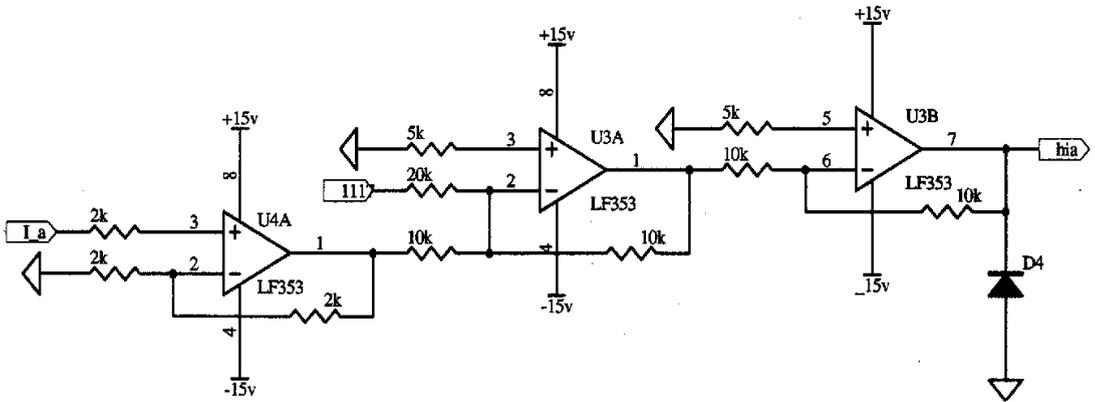
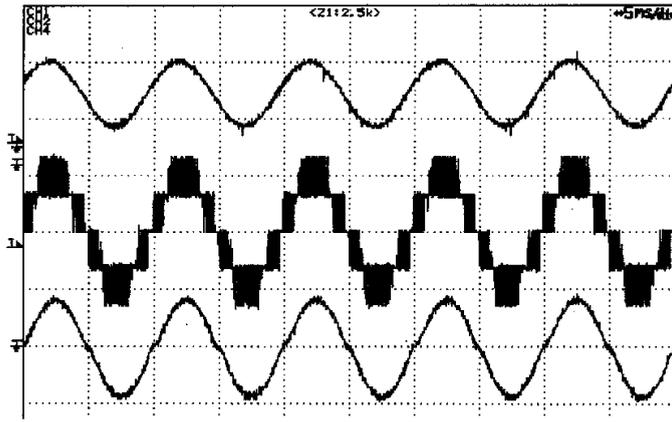


图 3-13 调制信号的偏置电路

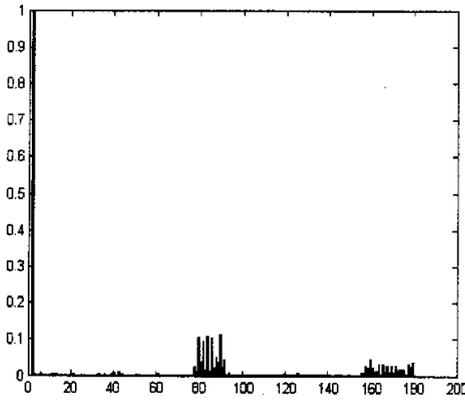
实验采用的调制波信号由信号发生器产生, 可以产生正弦波、方波, 三角波和锯齿波。由于 DSP 要求输入电压范围是  $0 \sim 3.3v$ , 因而输入信号要加上偏置后才能送入 DSP 的 AD 口。偏置电路如图 3-13 示。偏置电源用 1117 稳压芯片得到  $2.4v$  恒定的直流电压, 通过电阻分压产生  $1.65v$  直流电压, 叠加于信号端, 得到符合要求的电压输入。功率器件采用 FJ 的 6MBP15RY060IPM 模块, 该型号 IPM 最高开关频率  $5K$  (若换成功率 MOS 管开关频率更高则通频带会更宽)。调制波信号取  $100Hz$ , 载波频率调制比  $K=21$ , 因而单个开关频率为  $21 \times 100 = 2.1K$ 。DSP 程序框图如图 3-12, EVA 的计数器 T1CNT 赋初始值为  $1/4$  载波周期值, EVB 的计数器 T2CNT 赋初始值为  $1/2$  载波周期值, 并同时开始计数, 这样得到互差载波周期  $1/4$  的两列载波。对两个计数器周期中断使能, 当  $tra$  与  $trb$  错时到达周期时, 便进入中断程序。中断程序中进行采样和计算, 得到占空比, 赋值给比较寄存器。由于载波的相移, 使得输出的脉冲也产生了相移, 每列载波和两列调制波相交得到的信号分别给一个模块的两个桥臂, 每个模块输出可得到一个三电平脉冲, 两个模块的三电平叠加便得到五电平的脉冲信号, DSP 的周期寄存器值按下式计算: 
$$\frac{\text{正弦波周期} \times \text{晶振} \times \text{PLL}}{\text{载波比} \times \text{分频系数} \times 2} = \frac{0.01 \times 10 \times 10^6 \times 1}{21 \times 1 \times 2} = 2381D$$
。若改

变载波频率调制比, 则按上式重新计算周期值。并且, 调制波的频率  $\times$  载波频率调制比  $<$  功率器件的开关频率, 即对于调制波传输带宽要受到功率器件开关频率限制。电路中电感  $L_s$  取  $7mH$ , 电阻取  $50\Omega$ 。直流侧电压  $V_{c1} = V_{c2} = 50v$ 。实验结果如下 (从上到下依次是信号发生器波形, DSP 输出控制脉冲波形、主电路电流波形) 及其频谱分析:

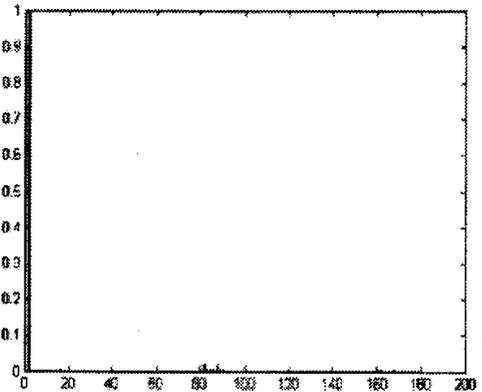


横轴(t): 5ms/div 纵轴(E): 2v/div, 5v/div, 1v/div

(a) 正弦波输出波形

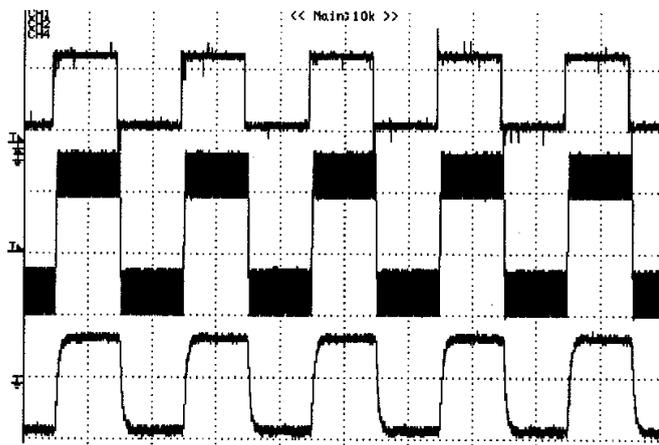


(b) 正弦波触发脉冲频谱



(c) 正弦波主电路电流频谱

图 3-14 正弦波调制输出及其输出频谱



横轴(t): 5ms/div 纵轴(E): 2v/div, 5v/div, 1v/div

(a) 方波输出波形

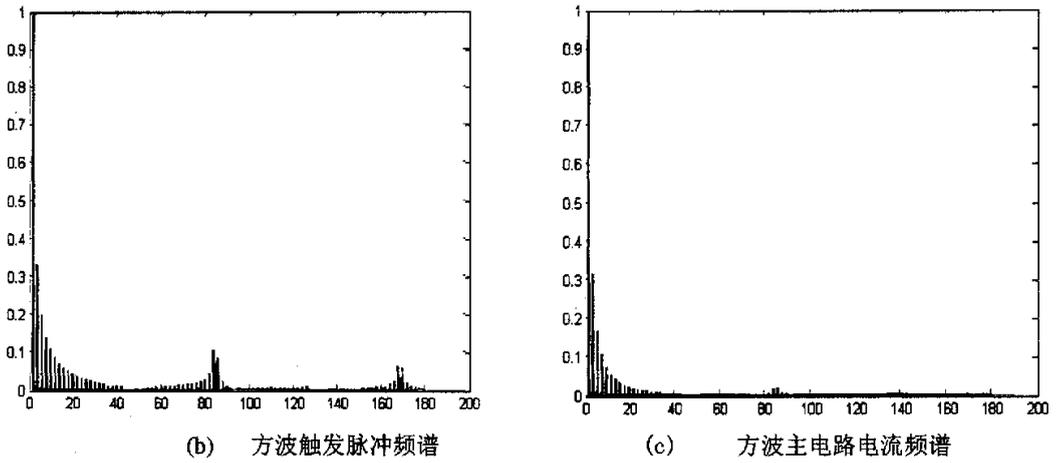
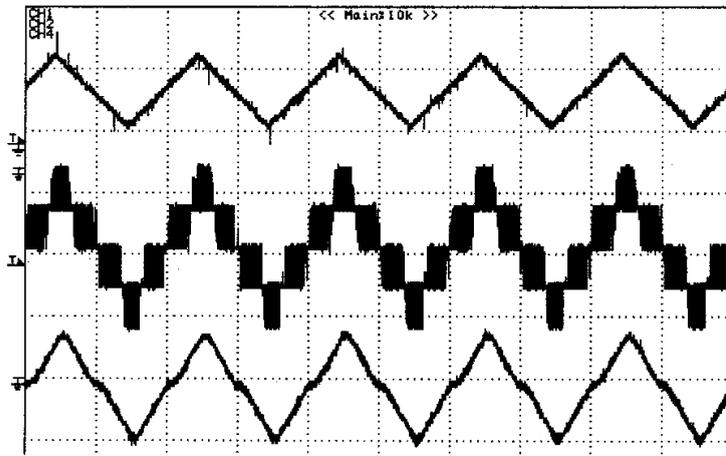


图 3-15 方波调制输出及其输出频谱



横轴(t): 5ms/div 纵轴(E): 2v/div, 5v/div, 1v/div

(a) 三角波输出波形

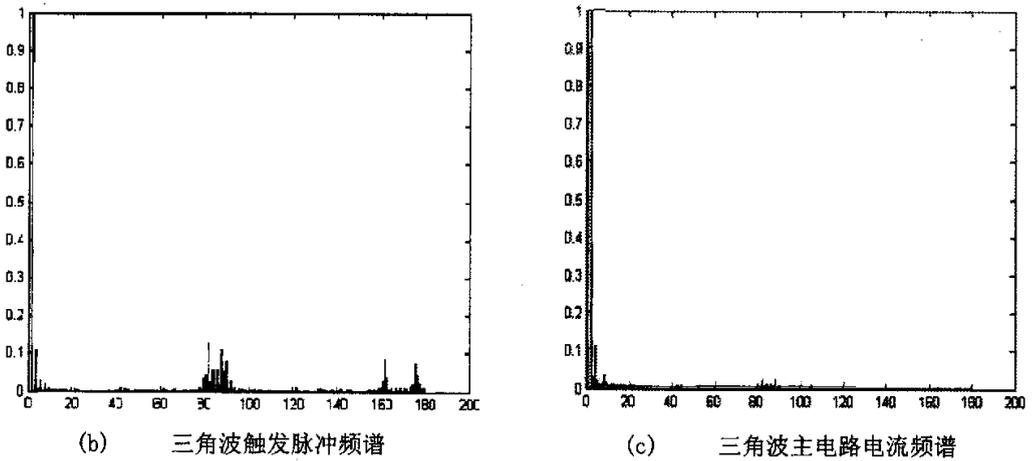
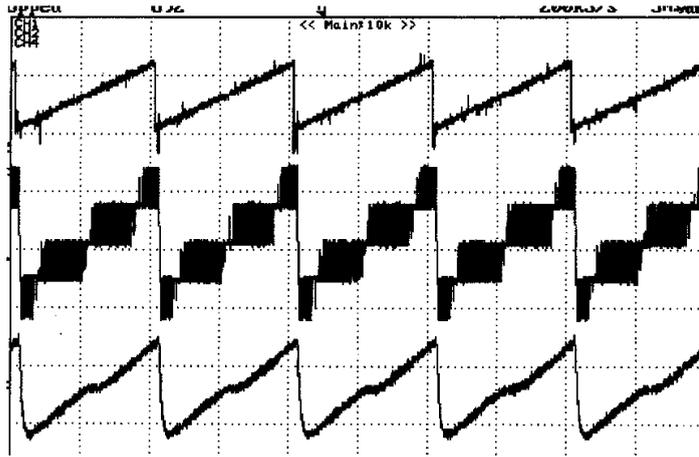
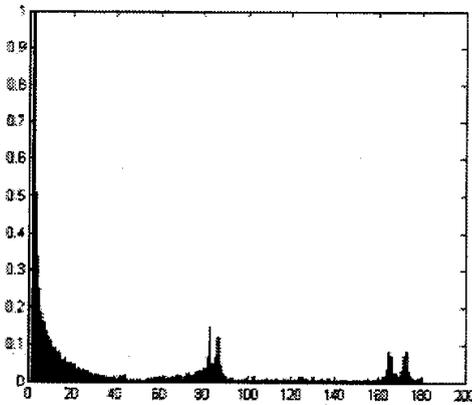


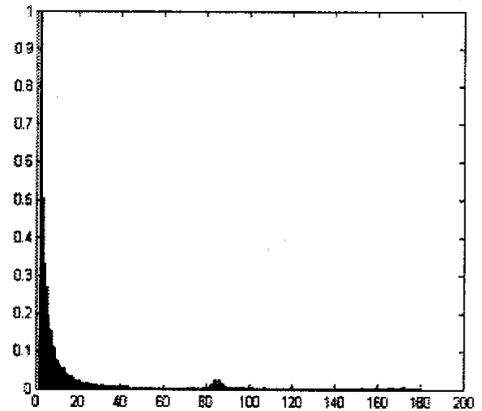
图 3-16 三角波调制输出及其输出频谱



横轴(t): 5ms/div 纵轴(E): 2v/div, 5v/div, 1v/div  
(a) 锯齿波输出波形



(b) 锯齿波触发脉冲频谱



(c) 锯齿波主电路电流频谱

图 3-17 锯齿波调制输出及其输出频谱

由图 3-14(a)、图 3-15(a)、图 3-16(a)、图 3-17(a)可见采用载波相移 SPWM 可以得到和给定十分逼近而稳定放大的功率输出波形，输出波形仅仅在过零点有些畸变，这是由于本实验中为了防止功率器件上下管同时导通而设置了死区时间 ( $10\mu s$ ) 因而产生了死区效应而导致<sup>[57]</sup>。在 3.5.3 节将采用死区补偿技术来有效的抑制死区效应，得到几乎不失真于给定的放大输出。由图 3-14(b)、图 3-15(b)、图 3-16(b)、图 3-17(b)可见：对于五电平的调制，一方面，放大后的输出有足够的带宽以保留给定调制波原有各次谐波含量，另一方面，只引入了载波 4 倍的高次谐波，而低次开关频率谐波已通过载波相移 SPWM 完全抵消，和理论分析完全吻合。由图 3-14(c)、图 3-15(c)、图 3-16(c)、图 3-17(c)可见通过主电路电感电阻滤波，可以有效抑制载波频率 4 倍数次谐波，而保留给定的原有低次信号，事实上，通过合理选择主电路的电感和电阻，使得主电路的截止频率低于载波频率的 4 倍则可以完全滤除高次谐波，从而消除开关特征次谐波的影响。当然，对于信号频带比较宽的时候，

可以通过增加 H 桥的模块, 来实现更高质量的输出, 这将在 3.6 节讨论。

由此可以得出结论: 无论输入谐波中含有方波、三角波还是锯齿波, 即使在频率比工频高一倍的情况, 通过 DSP 进行非对称采样进行实时运算得到的五电平输出都可以实时的跟踪给定电流波形, 经过滤波后输出和给定有相同的频谱, 即谐波成分一致, 该系统具有良好的通频宽度, 为该变流器在并联有源滤波中的应用提供了有力的实验依据。另一方面也证明 CPS-SPWM 调制方法和级联 H 桥结合在音频放大器、微弱信号放大器方面有较大的应用前景。

### 3.3 单相五电平变流器的闭环控制

在 CPS-SPWM 调制方法下的级联 H 桥拓扑可以有以下几种主要控制方法:

#### 1、PI 控制:

在工程实际应用最广泛, 也是本实验采用的控制方法, 在 3.3.1 节将专门讨论数字 PI 控制的实现方法;

#### 2、滞环电流控制:

滞环电流控制是一种简单的 Bang-bang 控制<sup>[58]</sup>, 它集电流控制与 PWM 于一体。实际电流与指令电流的上、下限相比较, 交点作为开关点。指令电流的上、下限形成一个滞环。滞环电流控制具有以下特点:

- (1) 滞环电流控制是基于电流暂态的控制, 具有动态响应速度快、鲁棒性好的优点;
- (2) 滞环电流控制本质是一种隐含载波的变频 SPWM 调制方式。在三相高功率因数整流器中, 滞环控制的隐含载波频率随电网电压做周期性变化, 变化频率为工频的二倍;
- (3) 滞环电流控制输出频谱范围宽, 滤波较困难, 谐波能量均匀分布在较宽的频带范围内;

为了解决滞环电流控制变频的缺点, 仍有不少学者在探索改进的方案, 比如: 限制最高开关频率, 通过改变滞环宽度实现恒频控制等;

#### 3、单周控制:

单周控制 (One Cycle Control) 是由加州大学 Keyue Ma Smedley 提出的。该技术同时具有调制和控制的双重性<sup>[59]</sup>, 其原理如图 3-18 所示。

单周控制通过复位开关、积分器、触发电路、比较器达到跟踪指令信号的目的。这种控制方案具有动态响应快、开关频率恒定、鲁棒性强、易于实现等优点。在 DC-DC 变换器中已经得到充分的研究。作为一种调制方式, 该技术最近正在向三相变流器方面如电流型 PFC、电压源型 APF 探索。

灵活多样的调制技术与丰富的电路拓扑相结合形成各具特色的变流装置。目前已进入研究阶段的有基于 SVM 的二极管箝位型变流器、相移 SPWM 组合变流器、相移 SVM 组合变流器、本文研究的相移 SPWM 级联型变流器。

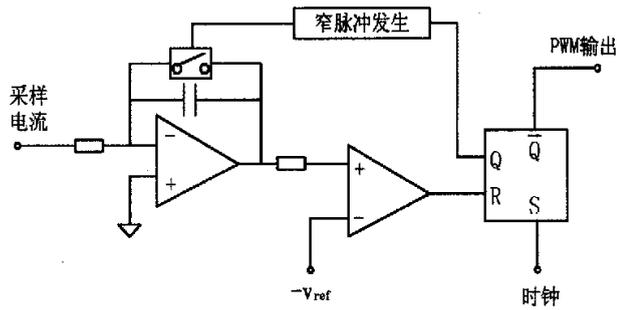


图 3-18 单周控制原理

4、 预测电流控制：

其思想是通过输入、输出电压和输入电流的采样根据实际电流和参考电流的误差选择优化电流矢量（脉冲宽度）作用于下一个周期，使实际电流在一个周期内跟踪上参考电流，实现稳态无误差<sup>[60]</sup>。其优点是开关频率固定，动态性能好，电流谐波小，器件开关应力小，数字化实现较简单。其缺点是要求较高的采样频率和开关频率，在低的采样频率下，会产生周期性的电流误差。

5、 无差拍控制：

其基本思想是：将输出参数等间隔地划分为若干个取样周期，根据电路在每个取样周期的起始值预测在关于取样周期对称的方波脉冲作用下某电路变量在取样周期末尾的值<sup>[61]</sup>。适当控制方波脉冲的极性宽度就能使输出波形与给定的波形重合。不断调整每一周期内方波脉冲的极性和宽度，就能得到失真度很小的波形输出。

该控制方法是一种全数字化技术，它利用前一时刻指令电流和补偿电流值根据空间矢量理论计算出整流器下一时刻应该满足的开关模式。其优点在于数学推导过程严密、跟踪无过冲、动态性能好，易于计算机执行等。缺点是数据计算量大，且对系统参数依赖性较大，但是随着数字信号处理器件的不断发展，该方法也会逐渐步入实际应用。

后四种方法作为比较先进的控制方法，是近年来研究热点，因而予以简要介绍，由于考虑到整个系统的复杂程度，实验中实际用 PI 控制方法。

3.3.1 数字 PI 实现理论

在模拟调节系统中 PI 调节的控制规律为<sup>[62]</sup>：

$$u(t) = K_p \left[ e(t) + \frac{1}{T_i} \int_0^t e(t) dt \right] \tag{3-12}$$

其中， $u(t)$  调节器的输出信号；

$e(t)$  调节器的偏差信号，是给定值与测量值之差；

$K_p$  调节器的比例系数；

$T_i$  调节器的积分时间；

其中比例环节  $K_p$  实时成比例的反映控制系统的偏差信号，偏差一旦产生，控制器实时作用减少偏差；积分环节  $\frac{K_p}{T_i}$  用于消除静态偏差，其作用的强弱决定于积分时间常数  $T_i$ ， $T_i$  越大，积分作用越弱，反之，越强。

由于计算机控制是基于离散数据处理的控制，它只能根据采样时刻的偏差值进行计算，因此需要对式(3-12)的积分部分进行离散化处理，得到：

$$u(k) = K_p e(k) + K_i \sum_{j=0}^k e(j) \quad (3-13)$$

其中， $k$  采样序号， $k = 0, 1, 2, \dots$ ；  
 $u(k)$  第  $k$  次采样时刻的输出值；  
 $e(k)$  第  $k$  次采样时刻输入的偏差值；  
 $K_i$  积分系数， $K_i = K_p T / T_i$ 。

本变流器控制系统采用 PI 的位置型算法：

$$\begin{aligned} u(n) &= u(n-1) + \Delta u(n) \\ &= u(n-1) + K_p [e(n) - e(n-1)] + K_i \cdot e(n) \end{aligned} \quad (3-14)$$

或者表示为：

$$u(n) = u(n-1) + u_p(k) + u_i(k) \quad (3-15)$$

其中， $u_p(k) = K_p [e(k) - e(k-1)]$ ， $u_i(k) = K_i \cdot e(k)$ ，

$$K_i = K_p \frac{T}{T_i} \quad \text{积分系数。}$$

根据式(3-13)列写位置型 PI 算法的程序流程图，如图 3-19 所示。

不难看出，在位置型数字 PI 实现方法中需要对前多次误差信号  $e(k)$  进行累加，实际应用中考虑到处理器的限制，只取两次累加。

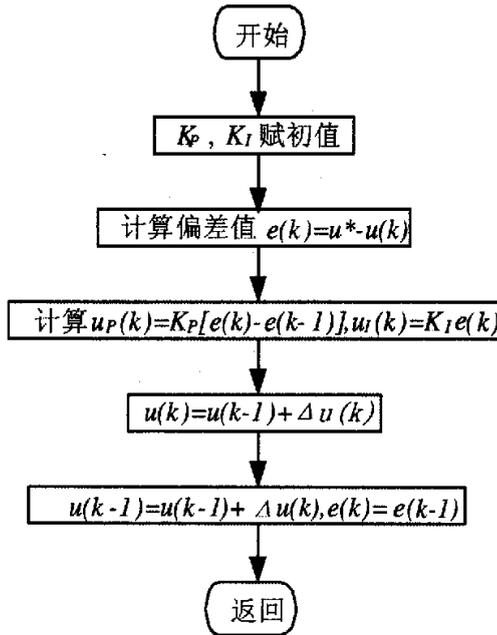


图 3-19 位置型数字 PI 程序流程图

### 3.3.2 对变频器交流侧的闭环控制

变频器的交流侧的闭环控制是对变频器输出电流的直接控制，作为电压电流双闭环控制的内环，其控制好坏直接影响变频器的输出，因而本节讨论对变频器交流侧进行了电流环的 PI 调节实验。

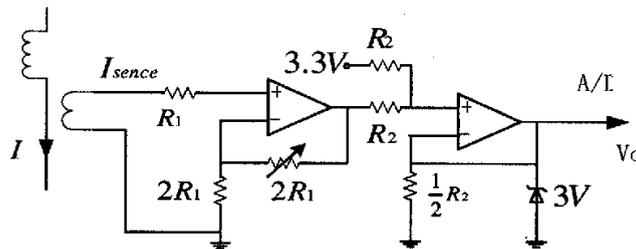


图 3-20 电流检测与偏置电路

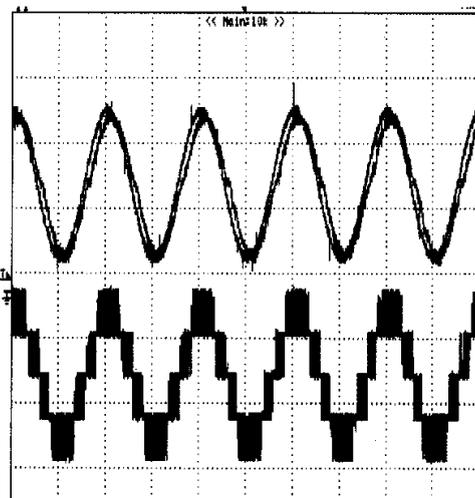
以级联 H 桥逆变器进行实验，直流侧采用直流稳压电源，输出端接 RL 负载，给定电流  $i$  的值(实验中该值由信号发生器给出，调节该值可以使得输出电流大小变化)，该值与主电路电流采样值相减后其差值经过 PI 调节器，在每一个中断运算中修正脉宽，得到 8 路修正后的控制脉冲通过光耦驱动 IPM。实验采样电路如图 3-20，电流互感器为 LEM 公司的 LA58-P，额定电流为 50A，电流变比为 1000:1，当外接采样电阻为 100Ω 时，电流与采样电压的比例为 10:1。因而，单模块直流电压在 80v 时，输出电流采样信号应该在峰值 8v。

按照(3-14)式，PI 调节部分程序如下：

LDP	#result0		地址指到主电路电流采样地址
LACL	result0		读取主电路电流原始数据
SACL	ad_ik_org		存入主电路电流原始数据
SUB	#220H		主电路电流减偏置
SACL	ad_ik		本次采样电流存入临时积存器
LDP	#result1		地址指到给定电流采样地址
LACL	ad_ig_org		读取给定电流原始数据
SACL	ad_ig_org		存入给定电流原始数据
SUB	ad_ik_org		减去本次主电路采样电流
SACL	error_k		本次误差存入 error_k
LT	error_k	: $Q_{16,0}$	将 error_k 载入乘法单元
MPY	y	: $Q_{1,15}$	乘以 1/1024 得到 [0, 1] 的数
PAC			右移 2 位
RPT	#1		
SFR			载到累加器
SACL	result_3	: $Q_{3,13}$	本次误差计算完毕
LT	result_3	: $Q_{16,0}$	本次误差值载入乘法寄存器
MPY	Ki	: $Q_{1,15}$	本次误差值乘以积分系数
PAC			
RPT	#1		左移两位定标
SFR			加载到累加器
SACL	kpvalue	: $Q_{3,13}$	积分项运算结束
LACC	ad_ik_1_org		载入上次主电路电流值
SUB	ad_ik_org		减去本次主电路电流值
SACL	error_k_1	: $Q_{16,0}$	得到比例项
LT	error_k_1	: $Q_{16,0}$	比例项载入乘法寄存器
MPY	Kp	: $Q_{1,15}$	乘以比例系数
PAC			
RPT	#1		
SFR			
SACL	result_4	: $Q_{3,13}$	比例项计数结束
LACC	result_4		
ADD	result_3		比例项加积分项
ADD	ad_ik_1		加前次主电路电流

SACL	temp_p		存入临时数据寄存器
LACC	temp_p		
ADD	#8192	; $Q_{3,13}$	误差项之和加 1
SACL	tw_p		
LT	tw_p	; $Q_{3,13}$	
MPY	Tc	; $Q_{16,0}$	乘以载波周期值, 得到占空比
PAC			
SACH	u, 3	; $Q_{16,0}$	正的占空比值存入 u
LACC	temp_p	; $Q_{3,13}$	
NEG			误差值和取负
ADD	#8192		
SACL	temp_n		
LT	temp_n	; $Q_{3,13}$	
MPY	Tc	; $Q_{16,0}$	
PAC			
SACH	p, 3	; $Q_{16,0}$	负的占空比值存入 p
LACL	ad_ik		
SACL	ad_ik_1		本次主电路电流存入 ad_ik_1

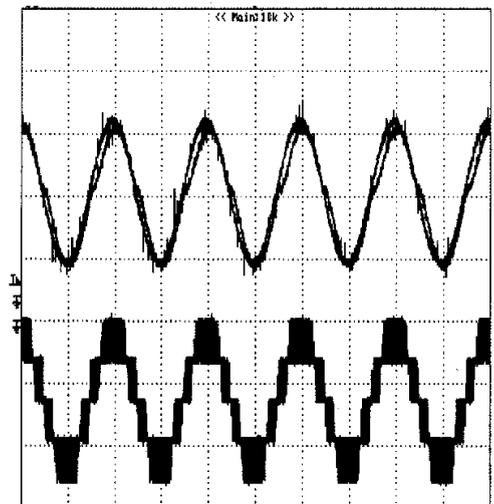
实验结果波形如下图 3-21 (给定信号, 主电路输出采样信号, 功率器件触发脉冲信号)



横轴(t): 5ms/div

纵轴(E): 1v/div, 1v/div, 5v/div

(a) 开环直流测单模块 80V 时交流输出



横轴(t): 5ms/div

纵轴(E): 1v/div, 1v/div, 5v/div

(b) PI 调节直流测单模块 70V 时交流输出

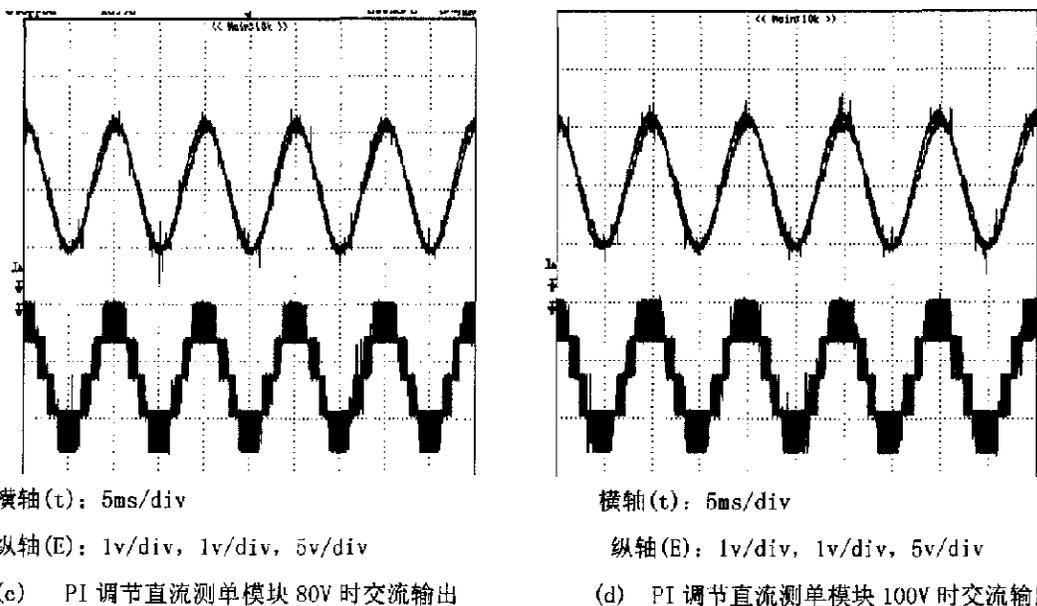


图 3-21 级联 H 桥逆变器不同直流侧电压值的输出

由图 3-21(b)、(d)可见变流器在直流侧单模块给定为 80v 时，模块电压在 70v 到 100v 变化时通过交流侧 PI 调节输出电流都能够很好地跟踪给定信号。证明交流侧的 PI 调节效果是明显的。

### 3.4 级联型五电平变流器在单相 SAPF 中的应用

#### 3.4.1 单相 SAPF 主控制系统

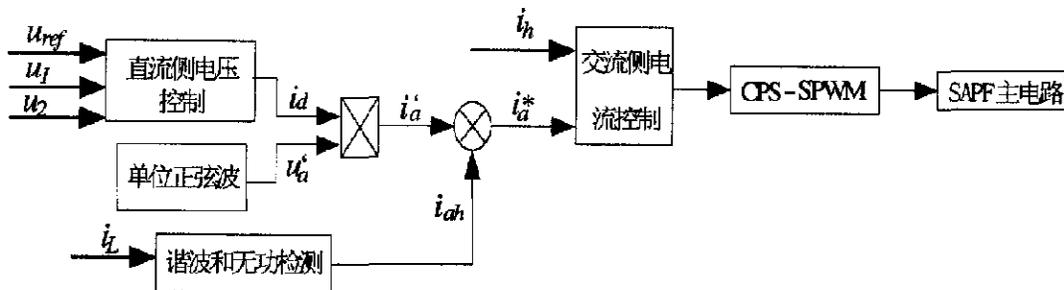


图 3-22 单相五电平 SAPF 控制框图

为使 SAPF 主电路正常运行，必须使其直流侧电容电压维持在一定的数值，以保证主电路在任何时刻都能跟踪指令电流的变化<sup>[69]</sup>。若不对直流电压进行控制，电容的端电压会由于系统存在的损耗和补偿电流的变化会产生衰减或大的波动。对于本文所采用的五电平变流器，各变流器单元的直流侧电压必须均衡，这是保证 SAPF 正常工作的前提条件。由于级联 H 桥直流侧相互独立，因而直流侧均压比较容易实现，本文采用 PI 控制实现直流侧的级联 H 桥直流侧相互独立，因而直流侧均压比较容易实现，本文采用 PI 控制实现直流侧的电压均衡。

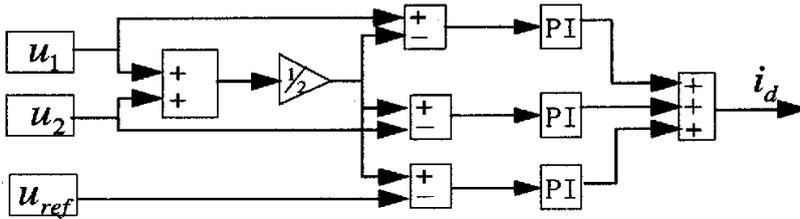


图 3-23 SAPF 直流侧控制框图

因而，整个系统的控制包括交流侧控制和直流侧控制两部分，总的控制框图如图 3-22 所示。它是一个双闭环控制系统。其内环是直流电压控制环，外环是交流电流控制环。单模块直流电压给定信号为  $u_{ref}$ ，级联 H 桥两模块电压分别为  $u_1$ 、 $u_2$ 。 $u_1$ 、 $u_2$  取平均值后再分别与  $u_1$ 、 $u_2$ 、 $u_{ref}$  比较后送入 PI 调节器，如图 3-23。外环 PI 调节器的输出为直流电流信号  $i_d$ ， $i_d$  的大小和变流器交流输入电流的有功分量幅值成正比。稳态时  $u_1 = u_2 = u_{ref}$ ，PI 调节器输入为零。当直流侧电容 C 电压  $u_1$ 、 $u_2$  下降时，PI 调节器的输入端出现正偏差，使其输出  $i_d$  增大， $i_d$  的增大会使整流器的交流输入电流的有功分量增大，也使直流侧电压  $u_1$ 、 $u_2$  回升。达到稳态时， $u_1$ 、 $u_2$  仍和  $u_{ref}$  相等，PI 调节器输入仍恢复为零，而  $i_d$  则稳定在新的较大的值。当  $u_1$ 、 $u_2$  上升时，调节过程和上述过程相反。若 APF 要从整流运行变为逆变运行时，首先是负载注入功率使得电流反向而向直流侧电容充电，使  $u_1$ 、 $u_2$  抬高，PI 调节器出现负偏差，其输出  $i_d$  减小到变负值，使交流输入电流相位和电压相位反向，实现逆变运行。达到稳态时， $u_1$ 、 $u_2$  仍和  $u_{ref}$  相等，PI 调节器输入恢复到零，其输出  $i_d$  为负值，与逆变电流的有功分量相对应。

$i_d$  乘以和  $a$  相电压同相位的正弦信号  $u_a'$ ，就得到三相交流电流的正弦指令信号  $i_a^*$ 。可以看出  $i_a^*$  和  $a$  相电源电压同相位，其幅值和反映负载电流大小的直流电流信号  $i_d$  成正比，这正是整流器作单位功率因数运行时所需要的交流电流指令信号。非线性负载电流  $i_a$ 、 $i_b$  和  $i_c$  采样信号经过谐波与无功电流检测电路后得谐波和无功电流信号  $i_{ah}$ ， $i_{ah}$  与  $i_a^*$  相乘便可得 APF 指令电流  $i_a^*$ 。指令电流  $i_a^*$  和变流器输出谐波电流信号比较后，通过内环数字 PI 调节器，得到控制信号后由 8 驱动电路驱动 APF 各路开关，来产生相应的波形<sup>[64][65]</sup>。

### 3.4.2 单相 SAPF 实验及其分析

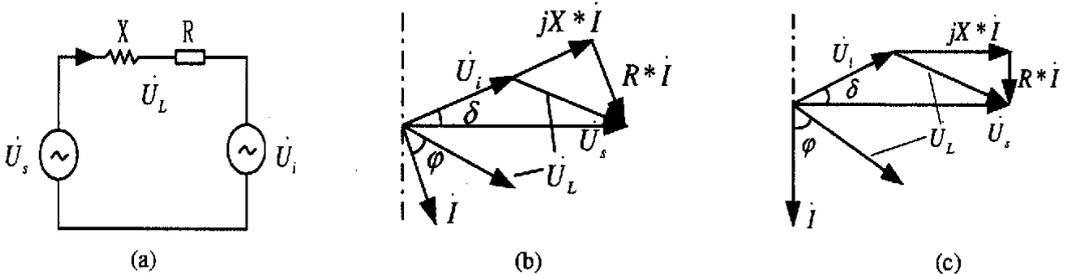


图 3-24 APF 中变流器部分等效电路及其矢量图

由于谐波电流是无功电流，理论上不需要直流侧的直流提供有功电流，实际由于逆变器主电路有不可忽略的损耗，故需要补偿有功功率。有功功率的补偿有从交流侧补偿和从直流侧补偿两种方法<sup>[66]</sup>。

在本 APF 中的负载是感性的，因而只分析电流滞后电压的情况，如图 3-24(a)、图 3-24(b)。为分析方便以正弦波作为给定和输出进行分析。设变流器内部无损耗，在该情况中，因为变流器无需有功功率，变流器电压  $\dot{U}_i$  与电流  $I$  相差  $90^\circ$ ，而电网电压  $\dot{U}_s$  与电流  $I$  相差则不再是  $90^\circ$ ，而是比  $90^\circ$  小了  $\delta$  角度，因此，电网提供了有功功率补偿了电路中的有功损耗，即相对电网而言，电流  $I$  中有一定的有功分量，这点从矢量图中可以明显看出。这个  $\delta$  角度也就是变流器电压  $\dot{U}_i$  与电网电压  $\dot{U}_s$  之差。改变这个角度并且改变  $\dot{U}_i$  的幅值则变流器产生的电流  $I$  相位与大小也随之改变，变流器从电网吸收的有功功率也发生改变。事实上，一旦变流器主电路确定，其电阻值也确定，变流器容量确定后从电网吸收的有功功率也就确定，因而稳态运行时候  $\delta$  是可以确定。若考虑变流器内部损耗，则变流器输出电压  $\dot{U}_i$  和  $I$  的夹角比  $\delta$  角略小。

另外，在工程实际中也可以从直流侧提供变流器损耗。这种方案中，在直流侧并联有直流电压源，如蓄电池等。其矢量图如图 3-24(c)。其电流与交流电网电压的相位差是  $90^\circ$ ，而与变流器交流侧输出电压差为  $90^\circ + \delta$ 。

对于本文 APF 系统给定由谐波检测电路给出，只要满足  $\delta$  的相位差就可以达到补偿变流器有功功率的要求。在闭环系统内， $\delta$  角度的调节由闭环调节器根据主电路的有功和无功功率需求自动调节，从而满足矢量关系。

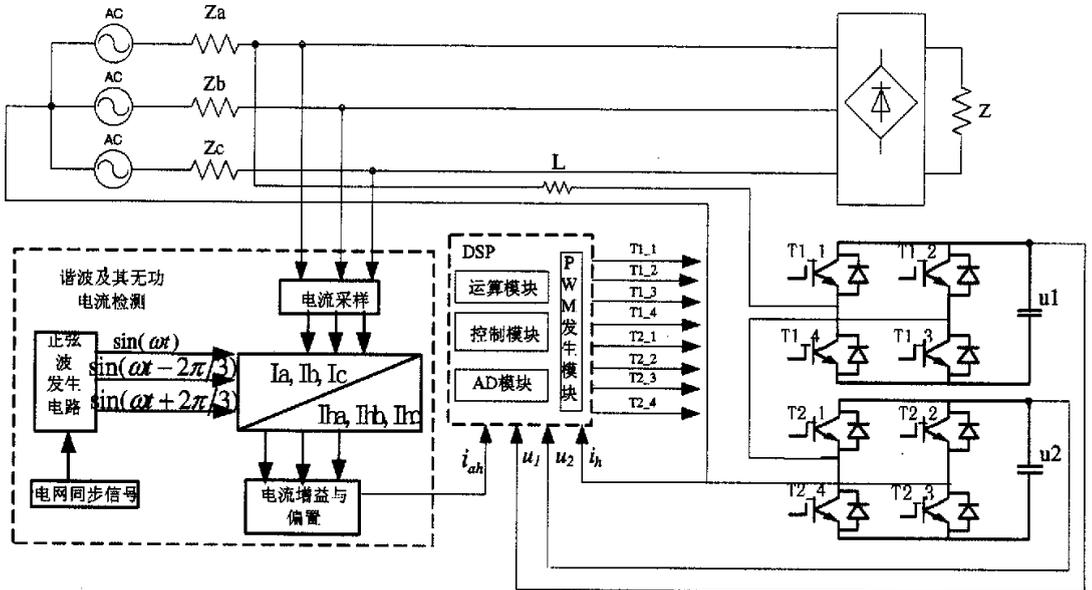


图 3-25 单相五电平 SAPF 系统框图

如图 3-25 所示，本实验采用的系统由以下几个部分组成：①不控整流模拟的非线性负载；②级联 H 桥主电路；③谐波及无功电流检测电路；④ DSP 控制器；⑤隔离与驱动电路。系统通过电流传感器检测非线性负载电流  $i_a$ 、 $i_b$  和  $i_c$ ，经谐波与无功电流检测电路后，产生补偿指令电流，送入 DSP 控制器的 A/D 转换，再与 APF 检测电流  $i_{na}$  做 PI 调节，得到控制信号后由 PWM 发生器送出通过驱动电路驱动 APF 各路开关，同时系统包含过流、过热和过压等各种保护功能。

作用于 APF 的变流器工作在 BOOST 状态，需要先建立直流侧电压（见 4.1 节分析），在初始阶段直流侧会产生冲击电流，因而在实验中采用在直流侧应串联限流电阻的方法，上电后先让级联 H 桥型变流器工作在整流状态，将直流电压升高到给定值，然后投入正常工作状态，这样可以减小变流器投入工作时的冲击电流，降低限流电阻的尺寸。而在实际工程应用中，可以采用软启动方式来减小启动冲击电流。

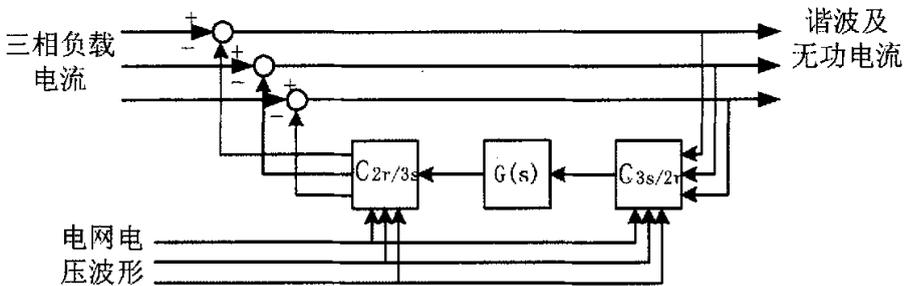


图 3-26 谐波检测框图

系统谐波检测采用瞬时无功功率理论的原理的自适应闭环拓扑<sup>[67]</sup>，如图 3-26 示，通过三片模拟乘法器 AD633 实现  $3/2$  变换，经过二阶巴特沃斯滤波器得到直流分量，再由三片 AD633 实现  $3/2$  反变换得到纯正弦波电流，与电网电流做差，得到无功与谐波电流作为 PI 调节的指令电流。检测系统鲁棒性强，稳定度好，检测波形如图 3-27 示。DSP 的数字 PI 调节及其占空比运算的到的五电平输出脉冲及其 H 桥主电路输出的补偿电流如图 3-28 示。

实验电路主要电路参数如下：

电网电压：200V(通过调压器调节)，50Hz；

直流侧电压：200V(两个模块总电压)；

非线性负载：不控整流桥接阻感负载，其中电感为 26mH，电阻为 20Ω；

主电路开关器件 IPM 模块 6MBP15RY060：额定电流 15A，直流侧额定工作电压 600V，

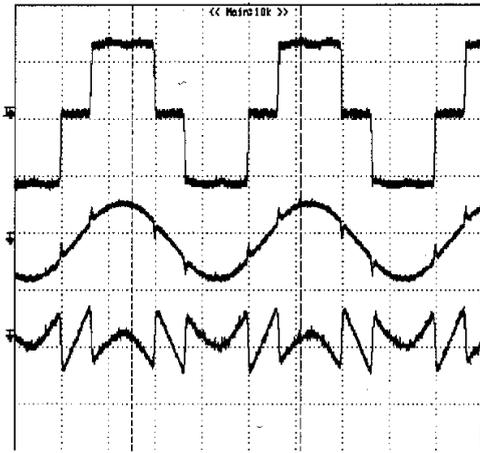
额定开关频率 5KHz；

交流侧电感：7.3 mH；

直流侧电容：1410 uF；

电流传感器：LEM LA58-P；

DSP 控制器：TI 公司 TMS320LF2407；



(负载电流、有功电流、无功及谐波电流)

横轴(t): 5ms/div 纵轴(E): 1v/div,1v/div,1v/div

图 3-27 负载、有功与给定电流

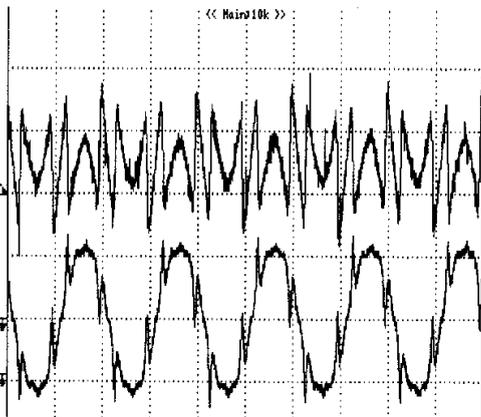


(谐波电流、变流器输出电流、变流器控制脉冲)

横轴(t): 5ms/div 纵轴(E): 1v/div,1v/div,5v/div

图 3-28 检测、跟踪电流与控制脉冲

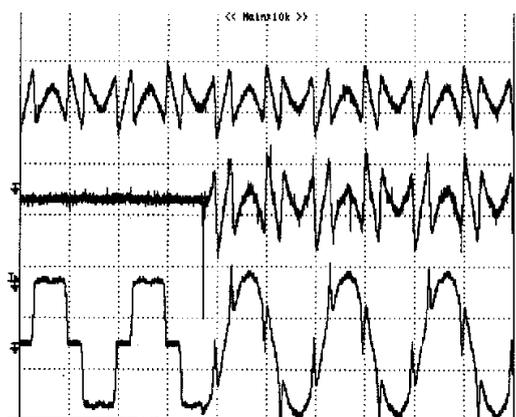
由图 3-28 可见采用载波相移 SPWM 方法对级联 H 桥进行调制能够有效产生五电平脉冲，采用双闭环控制方法能够实时跟踪给定谐波电流。由图 3-29 波形可见，五电平的补偿效果稳定也比较理想，APF 系统稳态时候能够较好地完成了谐波和无功补偿功能，只是在转折处有较大的尖峰，这是由于谐波电流在该处突变上升/下降率 ( $di/dt$ ) 太大，远远超出了开关响应时间所致。由图 3-30 可见，APF 系统响应时间很短，在微秒级快速实现对负载的谐波和无功补偿，投入过程没有大的波动和超调，这表明该系统有很快的动态响应速度，动态稳定性也很好。



(谐波电流、补偿后网侧电流)

横轴(t): 10ms/div 纵轴(E): 1v/div,5v/div

图 3-29 变流器输出电流和网侧输入电流



(谐波电流、变流器输出电流、网侧电流)

横轴(t): 10ms/div 纵轴(E): 1v/div,5v/div

图 3-30 补偿器投入动态响应波形

由图 3-31 和图 3-32 可见, 负载中的低次谐波被很好地抑制, 高频谐波集中于 84 次谐波附近, 即用 CPS-SPWM 技术实现了 4 倍等效开关频率, 无论在降低电容电感容量上, 还是在变流器传输带宽等性能指标上, 均有很大提高, 有利于解决大功率变流器装机容量与开关频率之间的矛盾。

另外可以通过以下途径来进一步改善 APF 样机补偿效果: (1) 提高交流侧电感的工艺水平、降低线路电阻、平衡三相电感; (2) 适当提高开关频率; (3) 采用更加精确的电流控制策略; (4) 在非线性负载的交流侧加入无源滤波器, 与 APF 配合使用。

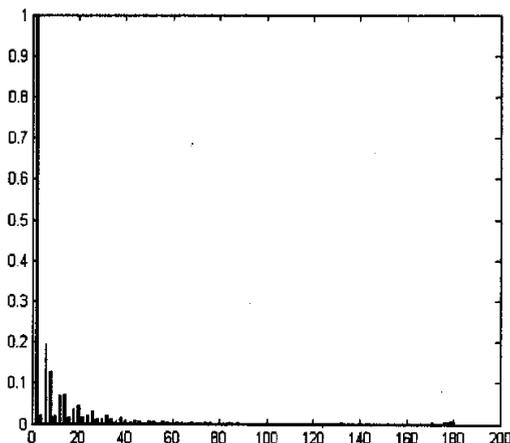


图 3-31 补偿前输入电流频谱分析

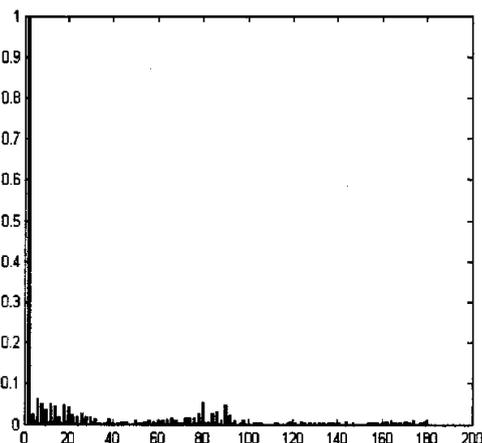


图 3-32 补偿后输入电流频谱分析

## 3.5 多电平死区及其数字补偿研究

### 3.5.1 三电平死区效应分析

在桥式结构的 PWM 电压型变流系统中, 同一桥臂上的两个开关器件的工作为互补状态。由于一般开关器件的开通时间小于关断时间, 如果将完全互补的控制信号同时加到同一桥臂的两个开关器件的门极上, 关断开关会因为反向电流来不及恢复而使桥臂“直通”从而导致电源短路。因此, 必须在上、下桥臂开关器件通断之间设置死区时间。死区时间的设置会造成负载电压、电流波形畸变, 逆变器输出出现误差, 不能完全恢复调制波信息, 称之为“死区效应”。随着电力电子装置功率的增加, 开关器件的容量增大, 死区时间设置有所增加, 此外, 开关频率的提高, 死区时间对逆变器输出电压、电流的影响也变得更加严重, 因此对大功率逆变器的死区效应进行补偿显得格外重要。本节以 3-H 桥拓扑变流器为例, 对输出的死区效应产生进行分析, 将数字补偿策略应用到 APF 中, 取得好的效果。

单模块 H 桥电路拓扑如图 3-33, 由于采用载波相移 SPWM 调制方法, 因而需要用两列在相位上互差  $\pi/N$  的载波对同一列调制波进行调制, 如图 3-33 中 a、b 两列三角波所示, 每列载波与调制波相交产生的脉冲给两个桥臂上、下开关器件。理论上同一桥臂开关器件(如图 3-33 的  $T_{1,1}$ 、 $T_{1,4}$  和  $T_{1,2}$ 、 $T_{1,3}$ )触发脉冲应该互补并同时给出。考虑到死区的影响, 在

每个开关器件关断后延时一个死区时间  $\Delta t$ ，再给出同桥臂开关器件的开通信号，得到如图 3-34 所示的带死区时间的调制示意图。

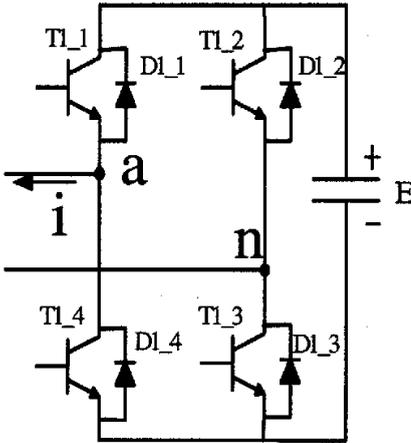


图 3-33 3-H 桥拓扑

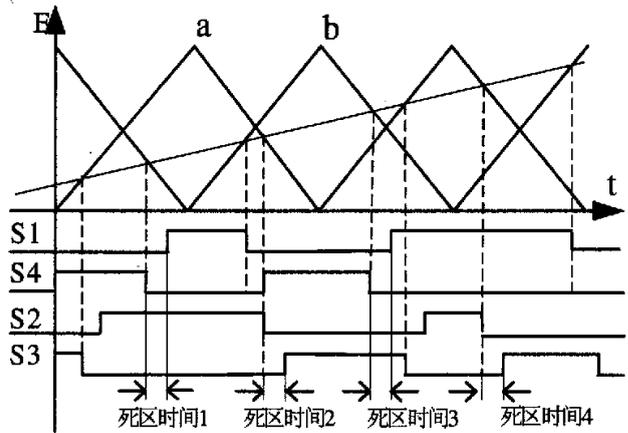


图 3-34 带死区的载波相移 SPWM 时序示意图

以图 3-33 所示电流方向为正，电流瞬时值  $i > 0$  时，进行以下分析（以下设死区时间均  $\Delta t$ ）：

1、在死区时间 1 中，S4 关断时候 S1 应该马上导通，和  $T_{1_2}$  的体二极管  $D_{1_2}$  一起构成电流回路，此时， $T_{1_1}$ 、 $T_{1_2}$  均导通，a、n 点均处于 +E 电平，逆变器不应该给负载以电压。但是，由于增加死区时间 1， $T_{1_1}$  没有导通，因而负载电流只能通过  $T_{1_4}$  的体二极管  $D_{1_4}$  续流，由于  $D_{1_4}$  的导通，a 点的电位被箝位在直流侧负电位上，同时由于  $T_{1_2}$  导通，n 点电位等于直流侧正电位，因而在死区时间 1 内  $U_{an} = -E$ ，相当在理论负载电压基础上另外施加一个  $-E$  电压  $\Delta t$  时间。

2、在死区时间 2 中， $T_{1_2}$  关断时候  $T_{1_4}$  应该马上导通，和  $T_{1_4}$  体二极管  $D_{1_4}$  一起构成电流回路，此时， $T_{1_3}$ 、 $T_{1_4}$  均导通，a、n 点均处于  $-E$  电平，逆变器不应该给负载以电压。但是，由于增加死区时间 2， $T_{1_3}$  没有导通，因而负载电流只能通过  $T_{1_2}$  的体二极管  $D_{1_2}$  续流，由于  $D_{1_2}$  的导通，n 点的电位被箝位在直流侧正电位上，同时由于  $T_{1_4}$  导通，a 点电位等于直流侧负电位，因而在死区时间 2 内  $U_{an} = -E$ ，相当于在理论负载电压基础上另外施加一个  $-E$  电压  $\Delta t$  时间。

3、在死区时间 3 中， $T_{1_4}$  关断时候  $T_{1_1}$  应该马上导通，和  $T_{1_3}$  一起构成电流回路，此时，逆变器应该给负载加以 +E 电压。但是，由于增加死区时间 3， $T_{1_1}$  没有导通，因而负载电流只能通过  $T_{1_4}$  的体二极管  $D_{1_4}$  续流，由于  $D_{1_4}$  和  $T_{1_3}$  的导通，a 点和 n 点的电位均被箝位在直流侧负电位上，即  $U_{an} = 0$ ，逆变器没有能够给负载以 +E 的电压，也即相当于在理想开关状态给负载以 +E 电压情况下给负载另外施加一个  $-E$  的电压  $\Delta t$  时间。

4、在死区时间 4 中， $T_{1_2}$  关断时候  $T_{1_3}$  应该马上导通，和  $T_{1_1}$  一起构成电流回路，此时，逆变器应该给负载加以 +E 电压。但是，由于增加死区时间 4， $T_{1_1}$  没有导通，因而负载

电流只能通过  $T_{1_4}$  的体二极管  $D_{1_4}$  续流, 由于  $D_{1_4}$  和  $T_{1_3}$  的导通, a 点和 n 点的电位均被箝位在直流侧负电位上, 即  $U_{an}=0$ , 逆变器没有能够给负载以 +E 的电压, 也即相当于在理想开关状态给负载以 +E 电压情况下给负载另外施加一个 -E 的电压  $\Delta t$  时间。

5、对于零电平  $T_{1_1}$ 、 $T_{1_2}$ 、 $T_{1_3}$ 、 $T_{1_4}$  均关断, 此时逆变器也不应该给负载以电压。但是, 电流通过  $D_{1_2}$ 、 $D_{1_4}$  续流, 使得负载承受 -E 的电压。

由于  $T_{1_1}$ 、 $D_{1_1}$  不可能和  $T_{1_4}$ 、 $D_{1_4}$  有同时导通, 3-H 桥的三电平,  $T_{1_1}$ 、 $D_{1_1}$  只可能和  $T_{1_2}$ 、 $D_{1_2}$  或者  $T_{1_3}$ 、 $D_{1_3}$  有同时导通情况,  $i>0$  时候死区时间内对逆变器输出有影响的只有  $T_{1_1}$  和  $D_{1_2}$  同时导通情况(对于  $T_{1_1}$  关断时刻  $T_{1_4}$  的死区时间, 及其  $T_{1_3}$  关断时刻  $T_{1_2}$  的死区时间, 不会对逆变器工作造成影响, 请读者自行分析。而  $T_{1_1}$  和  $T_{1_2}$  及  $T_{1_1}$  和  $T_{1_3}$  同时导通是正常开关状态); 同理,  $T_{1_3}$  在死区时间中只可能有和  $D_{1_4}$  同时导通的情况; 另外, 在续流状态时  $D_{1_2}$ 、 $D_{1_4}$  导通对逆变器输出有影响, 即对于 3-H 桥的死区时间内只会有以上分析的五种情况影响逆变器输出波形, 以上分析是完备的。

对于电流瞬时值  $i<0$  时候, 以  $T_{1_4}$  和  $T_{1_2}$  进行分析, 在死区时间内相当于给负载施加一个 +E 电压  $\Delta t$  时间。分析同理。

### 3.5.2 五电平死区效应分析

五电平拓扑是由两个 3-H 桥级联而成, 如 2.2 节图 2-13。按照图 2-14 对级联 H 桥各个工作模式转换时死区状态列出下表:, 图 2-14 所示电流方向和直流电压为非关联参考方向, 因而为负, 即下表以  $i<0$  为例,  $i>0$  时分析同理:

模式转换	(无死区)负载 电压理论值	(有死区)负载 电压实际值	续流二极管 (开关的寄生二极管)
模式 1 --> 模式 2 情况 1	V0	2*V0	D2_3
模式 2 情况 1 --> 模式 2 情况 2	V0	2*V0	D2_1、D2_3
模式 2 情况 2 --> 模式 2 情况 3	V0	2*V0	D2_3、D2_1
模式 2 情况 3 --> 模式 2 情况 4	V0	2*V0	D1_1、D1_3
模式 2 情况 4 --> 模式 3 情况 1	0	2*V0	D1_1、D2_1、D2_2
模式 3 情况 1 --> 模式 3 情况 2	0	2*V0	D1_1、D1_3、D2_1、D2_3
模式 3 情况 2 --> 模式 3 情况 3	0	V0	D1_1、D2_3
模式 3 情况 3 --> 模式 3 情况 4	0	V0	D2_1、D2_3
模式 3 情况 4 --> 模式 3 情况 5	0	2*V0	D1_1、D1_3、D2_1、D2_3
模式 3 情况 5 --> 模式 3 情况 6	0	V0	D2_1、D2_3
模式 3 情况 6 --> 模式 4 情况 1	-V0	0	D2_2
模式 4 情况 1 --> 模式 4 情况 2	-V0	0	D1_1、D1_3

模式4情况2—>模式4情况3	$-V_0$	0	D1_1、D2_1
模式4情况3—>模式4情况4	$-V_0$	0	D2_1、D2_3
模式4情况4—>模式5	$-2*V_0$	$-V_0$	D2_3
模式5—>模式1	$2*V_0$	$2*V_0$	D1_1、D1_3、D2_1、D2_3

表 3-1 级联 H 桥各工作模式转换时候死区状态

由表 3-1 可见，级联 H 桥的工作模式比较复杂，因而在换流过程中的死区状态也有多种，但是无论那种状态，在死区时间都是由开关管的寄生二极管续流，对于  $i < 0$  时，由于死区效应的影响，根据模式转换的不同在死区时间内相当于给负载施加一个  $+V_0$  或者  $+2*V_0$  的电压；对于  $i > 0$  时，则在死区时间内相当于给负载施加一个  $-V_0$  或者  $-2*V_0$  的电压，而电压和电流方向始终是相反的。若要对五电平进行死区补偿则要在检测电流极性的同时要正确地分电路工作的模式，以便对各个特定的开关脉冲有效的补偿。事实上，由于电平的增加，工作模式众多，实时正确的区分是困难的。在下面 3.5.4 节则着重分析在三电平 APF 中运用数字方法实现死区补偿。

### 3.5.3 死区效应对变流器的影响及数字补偿方法

在一般系统中，功率因数角较小，一个周期内的多个脉冲偏差电压可以等效为一个矩形波的偏差电压，偏差电压也带来了一系列的谐波电压分量，且这些谐波幅值只与桥臂电压和死区时间以及载波频率有关<sup>[68]</sup>。偏差电压的基波将会削弱逆变器理想输出基波电压，同时会使输出电压有相移。由于输出的 LC 滤波环节按照开关频率设计，对于死区时间处于不控状态，由此引入的 3、5、7 等低次谐波无法得到有效衰减，因而逆变器的输出中含有较多的低次谐波，这些谐波的主要是奇次谐波，只有频率调制比为偶数时才会引入偶次谐波。

对于级联多电平拓扑采用载波相移 SPWM 策略的逆变器，随死区时间的增加，输出线电压基波有效值持续下降，且降幅基本恒定，与模块个数无关。可以证明模块个数的增加不会加剧死区效应，反而在适当的模块个数下死区时间对波形质量的影响会明显减弱，这也为抑止死区影响提供了一条新的思路<sup>[69]</sup>。总而言之，在多电平中死区效应与模块个数无关，但随频率调制比和死区时间设定的增加而增大

死区效应会导致功率变换器的输出基波幅值减小，使输出保留更多的谐波含量，系统的动、静态性能下降，尤其是随着调制频率的增大，死区效应会更加严重，在实时性和精度要求高的时候必须考虑对死区效应进行补偿。

消除死区的策略可分为电流反馈型和电压反馈型<sup>[70]</sup>：(1) 电流反馈型的原理是由死区效应和负载电流极性的关系，根据输出电流极性确定补偿电压。此种补偿方案的优点是可能实现完全精确补偿。补偿效果受死区时间及电流幅值和频率的影响，电流过零点一般存在一定程度的模糊性，因而电流极性的检测精度会受到一定的影响。电流过零点附近的某些点的干扰使得检测环节对电流极性检测错误，得到错误的补偿。这种误补偿将导致输出电流向错误

的方向变化，并使误补偿延续下去，从而流过零点处发生畸变，特别在低频低压输出时畸变跟更加严重。此外，电流反馈法占用的计算资源多，控制复杂；(2)电压反馈型的原理是将各相的PWM 输出检测出来，同给定的PWM 波进行比较，得到电压偏差，然后将电压偏差同给定PWM波叠加，得到新的给定。这种补偿策略也需要大量的计算和PWM波的精确检测，但是用软件实现相对容易。其他如重复控制和无死区控制并不常用。

TMS320LF2407 作为电机类控制专用芯片，在设置上，只需通过 DBTCON 寄存器编程即可设置死区互锁时间<sup>[52]</sup>。死区时间由 DBTCONA/B 的 DBT0-DBT3 和分频控制位 DBTPS0-DPTPS2 共同确定，可以实现从 0 到 16  $\mu$ s 的死区时间控制。通过改变 CMPRX(=1, 2, 3) 的值，来改变所产生的 PWM 波形。而将死区时间经过折算后与 CMPRX 值进行加减(加或减由计算时刻的电流极性决定)，即可改变 PWM 波输出的电平跳变时刻，从而改变占空比，获得加入死区补偿后的 PWM 波，最终起到补偿逆变器死区效应的作用。该方法可以很好地解决控制滞后问题<sup>[71]</sup>。由 3.5.2 分析，当  $i > 0$  时，逆变器输出的 PWM 波占空比要比理想的小，需要在周期中断修改脉宽前沿使其加宽，将死区时间前推到 1 区间中，如图 3-35 所示；当  $i < 0$  时，逆变器输出的 PWM 波占空比要比理想的大，需要通过下溢中断修改脉宽后沿使其减少，将死区时间前推到 2 区间中，如图 3-36 所示。死区若在 1、2 区间内通过二极管续流则对逆变器输出没有影响<sup>[72]</sup>。

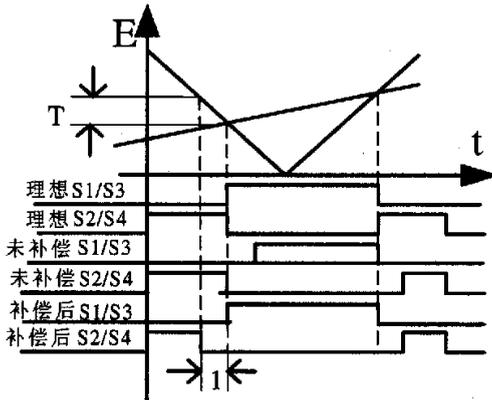


图 3-35  $i > 0$  时对脉宽前沿补偿示意图

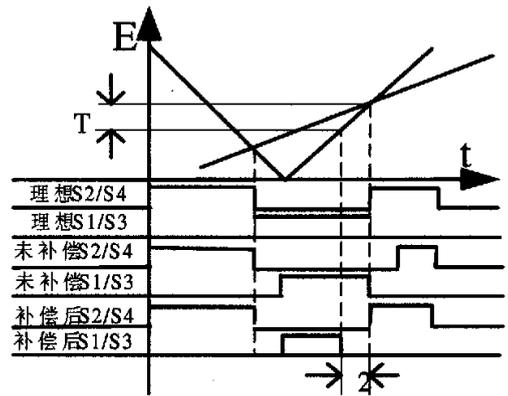


图 3-36  $i < 0$  时对脉宽后沿补偿示意图

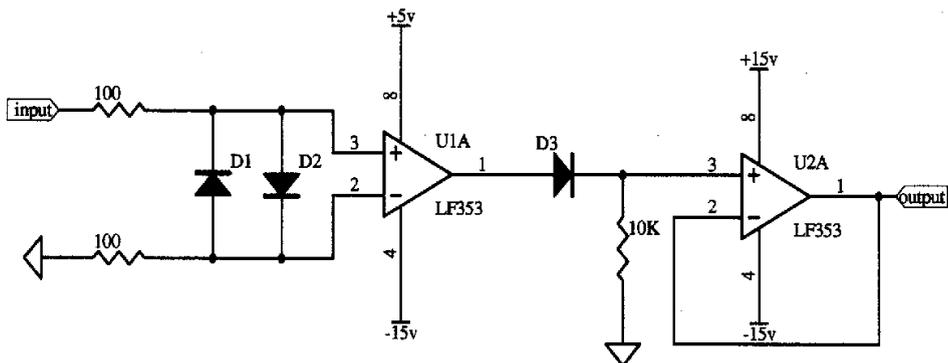
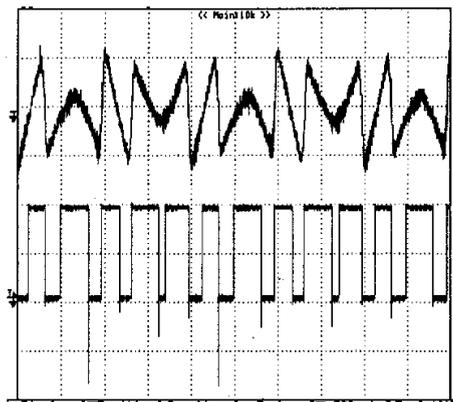


图 3-37 电流过零检测电路



(谐波电流、过零检测输出)

横轴(t): 5ms/div; 纵轴(E): 5v/div

图 3-38 谐波电流过零检测波形

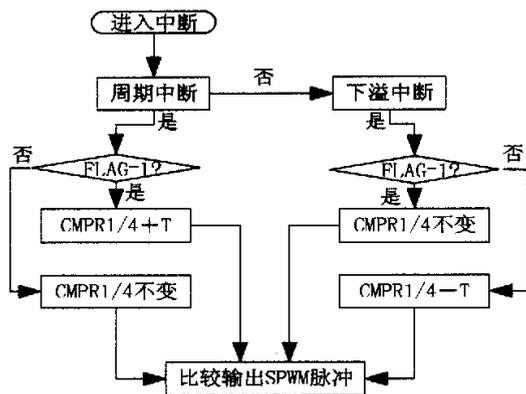
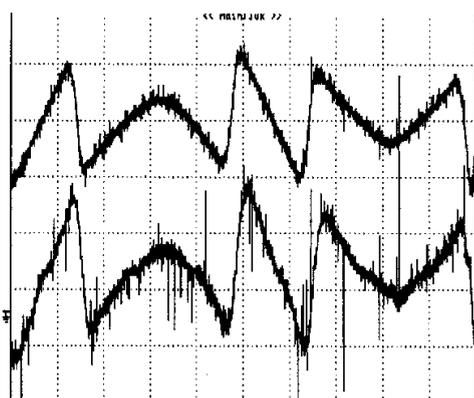
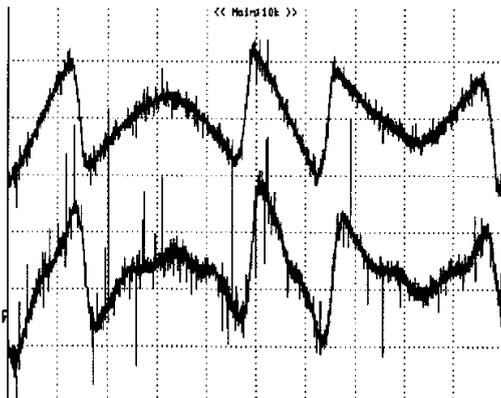


图 3-39 补偿部分 DSP 程序框图

死区补偿分为两部分：电流极性检测和逻辑补偿。电流极性检测如图 3-37，U1 为比较器将经过霍尔的电流信号和过零比较，利用 D1、D2 的导通压降为 0.7V 这个恒定值来限制输入电压差，以免输入电流过大烧毁运算放大器，D3 用来消除双电源供电运放的负值输出，U2 是射极跟随器，防止输出信号受后级负载影响。电流检测波形如图 3-38。数字逻辑补偿采用 TMS320LF2407DSP 硬件平台，功率器件采用 FUJI 的 IPM 模块。调制波频率 50hz，频率调制比  $K=21$ ，幅度调制比  $M=0.9$ 。两列载波由 2407 的两个事件管理器中独立的两个计数器计数产生，实时和 CMPR1 及 CMPR4 比较，得到给两个桥臂的脉冲。DSP 外部晶振为 10Mhz，故周期寄存器值按下式计算  $\frac{\text{正弦波周期} \times \text{晶振} \times \text{PLL}}{\text{载波比} \times \text{分频系数} \times 2} = \frac{0.01 \times 10 \times 10^6 \times 1}{21 \times 1 \times 2} = 2381D$ ，死区设置为  $10 \mu s$ ，

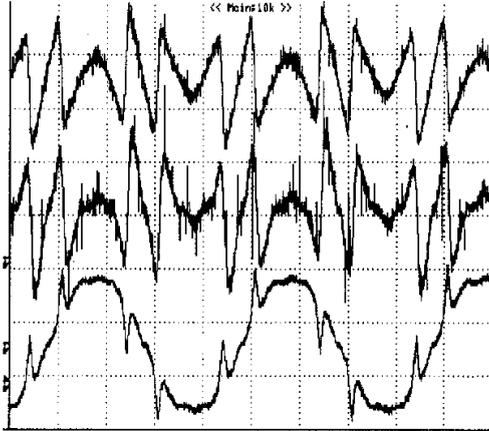
因而死区计数器的计数值为  $10 \times 10^{-6} \times (10 \times 10^6) = 100$ ，即死区补偿计数值（图 3-35，图 3-36 中的  $T=100$ ）。使能外部中断、周期中断和下溢中断，用过零检测触发外部中断，在外部中断中修改标志寄存器的值使其在 0、1 之间改变，如果  $i > 0$  则等于 1，反之则等于 0。在周期中断中若判断  $FLAG=1$  则对 CMPR1 及其 CMPR4 增加  $T=100$ ，在下溢中断中判断若  $FLAG=0$  则对 CMPR1 及其 CMPR4 减少  $T=100$ ，程序框图如图 3-39。



(谐波电流、变流器输出电流)

横轴(t): 2ms/div 纵轴(E): 1v/div

图 3-40 加死区补偿前谐波电流

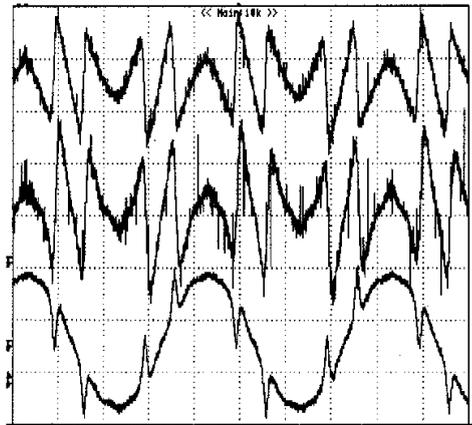


(谐波电流、变流器输出电流)

横轴(t): 2ms/div 纵轴(E): 1v/div

图 3-41 死区补偿后谐波电流和

主回路电流波形采样



(谐波电流、变流器输出电流、补偿后网侧电流)

横轴(t): 5ms/div 纵轴(E): 1v/div, 1v/div, 2v/div

图 3-42 未加死区补偿前谐波补偿的电流波形

图 3-42 所示为未进行死区补偿谐波电流检测波形(上)和逆变器输出主电路电流波形采样(下), 图 3-41 所示为死区补偿后谐波电流检测波形(上)和逆变器输出主电路电流波形采样(下), 由图 3-42 可见在采用了死区补偿后逆变器输出电流波形在过零点处有了明显的改善, 更加逼近指令电流波形。图 3-42、图 3-43 所示为 APF 补偿后电网电流波形对比, 可以清楚的看到, 在没有死区补偿时候该电流在波峰和波谷的波形有明显的畸变, 而进行死区补偿后该畸变明显减少。值得注意的是, 该方法补偿要求对瞬时电流极性的精确检测, 本实验只是通过简单的检测手段进行实验, 实际应用中可采用高精度 A/D 转换和提高滤波网络的质量来提高补偿效果。

(谐波电流、变流器输出电流、补偿后网侧电流)

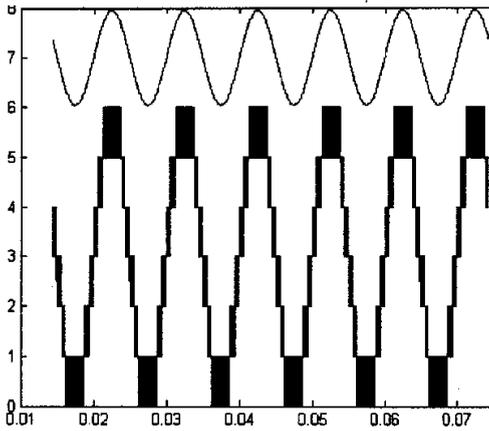
横轴(t): 5ms/div 纵轴(E): 1v/div, 1v/div, 2v/div

图 3-43 加死区补偿后谐波补偿电流波形

实践证明, 在大功率高频率的逆变装置中, 死区效应必须考虑, 而采用死区补偿则是解决由死区效应带来的逆变器输出波形畸变的有效手段。本实验采用的软件补偿死区的方法简单、有效, 笔者认为在数字控制的 H 桥逆变器中有较大的实用价值。

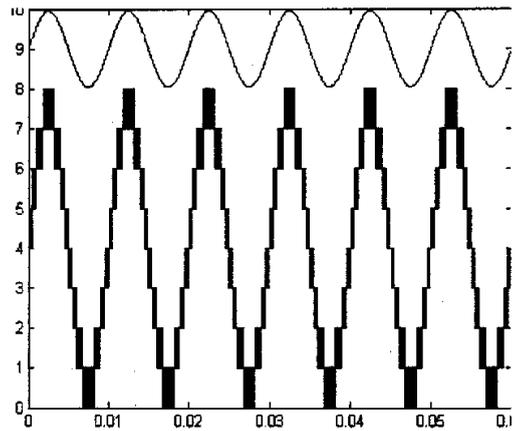
### 3.6 单相七电平、九电平实现方法

在单相五电平的基础上, 由 DSP+CPLD 系统可以实现单相七电平和单相九电平及更多电平的输出。在载波相移 SPWM 策略下, 电平数越多输出的特征次开关频率越高, 滤波越容易。已从理论和仿真进行验证, 本节介绍由实验验证的一种方法。



横轴(t): 10ms/div 纵轴(E): 1v/div

图 3-44 单相七电平脉冲仿真波形



横轴(t): 10ms/div 纵轴(E): 1v/div

图 3-45 单相九电平脉冲仿真波形

对于  $N$  模块单相级联型 3-H 桥, 产生  $(2N+1)$  电平的输出, 需要  $2N$  列载波,  $4N$  路 PWM 信号去驱动  $4N$  个开关管<sup>[73]</sup>。例如: 实现单相七电平需要三个 3-H 桥模块, 要  $2 \times 3 = 6$  列载波, 仿真输出波形如图 3-44 (上为调制波, 下为输出多电平脉冲); 九电平则需要四个 3-H 桥模块, 需要  $2 \times 4 = 8$  列载波, 仿真输出波形如图 3-45。而目前流行的 DSP 以 TI 的 LF2407 为例, 每片上只有两个独立的计数器, 只能产生两列独立的载波, 通过调制的对称优化, 最多实现单相五电平输出。本文提出由 DSP+CPLD 构成的系统可以很好的解决这一问题。通过一片 LF2407 对调制波采样, 实时计算, 将计算好的占空比数值传送给 CPLD, 由 CPLD 设计多个计数器实现多列载波, 并和 DSP 传送来的占空比数据进行比较, 从而输出相应的多路 PWM 信号。如此分配硬件资源后, 不仅减轻了 DSP 的数据处理量, 而且, 只要 CPLD 的资源 (主要是门数) 足够的话, 可以使输出电平数大大提高<sup>[74]</sup>。本节实验正是基于以上思想进行的。

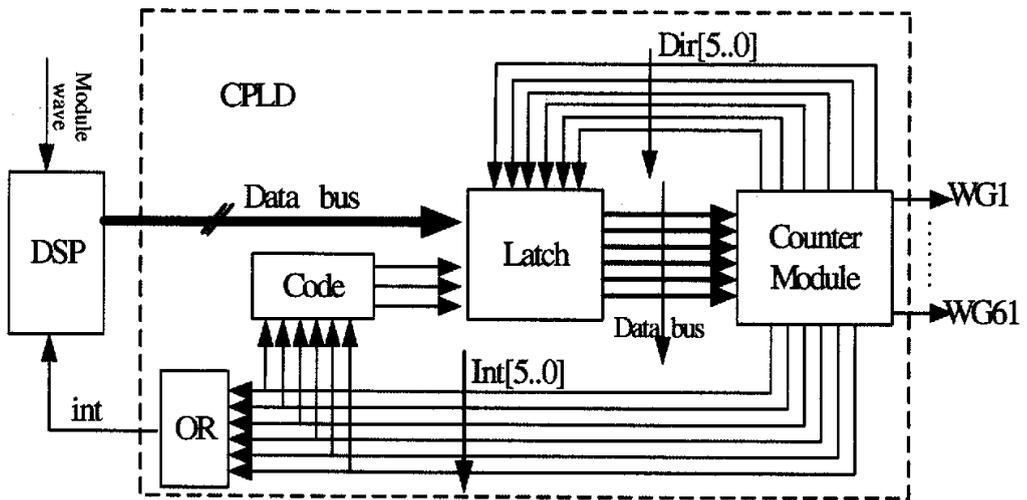


图 3-46 单相七电平 DSP+CPLD 控制系统框图

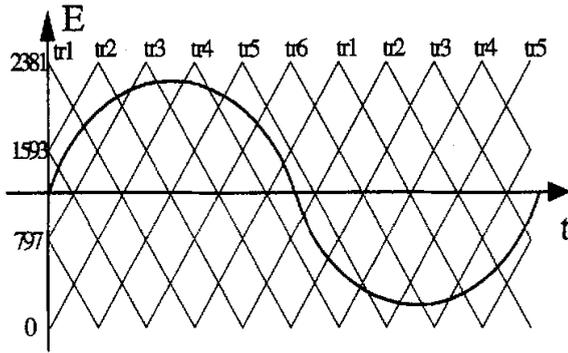


图 3-47 七电平载波相移 SPWM 示意图

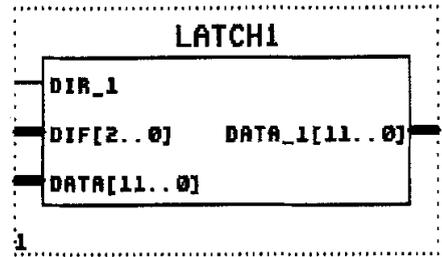


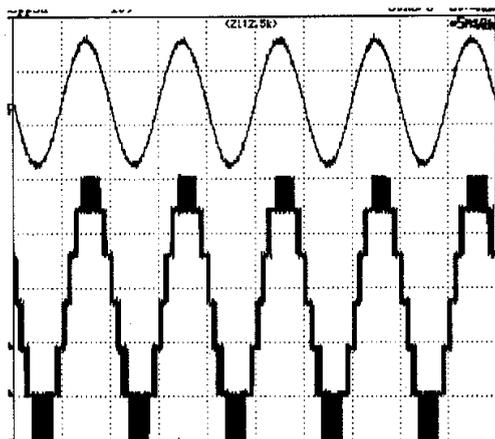
图 3-48 编译好的一个 Latch 模块

以单相七电平为例，由 DSP+CPLD 系统构成框图如图 3-46：Counter Module 模块由六个计数器和六个比较器组成，六个计数器进行双向计数，分别产生在时间上错开  $1/(2N)$  ( $N$  为模块数)的六列三角载波(如上图 3-47 调制示意图)，每个载波的计数方向由数组  $Dir[5..0]$  来表示，当增计数时候  $Dir[i]$  为 1，减计数时候  $Dir[i]$  为 0。六个比较器将计数器的值和由 Data bus 送过来的占空比值进行实时比较，输出 12 路 PWM 波形。每个计数器在达到计数周期值时候产生中断信号，该中断信号通过一定时间的延时(使 DSP 可以识别)可直接送到 DSP 的捕获口，这样设计简单自然但需要占用 6 个中断或捕获口，为了节省 DSP 的中断资源，使 DSP 得以处理更重要的数据，更重要的是为了避免 DSP 中六个中断源同步问题，将六个中断信号在 CPLD 中相或后送 DSP 外部中断口，则只需要占用一个 DSP 中断口。由于 CPS-SPWM 调制方法各个载波错开  $1/(2N)$  角度，故该六个中断信号不会有时间上的重叠，因而不会造成中断混乱。DSP 响应外部中断后，便进入中断程序进行 A/D 和计算，得到正确的占空比数据后通过并行的 12 根数据总线送到 CPLD。通过 CPLD 中的 Latch 模块(由 MAX+PLUS 编译后生成的一个 Latch 模块如图 3-48)对 DSP 送来的数据进行锁存。由 Code 模块进行编码，将数据在 CPLD 中按正确的时序分配到各个桥臂。当  $Dir[i]$  由 0 变为 1 时候，Latch 模块将对应模块的数据送到相应的比较单元进行比较，产生 PWM 信号。实验 DSP 采用 TI 公司的 TMS320LF2407<sup>[75]</sup>，CPLD 采用 ALTERA 公司的 EP1K30TC144-3<sup>[76][77]</sup>，该芯片具有 3 万逻辑门，管脚 144 个，其中 I/O 口有 102 个，芯片供电核电压为 2.5V，I/O 口的供电电压为 3.3V，和 2407 的 I/O 口电平完全兼容，可以直接连接。CPLD 时钟频率使用 10MHz，门级延时小于 10ns，能够满足数据传送和处理的实时性。软件系统采用 ALTERA 公司提供的 MAX+PLUSII 集成编译环境，由标准 VHDL 语言编写代码，软件系统自动编译生成模块和资源占用评估报告<sup>[78]</sup>。

实验中调制波由信号发生器产生频率为 100hz 的正弦波，载波的幅度调制比取  $M=0.9$ ，

频率调制比为  $K=21$ ，载波周期 =  $\frac{\text{系统时钟}}{100\text{hz} \times 21 \times 2} = \frac{10 \times 10^6}{100 \times 21 \times 2} = 2381(D)$ 。实验得到波形如图

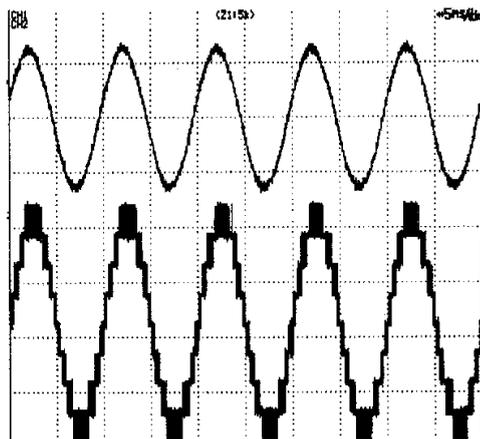
3-49，图 3-50 (上面为调制波，下面为输出多电平脉冲)



(给定信号、七电平变流器控制脉冲)

横轴(t): 5ms/div 纵轴(E): 1v/div, 2v/div

图 3-49 单相七电平实验波形



(给定信号、九电平变流器控制脉冲)

横轴(t): 5ms/div 纵轴(E): 1v/div, 2v/div

图 3-50 单相九电平实验波形

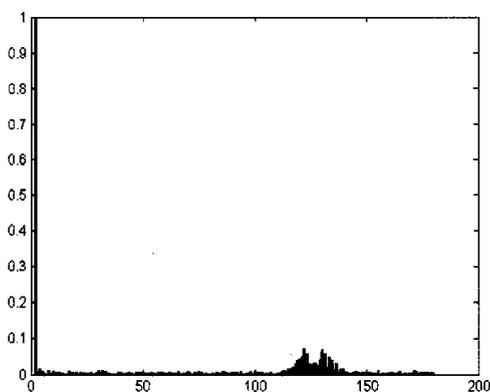


图 3-51 单相七电平频谱分析

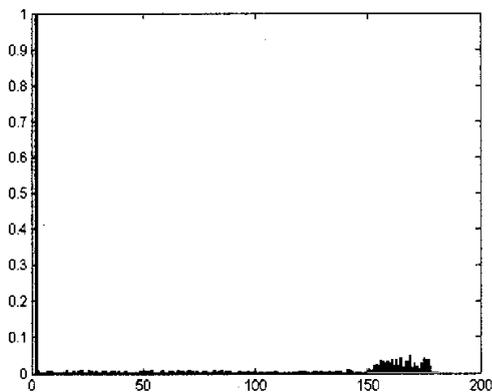


图 3-52 单相九电平频谱分析

Total dedicated input pins used:	1/6	( 16%)
Total I/O pins used:	27/96	( 28%)
Total logic cells used:	768/1728	( 44%)
Total embedded cells used:	0/96	( 0%)
Total EABs used:	0/6	( 0%)
Average fan-in:	3.01/4	( 75%)
Total fan-in:	2317/6912	( 33%)

表 3-2 MAX+PLUS 给出的单相七电平芯片资源占用情况

事实上，通过该系统的实现方法对于任意输入波形都可以得到有限电平的理想的输出及其频谱，实验波形见本章附页，由于实现方法雷同，此处不再累述。

对实验及其波形分析：

1、硬件系统资源利用率分析：对比图 3-49 和图 3-44，图 3-50 和图 3-45 可见，该 DSP + CPLD 构成的控制系统输出效果理想，运行稳定，占用较少的 DSP 硬件资源，对单相七电平的 CPLD 的资源占用情况 MAX+PLUS 软件给出了分析结果，如表 3-2 所示，可见其逻辑单元占用不到整个硬件资源的一半，充分表现了该方法对资源的高利用率。

2、输出波形开关特征谐波分析：由图 3-51 和图 3-52 频谱分析可以看出，七电平输出特征谐波已经到了  $6 \times 21 = 126$  次附近，而九电平输出的特征谐波也到了  $8 \times 21 = 168$  次附近，在特征谐波以下几乎没有开关频率特征次谐波出现，和理论分析完全吻合。

3、总谐波畸变率分析：对各种输入波形的多电平实验输出做正弦波傅立叶变换得到总谐波畸变率如表 3-3，图 3-53。由图 3-53 可以清楚的看到从五电平到七电平，各种输入波形的总谐波畸变率都明显降低，而由七电平到九电平则降低不多，考虑其实现的复杂程度笔者认为对于多电平变流器采用七电平的输出是比较理想的选择。另外，由于傅立叶变换是按正弦波级数展开，由表 3-3 可见，要求输出为正弦波时，若输出含有锯齿谐波分量时则谐波畸变率会大大增加。

4、带宽分析：由图 3-53 及表 3-3 可见，对于五电平的方波和锯齿波其总谐波畸变率均大于对应的标准波形，这是因为引入的  $2 \times N$  倍开关特征谐波 ( $N$  为模块数) 占主导地位，使输出总谐波畸变率变大；对于七电平和九电平的方波和锯齿波其总谐波畸变率均小于对应的标准波形，这是因为虽然由 CPS-SPWM 调制方法引入的  $2 \times N$  次开关特征谐波，当电平数增加，开关特征次谐波向高次推移，对总谐波畸变率影响逐渐减弱，但是信号波形本身存在斜率为无穷大的陡峭沿，而调制方法使得输出的该陡峭沿也变为七电平和九电平的台阶。前者的幅值和电平数成反比，后者台阶数和电平数成正比，因而从七电平开始，后者便处于主导地位，使输出波形向有利于正弦化的方向畸变，从而这两种波形的七电平和九电平输出的总谐波畸变率(相对正弦波)比信号波形更小，因而要完整再现此类有陡峭沿的信号波形不适宜用更多电平的调制方法。对于三角波和正弦波，由于信号波本身不存在这样的陡峭沿，因而，开关特征次谐波总是占主导地位，电平越多输出的总谐波畸变率越小，不断接近标准波形但是不可能小于输入信号波的总谐波畸变率。

THD	五电平	七电平	九电平	标准波
方波	0.5684	0.4487	0.426	0.4818
锯齿波	0.9375	0.7526	0.7313	0.7953
三角波	0.4291	0.2598	0.208	0.1202
正弦波	0.353	0.2015	0.1496	0.0082

表 3-3 多电平总谐波畸变率(标准波形由信号发生器产生)

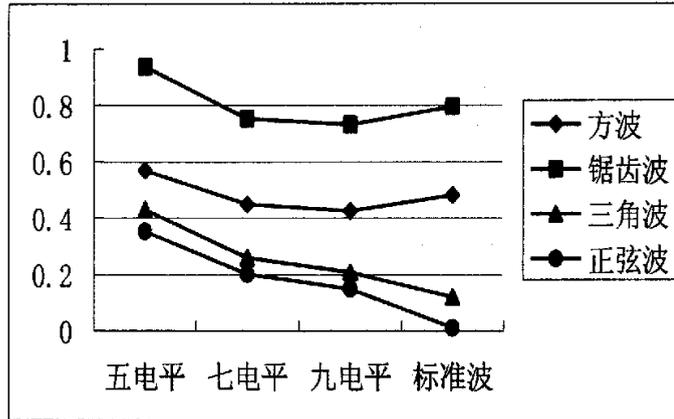


图 3-53 多电平 THD 比较图

### 本章小结

本章对单相五电平变流器做了细致研究。在采样方法方面由对称规则采样进一步改进到非对称规则采样，减小了输出谐波，充分利用了 DSP 的硬件资源，在数据量和运算速度之间进行折中，频谱分析表明输出电流中的低频不规则谐波大幅度减小。通过对各种波形的开环控制，对输出的频谱分析，从实验角度探讨了 CPS-SPWM 调制策略下五电平输出的传输带宽。进而对五电平变流器进行了交直流侧的双闭环控制研究，将以上研究成果应用到一个单相五电平的有源滤波器中，实验表明补偿效果非常明显，只是由于死区效应使得输出在过零点波形有畸变，于是进一步研究了多电平变流器中的死区问题，并且实现了三电平的死区效应数字补偿。在搭建的 DSP+CPLD 硬件平台上实现了 CPS-SPWM 调制策略下各种调制波形的七电平、九电平的输出脉冲，对其频谱进行了分析，从总谐波畸变率和带宽方面进行了对比，实验结果有力验证了 CPS-SPWM 调制的理论，并突出了其应用在多电平变流器方面的优越性。

### 本章附页(各种波形多电平输出及其频谱)

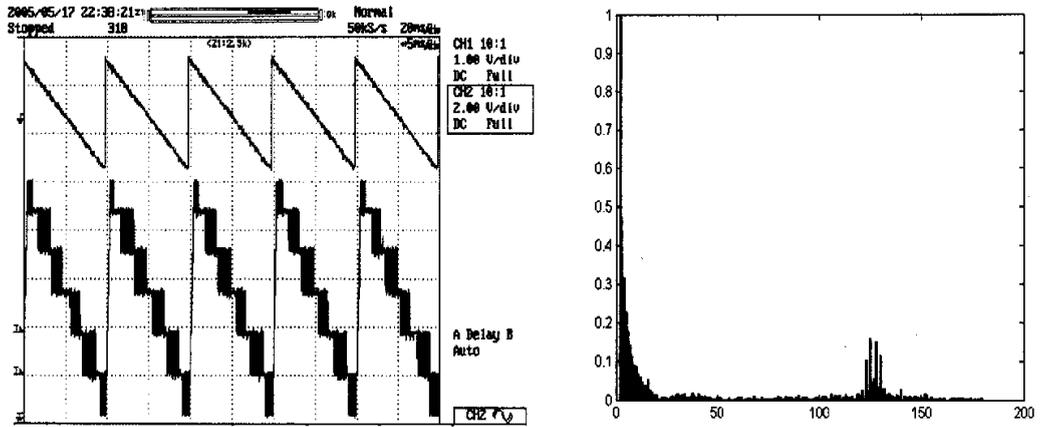


图1 单相七电平锯齿波采样输出波形及其频谱分析(thd = 0.7526)

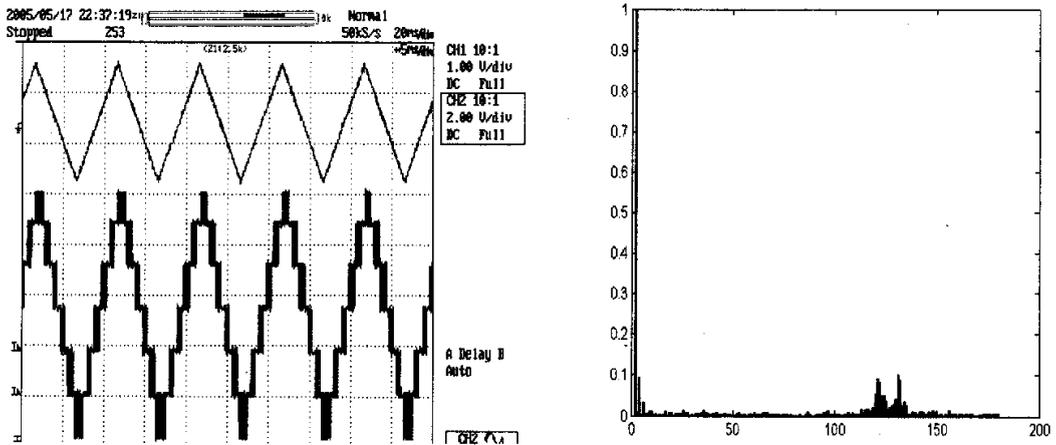


图2 单相七电平三角波采样输出波形及其频谱分析(thd = 0.2598)

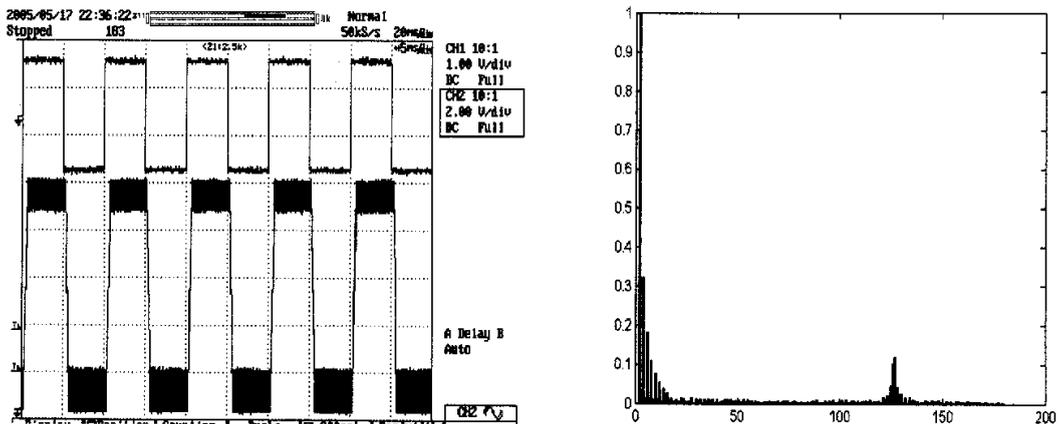


图3 单相七电平方波采样输出波形及其频谱分析(thd = 0.4487)

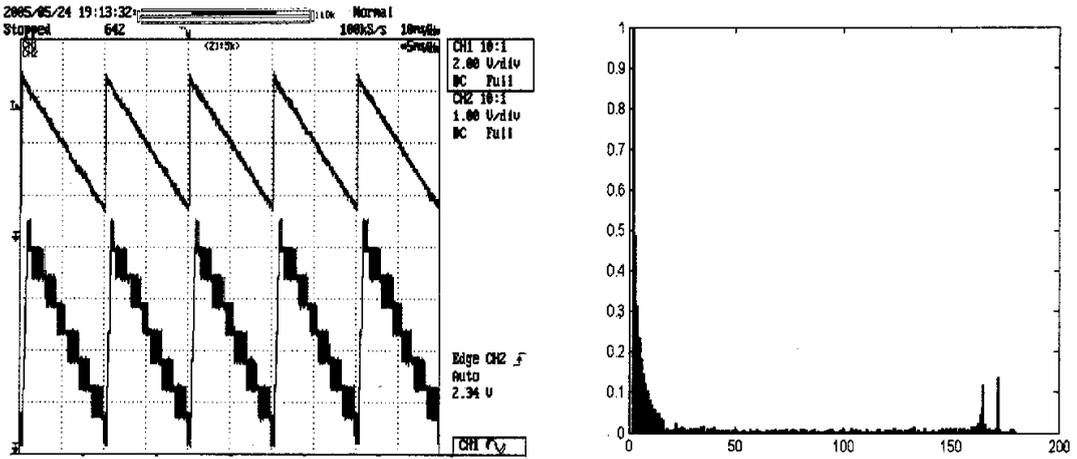


图4 单相九电平锯齿波采样输出波形及其频谱(thd =0.7313)

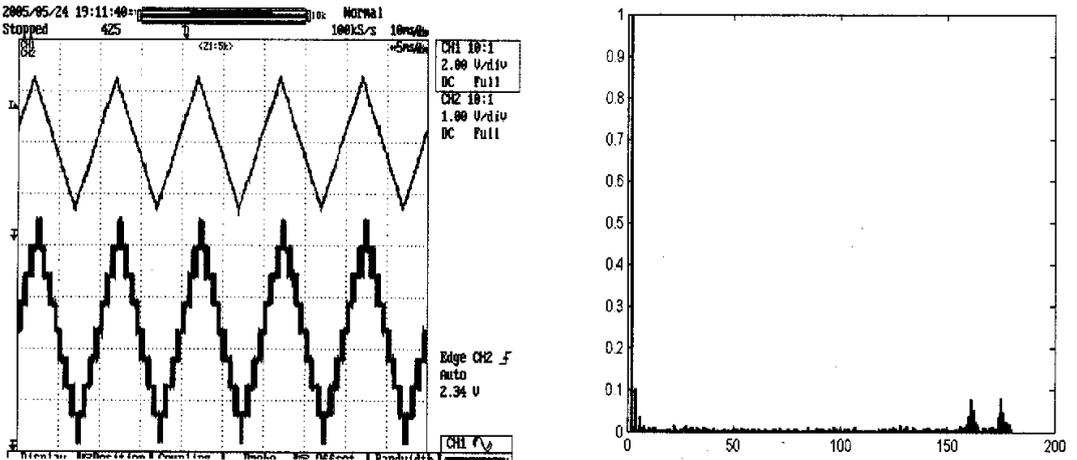


图5 单相九电平三角波采样输出波形及其频谱(thd =0.2080)

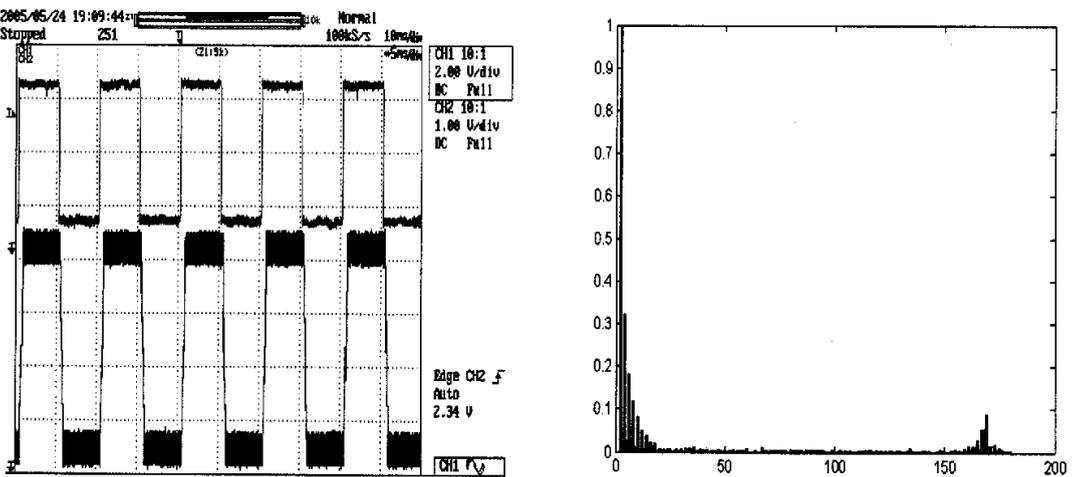


图6 单相九电平方波采样输出波形及其频谱(thd =0.4260)

# 第四章 三相多电平变流器数字化控制技术研究

## 4.1 三相变流器特性分析

前一章分析了 H 桥级联多电平的单相变流器及其应用，而三相变流器由于电流的耦合，其低频模型和单相不尽相同。本节首先从直流侧角度以单位功率因数整流器为例讨论三相电压型 SPWM 变流器的低频数学模型<sup>[79][80]</sup>。电压型单位功率因数变流器的等效电路如图 4-1 所示。其低频相量图如图 4-2 所示。在低频中，下式成立：

$$\frac{V_{dc}}{2} \begin{bmatrix} s_{a1} \\ s_{b1} \\ s_{c1} \end{bmatrix} = \begin{bmatrix} v_{a1} \\ v_{b1} \\ v_{c1} \end{bmatrix} \tag{4-1}$$

式中， $V_{dc}$  为变流器直流侧电压；

$(s_{a1}, s_{b1}, s_{c1})$  为三相调制波函数的基波分量；

$(v_{a1}, v_{b1}, v_{c1})$  为变流器交流侧电压的基波分量。

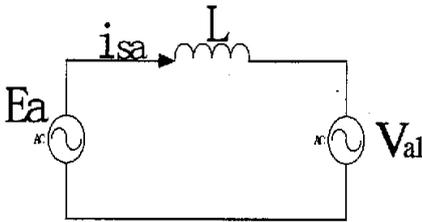


图 4-1 电压型变流器等效电路

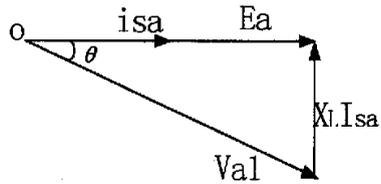


图 4-2 电压型变流器低频相量图

三相开关函数基波分量为：

$$\begin{bmatrix} s_{a1} \\ s_{b1} \\ s_{c1} \end{bmatrix} = M \cdot \begin{bmatrix} \sin(\omega t - \theta) \\ \sin(\omega t - \frac{2\pi}{3} - \theta) \\ \sin(\omega t + \frac{2\pi}{3} - \theta) \end{bmatrix} \tag{4-2}$$

上式中若载波幅值为 1，则 M 为幅度调制比。

由图 4-2 得变流器交流侧电压基波为：

$$\begin{bmatrix} v_{a1} \\ v_{b1} \\ v_{c1} \end{bmatrix} = \frac{E_m}{\cos(\theta)} \cdot \begin{bmatrix} \sin(\omega t - \theta) \\ \sin(\omega t - \frac{2\pi}{3} - \theta) \\ \sin(\omega t + \frac{2\pi}{3} - \theta) \end{bmatrix} \tag{4-3}$$

由式 (4-1)、(4-2)、(4-3) 得变流器直流侧电压为：

$$V_{dc} = \frac{2E_m}{M \cdot \cos(\theta)} \tag{4-4}$$

由式 (4-4) 可见，电压型变流器直流电压输出与幅度调制比成反比。当幅度调制比增加时，同一载波周期内脉宽增加，直流输出却减小。因而三相电压型 SPWM 变流器具有 Boost 电路的特性<sup>[81]</sup>。在三相对称运行时，变流器的每相电压独立，各相也具有 Boost 特性。此外，三相电压型 SPWM 变流器还具有如下特点：

- 1、三相 SPWM 变流器等效为两个 Boost 直流斩波器同时工作；
- 2、三相 SPWM 变流器能量可以双向流动，四象限运行<sup>[82]</sup>。

同理可以分析电流型变流器。分析三相电流型变流器的低频模型<sup>[81]</sup>，作三相电流型变流器等效电路图和矢量图如图 4-3、图 4-4：

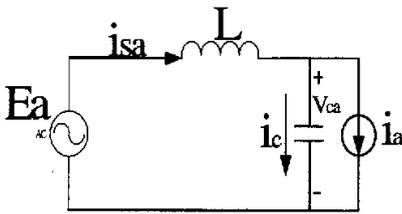


图 4-3 电流型变流器等效电路

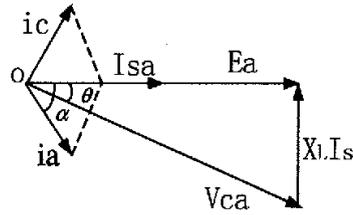


图 4-4 电流型变流器低频相量图

若电网电压为：

$$\begin{bmatrix} e_A \\ e_B \\ e_C \end{bmatrix} = E_m \cdot \begin{bmatrix} \sin(\omega t) \\ \sin(\omega t - \frac{2\pi}{3}) \\ \sin(\omega t + \frac{2\pi}{3}) \end{bmatrix} \tag{4-5}$$

由电流型变流器的低频相量图 4-4 可得电容电压为：

$$\begin{bmatrix} v_{ca} \\ v_{cb} \\ v_{cc} \end{bmatrix} = \frac{E_m}{\cos(\theta)} \cdot \begin{bmatrix} \sin(\omega t - \theta) \\ \sin(\omega t - \frac{2\pi}{3} - \theta) \\ \sin(\omega t + \frac{2\pi}{3} - \theta) \end{bmatrix} \tag{4-6}$$

三相开关函数中基波分量为：

$$\begin{bmatrix} s_{a1} \\ s_{b1} \\ s_{c1} \end{bmatrix} = M \cdot \begin{bmatrix} \sin(\omega t - \alpha) \\ \sin(\omega t - \frac{2\pi}{3} - \alpha) \\ \sin(\omega t + \frac{2\pi}{3} - \alpha) \end{bmatrix} \tag{4-7}$$

不考虑电路损耗，变流器交、直流侧满足功率守恒：

$$(v_{ca} \quad v_{cb} \quad v_{cc}) \cdot \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = V_{dc} \cdot I_{dc} \quad (4-8)$$

又：

$$\begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} = I_{dc} \cdot \begin{bmatrix} s_{a1} \\ s_{b1} \\ s_{c1} \end{bmatrix} \quad (4-9)$$

由三相对称系统三相电流瞬时值和为常数，得电流型变流器输出电压为：

$$V_{dc} = \frac{3}{2} E_m \cdot M \cdot \frac{\cos(\theta - \alpha)}{\cos(\theta)} \quad (4-10)$$

由式（4-10）可见，电流型变流器直流电压输出与幅度调制比成正比。当幅度调制比减小时，同一载波周期内脉宽减小，直流输出减小。因而三相电流型 SPWM 变流器具有降压电路的特性<sup>[83][84]</sup>。由于本课题研究电压型变流器，是个 BOOST 电路，因而，在实验时需要考虑对直流侧电容预充电或者通过软启动使直流侧电压先建立，变流器才能正常工作。

## 4.2 三相三电平研究

### 4.2.1 三相三电平调制时序与仿真分析

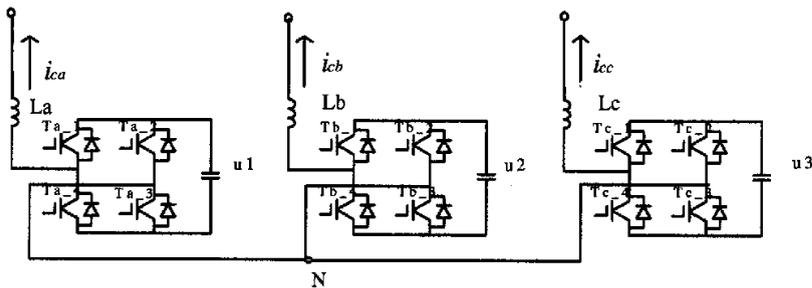


图 4-5 三相三电平变流器拓扑

Y 型接法的三相三电平变流器拓扑如上图 4-5 示。电路中有三个模块，12 个功率管，每个模块有独立的直流电源模块，这为三相相控制提供了基础。对该拓扑的控制，只需要 12 路 PWM 脉冲信号，而 LF2407DSP 有两个事件管理器，每个事件管理器有一个独立的计数器，共有六个全比较器，可以发出六对共 12 路 PWM 信号，刚好可以对三相单 H 桥进行控制。

下面对三相三电平从相电压与线电压两个方面分析。典型的三相三电平相电压与线电压如图 4-6、图 4-7 所示(M=0.8)，其频谱如图 4-8、图 4-9 所示。但是，在相同的载波调制比下，取不同的幅度调制比得到的输出波形和频谱则不尽相同，即输出的谐波是幅度调制比 M 的函数。表 4-1 列出了在不同幅度调制比 M 时相电压与线电压的 THD 与最高谐波幅

值的对比。

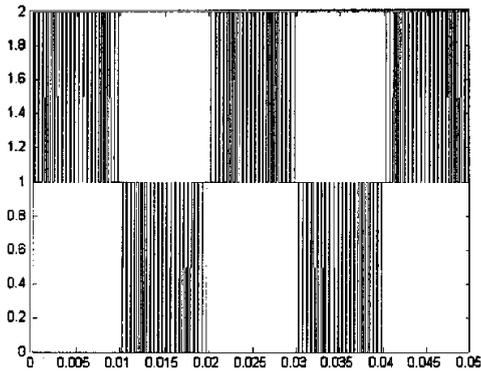


图 4-6 三相三电平相电压

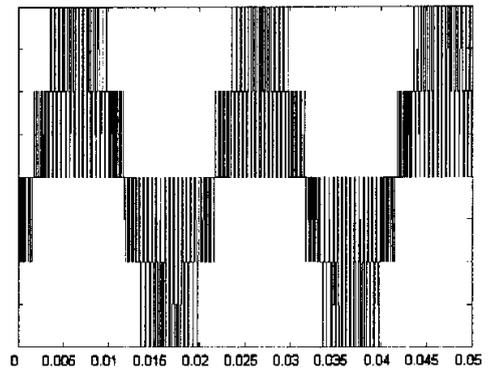


图 4-7 三相三电平线电压

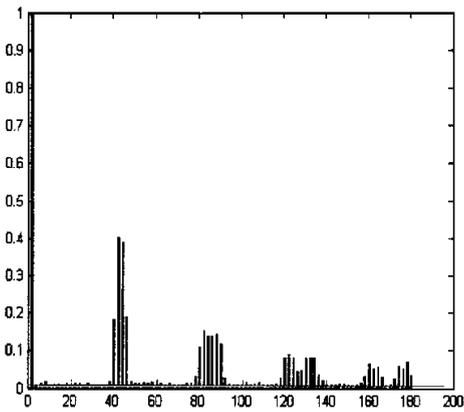


图 4-8 三相三电平相电压频谱

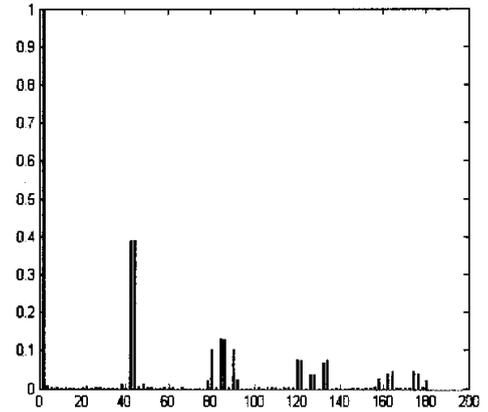


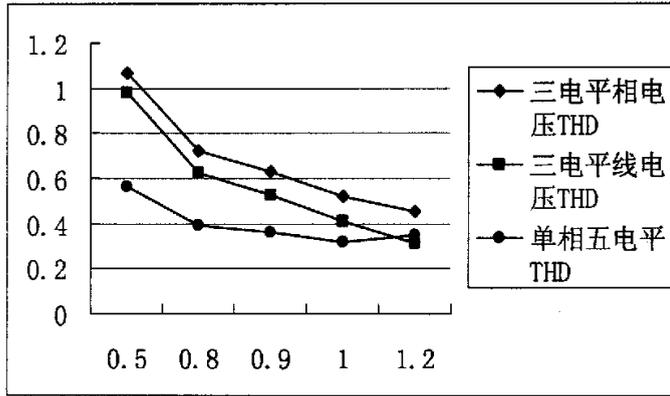
图 4-9 三相三电平线电压频谱

	M=0.5	M=0.8	M=0.9	M=1	M=1.2
三电平相电压 THD	1.0658	0.7219	0.6293	0.5206	0.4528
三电平线电压 THD	0.9783	0.6268	0.5256	0.4077	0.3119
五电平输出 THD	0.5640	0.3943	0.3605	0.3212	0.3504

表 4-1 相同频率调制比不同幅度调制比的输出 THD

由图 4-6、图 4-7、图 4-8、图 4-9，表 4-1 可以见：

- 1、对于三电平相电压，线电压是五电平；
- 2、五电平线电压开关特征次谐波仍然没有被抵消，分布在  $2*N$  次附近，但是其边带减少；
- 3、当幅度调制比不断增加时，其谐波畸变率减少，但随幅度调制比增大到 1 以后，成为过调制，即只能对一部分调制波进行调制，低频部分出现谐波；



横轴：幅度调制比 M；纵轴：THD

图 4-10 幅度调制比和三相电压 THD 的关系图

按照表 4-1 作幅度调制比和三相电压 THD 的关系如图 4-10。由图明显可以看到在 M 在 0.5 到 0.8 之间，三种输出的 THD 均有大幅度降低，而当  $M > 0.8$  时，THD 的下降开始放慢，当幅度调制比大于 1 后由于部分调制波不能被调制，单相的五电平 THD 开始增加，因而，通常 M 取值会大于 0.8 而小于 1。为了兼顾少的 THD 和减少低次谐波，以下实验中取频率调制比为  $K=21$ ，幅度调制比为  $M=0.9$ ，按照如下调制方法进行调制：

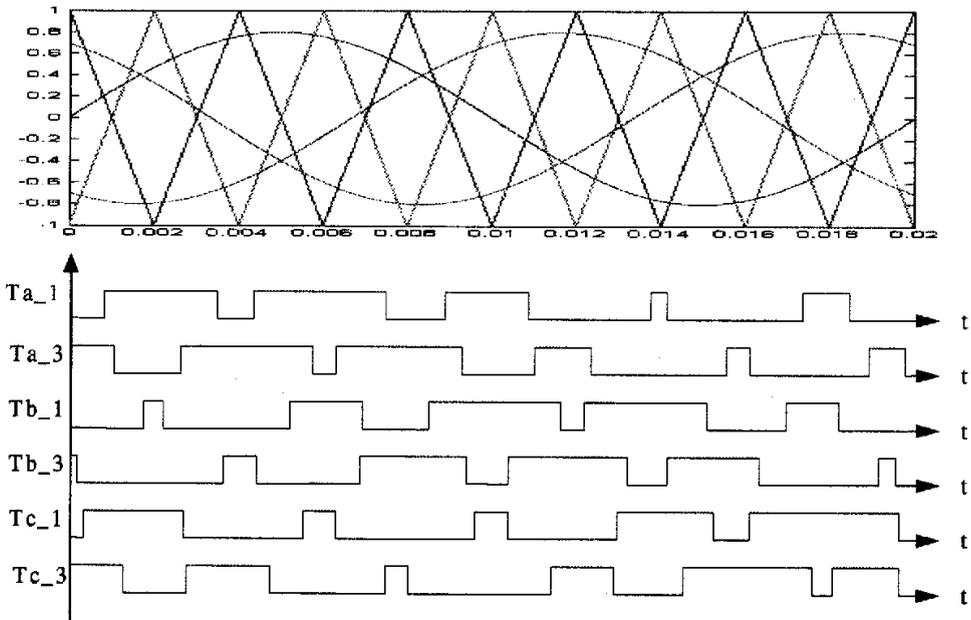


图 4-11 三相三电平调制时序示意图

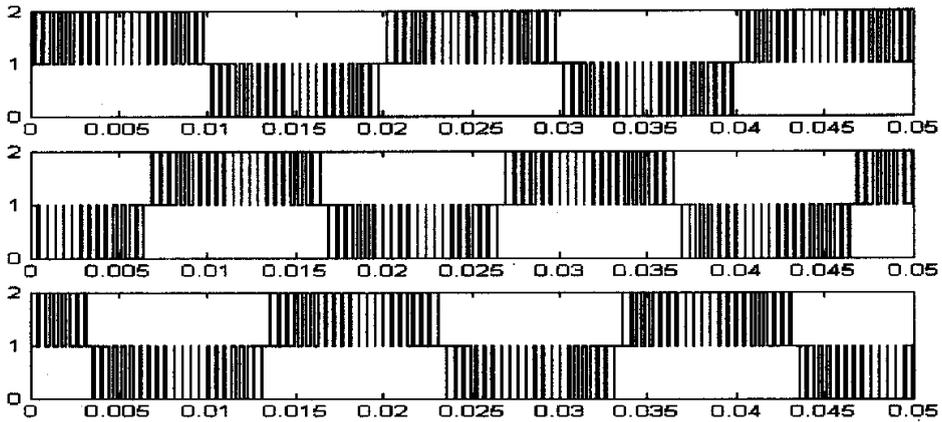


图 4-12 三相三电平调制仿真波形

对于三相三电平的调制时序如图 4-11，仍然在采用 3.1 节所述非对称规则采样法采样，即在每个计数器周期和下溢时刻为采样点，产生中断。与单相调制不同的是在每个中断程序中要读取 A、B、C 三相的三个值，将这三个值加到 DSP 的影子寄存器，等待加载时刻。由图 4-11 时序图可以得到如图 4-12 三相三电平仿真波形。

#### 4.2.2 三相三电平逆变器调制信号的 DSP 实现

单片 LF2407DSP 上有两个计数器，共可以产生两列载波，对三相正弦波分别进行调制可以得到三相的输出<sup>[85]</sup>。实验中三相正弦波采用如附件 1 所示三相正弦波发生器产生，该正弦波发生器通过 4046 锁相环与电网电压同步。当 DSP 计数器达到周期值时候进入周期中断，中断程序中对三相的调制波进行采样和计算，得到三相正确的占空比，赋值给三个比较寄存器，在计数器到零时刻加载。由于载波的相移，使得输出的脉冲也产生了相移，每列载波和三列调制波相交得到的信号分别给一个模块的两个桥臂，每个模块输出将可得到一个三电平脉冲，用三个模块实现三相分相调制。程序框图如图 4-13<sup>[86]</sup>。DSP 的两个周期寄存器值按下式计算：
$$\frac{\text{正弦波周期} \times \text{晶振} \times \text{PLL}}{\text{载波比} \times \text{分频系数} \times 2} = \frac{0.01 \times 10 \times 10^6 \times 1}{21 \times 1 \times 2} = 2381D。$$

主电路开关器件采用的是 IPM 模块，自带电流型驱动与保护，大大简化了电路设计。为了实现控制电路与主电路的隔离，选用光耦隔离并驱动 IPM 模块中的 IGBT。由于工作频率仅为 1050Hz，所以对光耦速度要求不高，可以选用普通光耦器件 TLP521。

隔离驱动及保护电路如图 4-14 所示，硬件保护电路由一个光耦，两个 RS 触发器和一个或门组成。IPM 的 15 脚为 IPM 模块报警信号，当 IPM 模块检测到主电路过流、过热及欠压等情况，将会输出一个宽度约为 1ms 的低电平脉冲，经光耦隔离后，触发 RS 触发器 1，使输出 LOCK 信号恒为高，即把或门 4071 的输出变成恒为高，这样实现 PWM 信号 WG 安全地封锁。RS 触发器 2 是用于实现在上电的时候对 LOCK 信号的复位。当电路正常工作时，LOCK 信号为低电平，WG 信号则通过光耦驱动 IPM，所以 WG 应为低电平有效的 PWM 信号。因为该 IGBT 模块自带驱动电路，所以只需向其驱动端输入约 10mA 的电流即可。图中只画出其中一

路，其他各路相同。光耦的输入二极管并上电阻 R2 和 R4，可以为输入二极管在关断的时候提供续流通路，加快关断的速度。

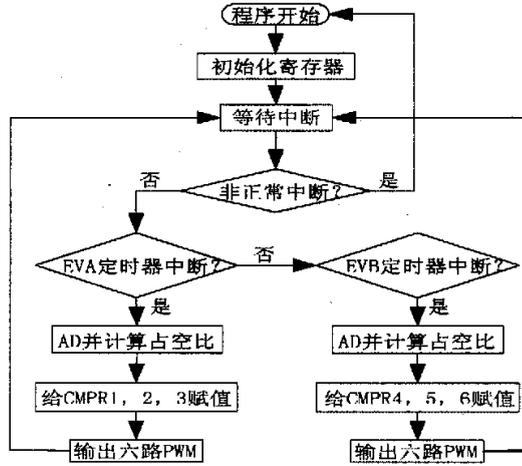


图 4-13 三相三电平 DSP 程序流程图

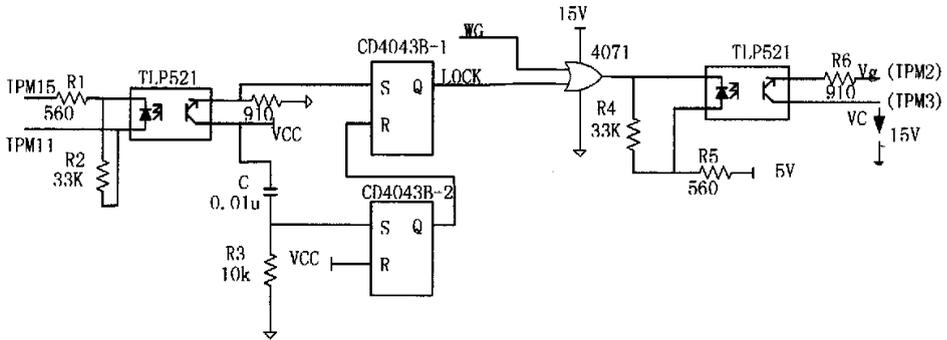
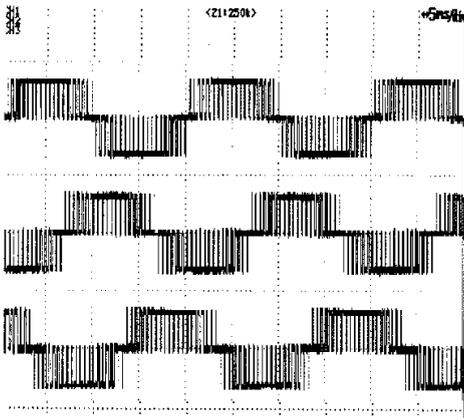


图 4-14 隔离驱动及保护电路



(A、B、C 三相控制脉冲)  
横轴(t): 5ms/div; 纵轴(E): 0.5v/div

图 4-15 三相三电平脉冲波形

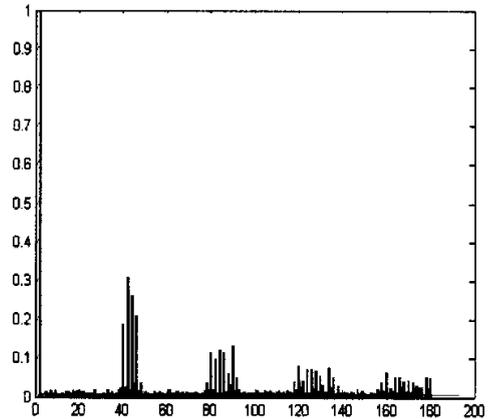
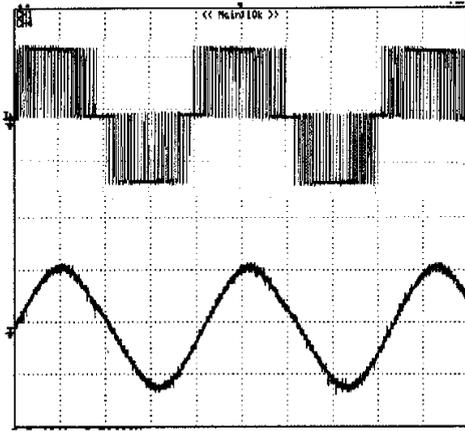


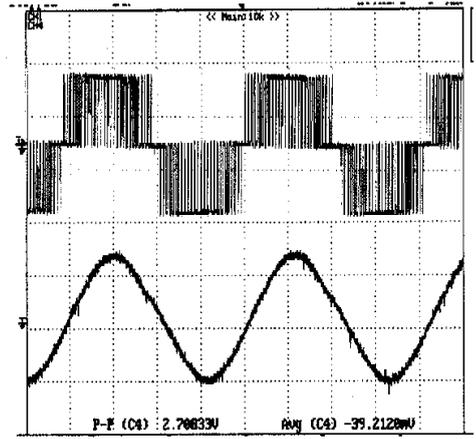
图 4-16 三相三电平脉冲频谱



(A 相控制脉冲、A 相正弦波输出)

横轴(t): 5ms/div 纵轴(E): 2v/div, 1v/div

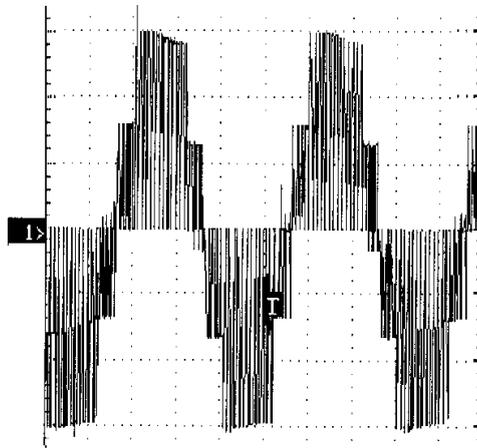
图 4-17 三相三电平 A 相输出



(B 相控制脉冲、B 相正弦波输出)

横轴(t): 5ms/div 纵轴(E): 2v/div, 1v/div

图 4-18 三相三电平 B 相输出



横轴(t): 5ms/div; 纵轴(E): 2v/div

图 4-19 A、B 相线电压输出

主电路电阻  $R=50\Omega$ ，滤波电感  $L=7\text{mH}$ ，直流侧电压  $U=60\text{V}$ ，实验结果如图 4-15 所示三相三电平 PWM 输出脉冲，其频谱分析如图 4-16，可见其低频部分谐波得到有效抑制，谐波主要集中在  $2*21*N=2*21*N=42*N$  次附近。主电路 A、B 相输出如图 4-17、图 4-18，A、B 相线电压如图 4-19。对比图 4-19 和图 3-7 可见，由三电平相电压形成的五电平线电压在第一个台阶处没有能够完全叠加，仍然是由小的间隙组成，在开关脉冲间隙处对主电路电感充放电斜率仍然很大，因而如图 4-9 示在频谱中仍然保留着  $2*N$  开关特征次谐波。而图 3-7 示五电平在第二台阶能够完全将开关脉冲叠加，频谱上显示完全消除  $2*N$  次开关特征次谐波。

### 4.3 三相五电平调制技术研究

由  $N$  个变流器模块级联而成的多电平变流器输出电平数为  $(2N+1)$ 。由三个单相级联变流器，通过 Y 型或  $\Delta$  型连接，可构成三相级联变流器。三相五电平变流器拓扑如图 1-5。以下实验中采用图 1-5 (a) 示 Y 型接法，该级联型多电平变流器有以下特点<sup>[87]</sup>：

1、比较于其它两种多电平变流器，级联型多电平变流器获得同样电平数输出时，使用的元器件最少，容易实现电平数较高的输出；

2、每个变流器单元的结构相同，容易进行模块化设计和封装；

3、因为各变流器单元之间相对独立，所以可以较容易地引入软开关控制；

4、直流侧的均压比较容易实现；

5、易于实现三相的分相控制；

在组合变流器和级联型多电平变流器中需要使用多逻辑 PWM。多逻辑 PWM 往往可以通过多路的二逻辑 PWM 来合成。对于  $N$  模块单相级联型 3-H 桥，产生  $(2N+1)$  电平的输出，需要  $4N$  个开关管，即  $4N$  路 PWM 信号；由  $3N$  个单相级联型 3-H 桥模块组成的三相变流器产生三相  $(2N+1)$  电平，需要  $12N$  个开关管， $12N$  路 PWM 信号，例如：实现单相五电平需要  $4 \times 2 = 8$  路 PWM 信号，实现三相五电平则需要  $12 \times 2 = 24$  路 PWM 信号。

三相电压型二电平 H 桥变流器需要 6 路 PWM 发生器。而三相电压型三电平变流器则需要 12 路 PWM 发生器。扩展到三相电压源  $N$  电平变流器，就需要  $6 \times (N-1)$  路 PWM 发生器。目前常见的专用集成芯片一般只能提供 6 路 PWM 发生器，如 MCS-80C196MH、TMS320F240 和 ADMC331<sup>[88]</sup>；最多能够提供 12 路 PWM 发生器，如 TMS320F2407。对于级联型多电平变流器，这些芯片能够提供的 PWM 发生器显然不能够用，并且占用很多微机内部的资源以及计算时间，基于 CPLD 的多路输出 PWM 波形发生器就有了用武之地，在该节中，详细介绍三相五电平输出 PWM 波形发生器的设计过程。

#### 4.3.1 CPLD 死区实现方法分析

DSP 中的死区实现简单，TMS320LF2407 作为电机类控制专用芯片<sup>[89]</sup>，在设置上，只需通过 DBTCON 寄存器编程即可设置死区互锁时间。死区时间由 DBTCONA/B 的 DBT0-DBT3 和分频控制位 DBTPS0-DPTPS2 共同确定，可以实现从 0 到  $16 \mu\text{s}$  的死区时间控制。通过改变 CMPRX (=1, 2, 3) 的值，来改变所产生的 PWM 波形。在 CPLD 中死区的实现相对复杂，但是由于多路触发脉冲是由 CPLD 直接发出，因而在 CPLD 中实现死区是必不可少的。总的说来 CPLD 的死区实现有以下三种方式：

**方法一：**对称法死区实现。该方法最简单，适用于对称规则采样系统。以习惯的低有效为例进行说明，其原理如下图 4-20 所示：

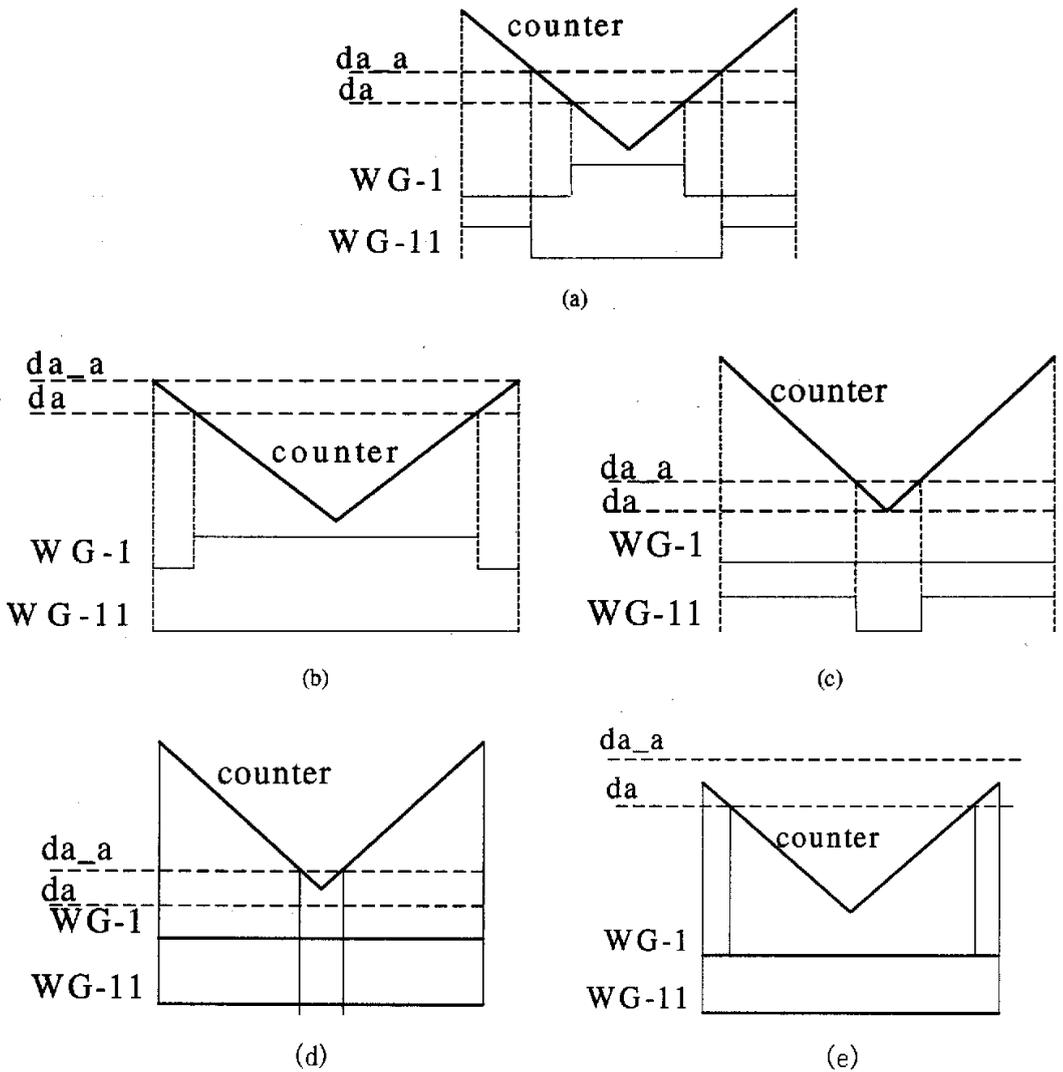


图 4-20 CPLD 实现死区示意图

正常情况如图 4-20(a)所示, counter 为计数器计数值, da 为 DSP 传送来的占空比,  $da_a = da + deadtim$ , 由于在一个载波周期中脉宽是对称的, 因而只需要将一个载波周期从上到下分为三个区, 当  $counter > da_a$  时候下管导通, 上管关断; 当  $da < counter < da_a$  时为死区时间, 同一桥臂两管均关断; 当  $counter < da$  时候上管导通, 下管关断。边界情况如图 4-20(b)~(e), (b)中当  $da_a$  刚好为计数周期值, 此时按图示在整个载波周期中应该下管关断而上管中间部分导通,  $counter = da_a$  时候为死区, 故死区时间中应该增加  $counter = da_a$  判据; (c)中  $da$  刚好为计数零值, 此时按图示在整个载波周期中应该上管关断而下管部分导通,  $counter = da$  时候应该为死区, 故死区时间中应增加  $counter = da$  判据; 对于 (d) 因为  $da > 0$  恒成立, 故不存在这种情况; 对 (e) 通过对程序中占空比值的约束可以使得  $da_a$  小于计数周期值。至此, 对称法死区实现的各种情况讨论完毕。VHDL 程序清单如下<sup>[38]</sup>;

```

IF(counter=4762) THEN
    da:=data;                                --deadtime=100D
    da_a:=data+100;
END IF;

IF(counter>da_a) THEN
    WG_1<='0';
    WG_11<='1';
ELSIF(counter<=da_a AND counter>=da) THEN
    WG_1<='0';
    WG_11<='0';
ELSE
    WG_1<='1';
    WG_11<='0';
END IF;
    
```

程序中死区时间为  $10\mu s$ ，由于 CPLD 晶振为 10M，故计数器需要计数到 100(D)。

**方法二：**非对称法死区实现。该方法最简单适用于非对称规则采样系统。仍然以习惯的低有效为例进行说明，其原理如下图 4-21 所示：

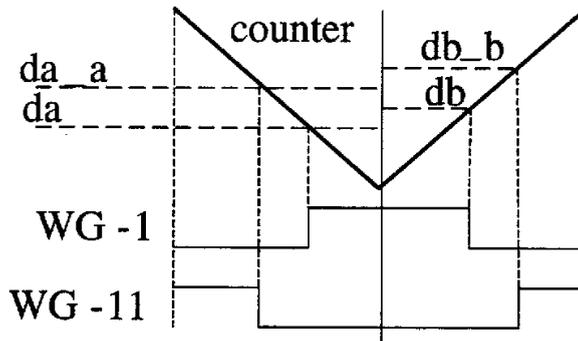


图 4-21 非对称法死区实现原理

由图 4-21 可见非对称采样中一个周期的脉宽不是关于中心轴对称的，因而要将一个载波周期从左到右分为六个区间进行讨论。设两组占空比数据为  $da, db$ ， $da_a=da+deadtime$ ， $db_b=db+deadtime$ 。(1)在计数器减计数时：(a) $counter > da_a$  下管导通，上管关断；(b) $da < counter <= da_a$  上下管均关断，为死区时间；(c) $counter < da$  时候上管导通，下管关断。(2)在计数器增计数时：(a)  $counter < db$  时候上管导通，下管关断；(b)  $db <= counter <= db_b$  上下管均关断，为死区时间；(c)  $counter > db_b$  下管导通，上管关断。其边界情况分析和对

称法一样。当  $da=db$  时，该法和对称法同。注意该方法要求计数值按照顺序经过以上六个区间。因而应该在计数周期值和计数零值对占空比数据进行加载。VHDL 程序清单如下：

```

BEGIN
    da_a:=da+100;           --deadtime=100D
    db_b:=db+100;
    IF(dir='0') THEN
        IF(counter>da_a) THEN
            WG_1<='1';
            WG_11<='0';
        ELSIF(counter<da) THEN
            WG_1<='0';
            WG_11<='1';
        ELSE
            WG_1<='0';
            WG_11<='0';
        END IF;
    ELSE
        IF(counter<db) THEN
            WG_1<='1';
            WG_11<='0';
        ELSIF(counter>db_b) THEN
            WG_1<='0';
            WG_11<='0';
        ELSE
            WG_1<='0';
            WG_11<='1';
        END IF;
    END IF;

```

**方法三：**该方法的控制较为复杂，首先通过比较器将微控制器输送的 PWM 占空比数据与三角波计数器的数据进行比较，输出了一定占空比的信号 SA，再通过对一个加减计数器的控制来产生死区时间，如图 4-22 所示：

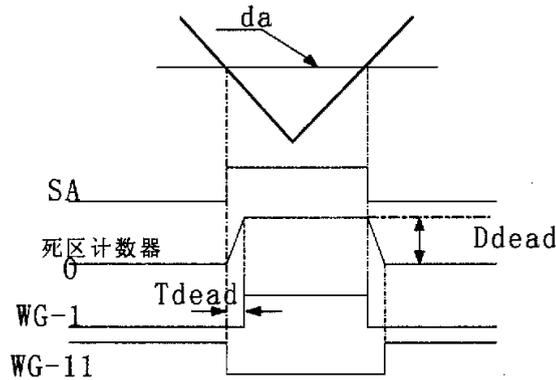


图 4-22 通过计数器产生死区示意图

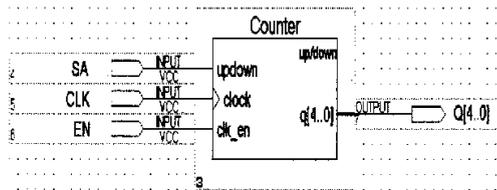


图 4-23 死区加减计数器

根据图 4-22 可以看出对加减计数器的控制规则如下：

- (1) SA 为 0 时，如果计数器值为 0，则保持不变，否则作为减法计数器。
- (2) SA 为 1 时，如果计数器值为 Ddead，则保持不变，否则作为加法器。
- (3) 如果死区计数器输出值为 0，则 WG\_1=0, WG\_11=1；若输出值为 Ddead, WG\_1=1, WG\_11=0；若输出值在 0 和 Ddead 之间，则 WG\_1=0, WG\_11=0，产生死区。

死区时间 Tdead 由加减计数器的计数峰值来控制，该峰值可以通过一个死区寄存器来决定，在死区寄存器中调整加减计数器的峰值大小，死区时间就会作出调整：

$$T_{dead} = D_{dead} \times T_{clk}$$

其中，Ddead 为加减计数器的峰值。

在 CPLD 中，对加减计数器的控制可以方便地实现，在 ALTERA 公司的 MAXPLUS 软件中，有一个 lpm\_counter 宏模块，可以设定加减，和计数保持的使能端，如图 4-23 所示，根据 SA 和死区计数峰值 Q[4..0] 的输出，再依据以上规则来输出 EN，EN 为高电平时计数器进行加或减运算，而当输出低电平时，计数保持。根据计数器的输出 Q[4..0] 值，来控制上下桥臂的 PWM 信号。由于该方法较复杂，每一个桥臂要用一个死区计数器，24 路输出共 12 个桥臂，要额外多使用 12 个死区计数器，会占用较多的 CPLD 硬件资源，故在本课题试验中不曾使用。

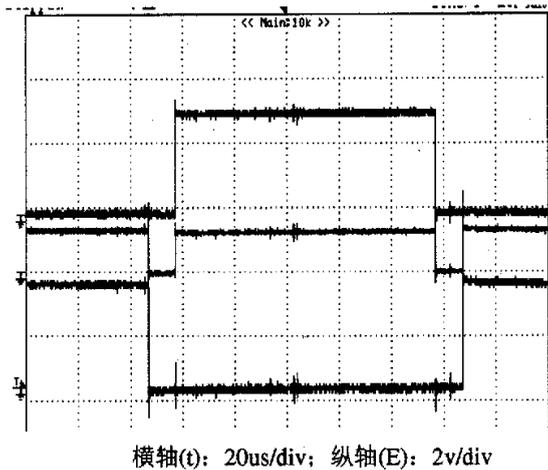


图 4-24 CPLD 产生死区实验波形

图 4-24 所示为方法一产生的同一桥臂两路脉冲的死区，死区时间为  $10\mu s$ 。中间波形是上下两路脉冲代数加后得到的波形，即是死区时间。由图中可以清楚的看到，脉冲信号变低后经过  $10\mu s$ ，互补的脉冲信号才变高，证明以上死区产生是稳定而有效的，具有实际应用价值。

### 4.3.2 两种控制系统结构分析

如果考虑把所有的控制性能都设计在一片 CPLD 芯片中，由于控制环节中有较多的乘除代数运算，需要的 CPLD 门数巨大，这样就不得不考虑到成本的问题。而利用 DSP 运算速度快，代数运算处理能力强大和 CPLD 时序和逻辑处理能力强，I/O 口多的特点，可以很容易的实现多组触发脉冲。所以现在对于电力电子控制类的 DSP 与 CPLD 构成的系统通常有如下图 4-25 示三总线结构，即利用 DSP 来进行数据计算，CPLD 来实现 PWM 波形发生、这种控制策略简化了硬件和软件设计，并充分利用 CPLD 的快速性，节省 CPU 的资源，可以在 CPU 内实现复杂的控制<sup>[90][91]</sup>。

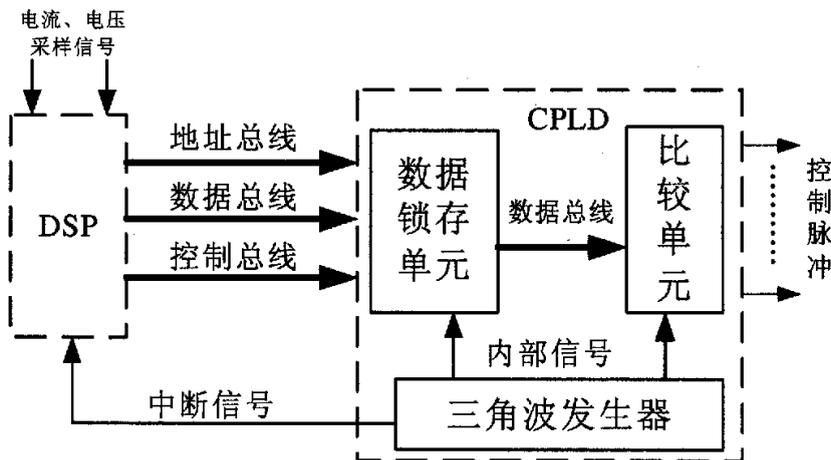


图 4-25 DSP 与 CPLD 构成的控制系统

其中 DSP 接到中断信号后进行采样计算，通过地址总线、数据总线、控制总线将占空比信号按照正确的时序送到 CPLD 中，在 CPLD 中有数据锁存单元、三角波发生器、比较单元。数据锁存单元将各个桥臂的信号数据锁存，在三角波发生器给出的确定时刻将其送到比较单元，与计数器进行比较产生 SPWM 信号。

具体到本课题的三相五电平控制，可以有以下两种系统构成方式：

1、主从式结构<sup>[92]</sup>：用 DSP 的时钟驱动 CPLD 的时序进行数据处理，两者时钟完全同步，并且一切运算和控制信号完全由 DSP 给出，CPLD 只是对信号进行扩展和分配。

对于五电平载波相移级联型变换器来说，需要四组相位相互错开 90 度的载波，而在 CPLD 中，载波的产生是通过一个加减计数器来实现的，因而，只要将该计数器的计数初值进行设定，就可以产生多组的相移载波。在实验中，载波的周期是由外部 DSP 来设定的，五电平的变换器需要的是四组载波，因而我们需要四个加减计数器，每个加减计数器的初值不一样，并且一开始是加或者减也不尽相同。

假设输入的载波设定值为  $N$ ，第一个载波的计数初值为 0，下一个时钟脉冲开始做加运算，加到设定值  $N$  再开始做减运算；第二个载波的计数初值设定为  $N/2$ ，下一个时钟脉冲来时也做加运算；第三个载波的计数初值设定为  $N$ ，下一个时钟脉冲来时做减运算；第四个载波的计数初值为  $N/2$ ，下一个时钟脉冲来时做减运算。这样，根据设定初值不同，产生了四组相位互差 90 度的三角载波。我们将每个载波计数器对应的三相六路 PWM 称为一个模块，因而，对于五电平的级联型变频器就有四个模块，而三电平的级联型变频器为二个模块。

系统结构框图如下图 4-26 所示：

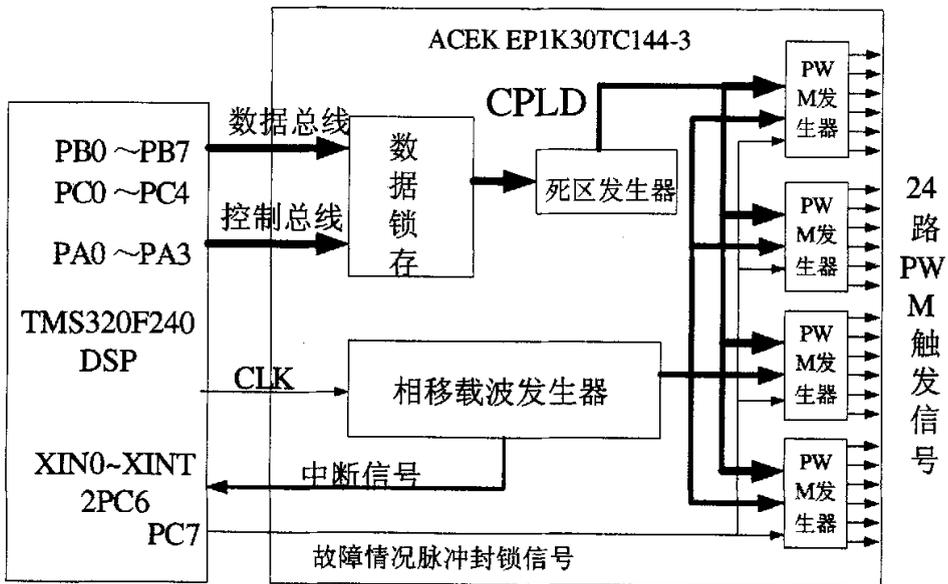


图 4-26 三相五电平主从式控制系统

TMS320F240 芯片与 ACEX1K 系列的 EP1K30TC144-3 芯片的连接如图 4-26 所示。实验中，

PWM 波形发生器采用的数据线是 13 位，将 DSP 的 PB0~PB7 和 PC0~PC4 作为数据总线，将 PA0~PA3 作为锁存器的控制总线，利用三个外部中断和一个捕获口来实现对四组载波产生的中断信号进行控制。在实验中，屏蔽 CPLD 的时钟信号，DSP 芯片的外围时钟为 10 Mhz，载波比要求 21，开关频率为  $21 \times 50 = 1050 \text{ Hz}$ ，因而，载波周期的计数值应该为  $(10 \times 10^6 / 1050) / 2 = 4760$ ，在 DSP 程序中的正弦表选用了 84 个点，每来一个中断，查表指针加 1，这样，每一个中断走完一个周期所经历的点是 21 个，每一个模块的周期为 50 Hz。输出四模块共 24 路 PWM 波形。

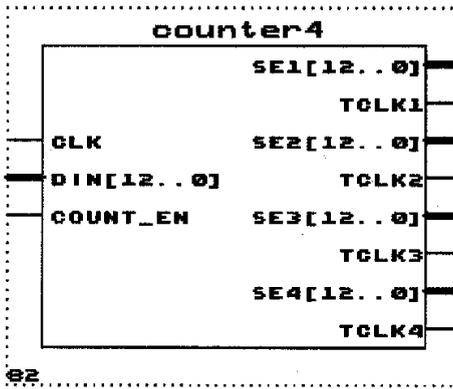
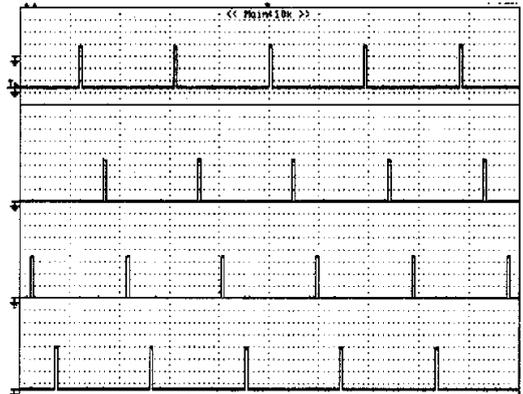


图 4-27 载波相移发生器图



4-28 四个计数模块产生的中断信号

图 4-27 为编译好的相移载波发生器单元，图中，clk 为输入时钟信号，D[12..0] 为输入的载波周期设定值，也就是计数器的最大计数值，COUNT\_EN 为计数器开始计数的使能控制端，SE1[12..0]...SE4 [12..0] 为四组相位互差 90 度的三角载波计数值，TCLK1...TCLK4 为四个中断信号，向 DSP 发出新的占空比数据输入请求。由于五电平需要四列载波，比较自然的想法是在每个载波周期产生中断信号，因而可以得到时间上错开的四个中断信号，如图 4-280 所示。DSP 在每个中断中进行采样计算，然后送数结束中断程序。

图 4-29 为当设定的载波周期值为 500 进行测试时四个载波计数器的仿真情况。

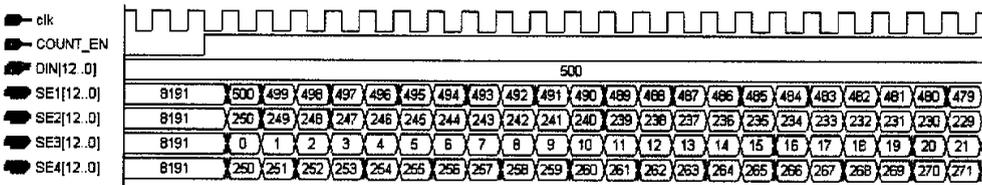


图 4-29 相移载波计数器的仿真

COUNT\_EN 为 1 时，四个计数器开始计数，得到四个相移载波。由微机发送的数据通过 CPLD 内的锁存器进行锁存，由于每个锁存器对应的数据是固定的，因而锁存控制是在波形发生器中是极其重要的。在 MAXPLUS 软件中，利用宏模块 LPM\_LATCH，可以方便的进行数据锁存。因而，我们只要控制锁存器的使能端口 gate，就控制了数据的锁存。多路的 PWM 波形发生器控制信号需要更多，所需要的 I/O 口将会更多，因而更需要对控制信号进行编

码处理。表 4-1 为对于 24 路 PWM 波形发生器控制信号的编码表。

	EN_C	EN_D	EN_CO	G	SE _1	SE _2	SE _3	SE _4	EN A	EN B	EN C	说明
0000	0	0	1	1	0	0	0	0	0	0	0	PWM 封锁
0001	0	0	1	0	1	0	0	0	1	0	0	模块 1, A 相
0010	0	0	1	0	1	0	0	0	0	1	0	模块 1, B 相
0011	0	0	1	0	1	0	0	0	0	0	1	模块 1, C 相
0100	0	0	1	0	0	1	0	0	1	0	0	模块 2, A 相
0101	0	0	1	0	0	1	0	0	0	1	0	模块 2, B 相
0110	0	0	1	0	0	1	0	0	0	0	1	模块 2, C 相
0111	0	0	1	0	0	0	1	0	1	0	0	模块 3, A 相
1000	0	0	1	0	0	0	1	0	0	1	0	模块 3, B 相
1001	0	0	1	0	0	0	1	0	0	0	1	模块 3, C 相
1010	0	0	1	0	0	0	0	1	1	0	0	模块 4, A 相
1011	0	0	1	0	0	0	0	1	0	1	0	模块 4, B 相
1100	0	0	1	0	0	0	0	1	0	0	1	模块 4, C 相
1101	0	1	0	1	0	0	0	0	0	0	0	死区设定
1110	1	0	0	1	0	0	0	0	0	0	0	载波周期设定
1111	0	0	1	0	0	0	0	0	0	0	0	载波计数开始 数据锁存

表 4-1 多路输出 PWM 波形发生器控制编码表

表中 SE\_1, SE\_2, SE\_3, SE\_4 为四个三角载波分别对应的三相六路 PWM 模块的选择控制信号, 根据表中编码的输入值, 在 CPLD 内就会相应的做出锁存控制等动作, 并且输出相应的 PWM 触发脉冲。

按照该方法实验得到的结果如下:

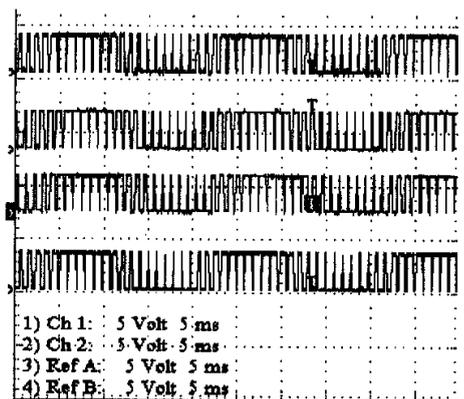
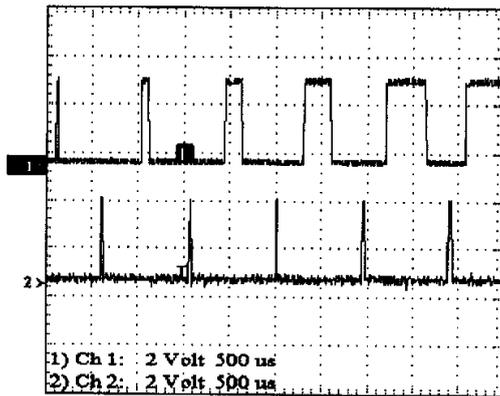


图 4-30 一路中断信号和对应的 PWM 信号

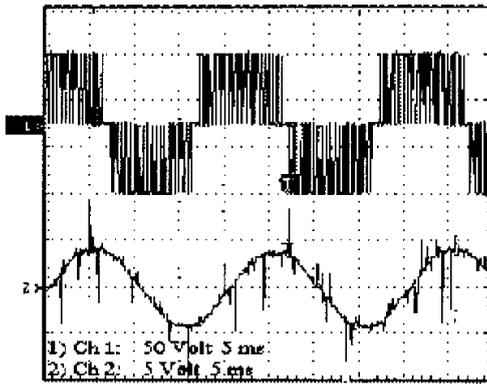


图 4-32 两路 PWM 叠加后的三电平和其滤波后正弦波

图 4-31 A 相四桥臂的四组触发脉冲

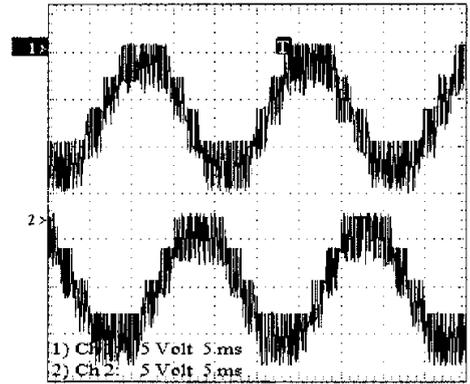


图 4-33 A、B 两相的五电平输出

对该方法的评价：

- (1) 由于对数据进行了编码，可以将周期值和死区值从主处理器 DSP 传入，因而在每个周期可以对周期值进行修改，实现实时的频率调制比和幅度调制比可调，方法灵活；
- (2) 由表 4-1 可以看出，24 路 PWM 脉冲波形发生器的控制总线为四位，DSP 只要根据上表进行输入，通过对数据总线的分时复用就可以进行占空比、周期值、死区值的数据锁存控制，从而在结构框图中省略了地址总线；
- (3) 该方法由于中断信号按 CPLD 的时序给出，由 DSP 进行捕获，因而要求 DSP 与 CPLD 的时钟同步<sup>[93][94]</sup>，实验中将 DSP 产生的时钟引入 CPLD，二者共用一个时钟以实现同步；
- (4) 四个中断信号对应 H 桥的四个桥臂，其间也有严格的时序，要求 DSP 的四个中断捕获口严格的时钟同步，如果不同步则可能在某个桥臂漏掉中断脉冲，从而漏掉占空比的数据，使得输出的波形不能完全叠加成为五电平，引入不希望的非开关特征次谐波。而由图 4-33 可以看出，该方法得到的五电平则有较多的脉冲丢失，电平并不规则，包含的不规则谐波也多。

2、对等式结构<sup>[95][96]</sup>。在此种方式中 DSP 和 CPLD 各自用自己的时钟驱动，时钟信号频率可以相同也可以不同，它们各自独立处理各自的任务，由统一的总线传输数据，在每个加载时刻加载数据。

该方式实现框图如下：

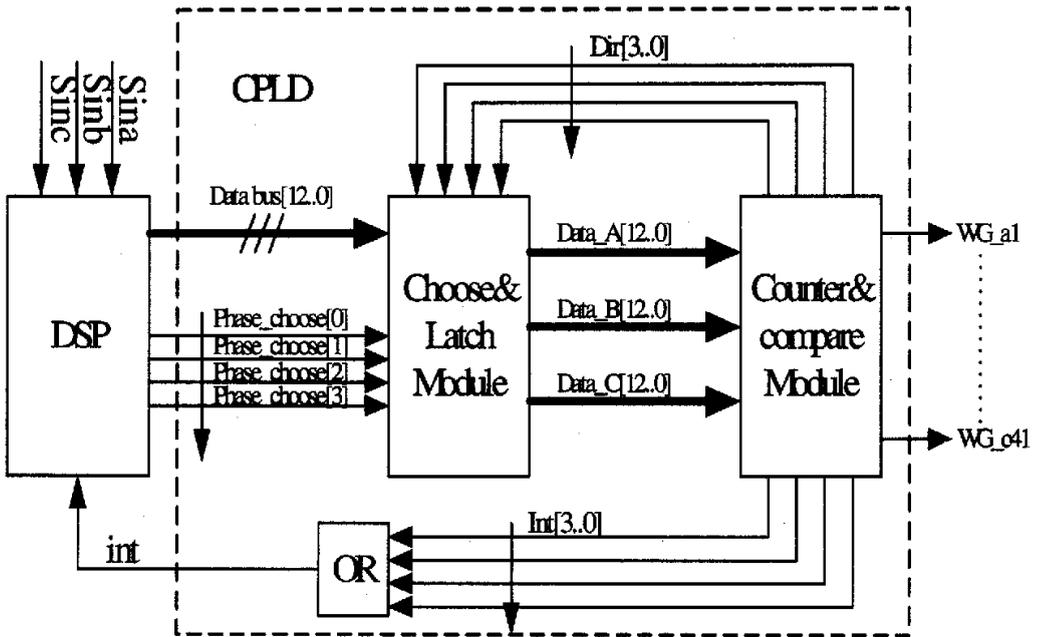


图 4-34 三相五电平对等方式控制系统

在 CPLD 中 Counter&compare 模块由四个计数器和四个比较器组成，四个计数器进行双向计数，分别产生在时间上错开  $T/(2N)$  ( $N$  为模块数) 的四列三角载波，计数方向由  $Dir[3..0]$  来表示，当增计数时候  $Dir[i]$  为 1，减计数时候  $Dir[i]$  为 0。四个比较器将计数器的值和由 Data bus 送过来的占空比值进行实时比较，输出 24 路 PWM 波形。每个计数器在达到零值时候产生中断信号，该中断信号通过一定时间的延时，通常为两个系统时钟周期（使 DSP 可以识别）可直接送到 DSP 的捕获口，这样设计简单自然，但需要占用四个中断或捕获口，事实上 LF2407 只有两个外部中断口，每个事件管理器只有三个捕获口，若用 4 个捕获口则存在时钟同步问题。该方法为了避免这一难题，采用将四个中断信号在 CPLD 中相或后送 DSP 外部中断口方案，则只需要占用一个 DSP 中断口。由于 CPS-SPWM 调制方法各个载波错开  $1/(2N)$  角度，故该四个中断信号不会有时间上的重叠，因而不会造成中断混乱。DSP 响应外部中断后，便进入中断程序采样、计算得到三相正确的占空比数据后送出。通过 Choose&Latch 模块对 DSP 送来的数据按相按模块及正确的时序分配到各个桥臂并进行锁存。当  $Dir[i]$  由 1 变为 0 时候，Choose&Latch 模块将对对应模块的数据送到相应的比较模块，在计数器计到计数周期时候比较模块接收数据并进行比较，产生 PWM 信号。考虑到信号的建立时间，应使送数时间提前于接收时间  $\Delta T$ ，本实验中  $\Delta T=1\mu s$ 。实验 DSP 采用 TI 公司的 TMS320LF2407，CPLD 采用 ALTERA 公司的 EP1K30TC144-3，CPLD 时钟频率使用 10M 赫兹。调制波由三相正弦波发生器产生，频率为 50hz，载波的幅度调制比取  $M=0.85$ ，频率调制比取  $K=21$ ，载波周期  $= \frac{\text{系统时钟}}{50\text{hz} \times 21 \times 2} = \frac{10 \times 10^6}{50 \times 21 \times 2} = 4762(D)$ 。为了节约硬件资源，本文中

CPLD 实现死区采用对称法。

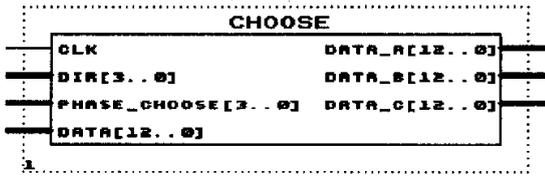


图 4-35 编译好的选相单元

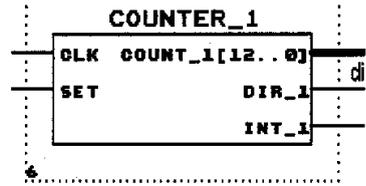


图 4-36 编译好的双向计数器单元

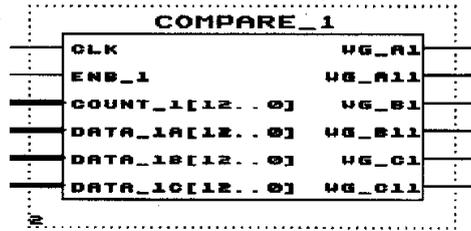


图 4-37 编译好的比较单元

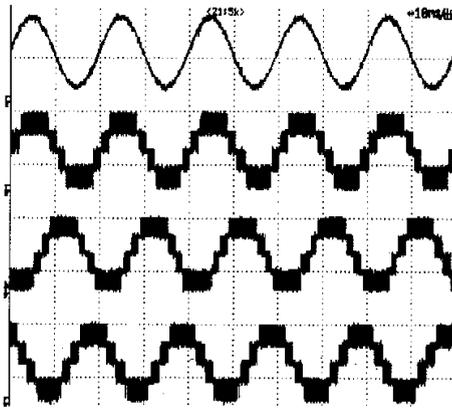
编译好的相选单元、双向计数单元、比较单元如图 4-35，图 4-36，图 4-37 所示，整个 CPLD 顶层系统图如附件 2。三个单元均用统一时钟信号驱动，使得三个单元工作在同步状态。由于每个中断要处理三相的占空比数据，故在 DSP 中采用分时传送的方法，在每一计数模块的中断中按找表 4-2 的编码，先传送相选信号，再传送三相占空比数据，三相数据在相选单元中锁存后，等待加载时刻，在该计数模块的计数器值计到周期时，计数方向标志位 dir[i]由 1 变为 0，此刻该模块三相数据通过 CPLD 内部 DATA 数据总线同时加载到比较单元，由于载波的相位差使得其各模块到达周期时刻有相同的相位差，保证了各计数模块数据可以按正确的时序独立传送。使能信号 EN 在脉冲输出的最后一级即比较单元中，该信号有效时可以在故障发生时候在最短时间内完全封锁输出 PWM 信号，使所有开关管关闭，电路停止运行，器件得以保护。

		Phase_choose[0]	Phase_choose[1]	Phase_choose[2]	Phase_choose[3]
A 相	桥臂一	0	0	0	0
	桥臂二	0	0	0	1
	桥臂三	0	0	1	0
	桥臂四	0	0	1	1
B 相	桥臂一	0	1	0	0
	桥臂二	0	1	0	1
	桥臂三	0	1	1	0
	桥臂四	0	1	1	1

C 相	桥臂一	1	0	0	0
	桥臂二	1	0	0	1
	桥臂三	1	0	1	0
	桥臂四	1	0	1	1

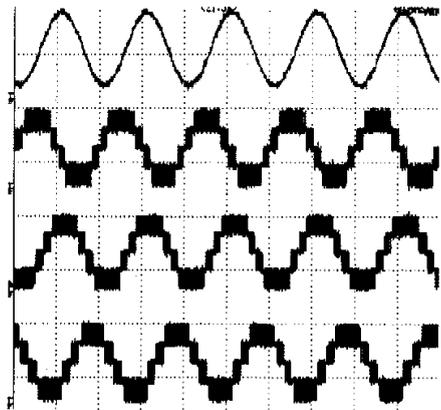
表 4-2 相选编码表

实验中采用对称规则采样，在每个计数周期发出中断信号，在下一个周期时候进行加载，数据延时一个载波周期。理论上在这个载波周期中将数据送到 CPLD 中锁存就可以。但由于在 DSP 中只用了一个中断源，故一个载波周期中有四次中断信号送入。相邻中断之间时间间隔为  $\Delta t = \frac{0.02}{21 \times 4} s$ ，大约为  $250 \mu s$ ，因此此种方法要求在  $250 \mu s$  内进行数据的采样、计算并且传送到 CPLD 的锁存器中，否则时序将发生混乱。



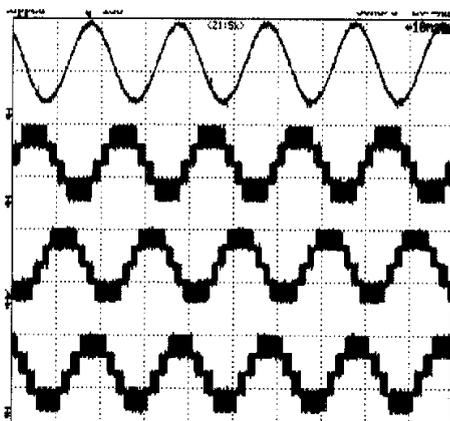
(A 相给定信号、A、B、C 相控制脉冲)

图 4-38 三相五电平 A 相波形



(B 相给定信号、A、B、C 相控制脉冲)

图 4-39 三相五电平 B 相波形



(C 相给定信号、A、B、C 相控制脉冲)

图 4-40 三相五电平 C 相波形

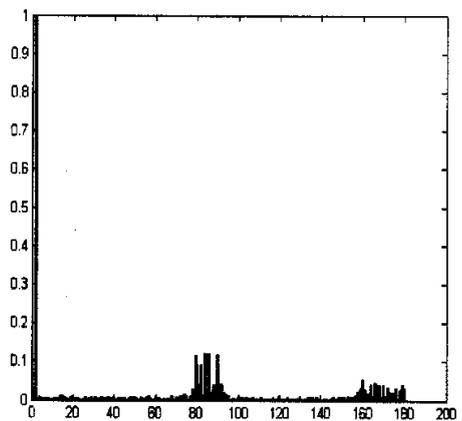


图 4-41 A 相输出频谱

输出的五电平控制脉冲如图 4-38~图 4-40，在 DSP+CPLD 构成的硬件系统支持下运用

CPS-SPWM 调制方法对多电平变流器进行控制, 整个系统结构简单, 易于实现。将 DSP 的高速数据处理能力和 CPLD 的强大逻辑时序处理能力及多 I/O 的特点融合、互补, 该控制系统充分利用了 DSP 和 CPLD 的硬件资源, 运行稳定, 输出效果理想。由图 4-41 频谱分析可见, 输出中只留下了载波 4 倍频的特征次谐波及其边带, 从而使得低次谐波大大减少, 实验输出 THD=0.3250。

对等方法的评价:

- (1) 该方法充分利用 CPLD 丰富的逻辑资源, 将按一定时序排列的四个模块数据选择逻辑植入 CPLD 内部, 一方面节省了 DSP 的中断口, 另一方面避免了四个中断口时钟要严格同步的问题(这个是比较困难的)<sup>[93]</sup>, 由输出波形可以看到, 本方法比前一种方法输出包含更少的毛刺, 得到的五电平更加规则;
- (2) 由于加载信号和计数器周期同步, 对于 DSP 和 CPLD 驱动时钟信号完全独立, 事实上 CPLD 的时钟可以是任意值, 只是时钟频率越高, 计数时间越短, 三角波台阶越小, 产生的误差越小, 反之则大;
- (3) 由于在每个计数模块中的三相采用了时分复用的方法, 使得 DSP 与 CPLD 的连线更简洁, 用相选信号线代替了地址总线, 也省去了控制总线;
- (4) 在一个载波周期中有四个中断进行时分复用, 因而每个中断间隔只有四分之一载波周期, 这要求在更短时间内对数据进行采样、计算和输出, 对处理器的要求更高。如果载波调制比增加, 则要考虑是否能够在相应的时间内完成运算;
- (5) 由于将选择逻辑植入 CPLD 内, 减少了 DSP 的负担, 体现了数字控制系统的灵活性, 但是也占用了 CPLD 的硬件资源(资源占用情况如表 4-3 所示), 因而实验中采用对称规则采样的死区实现方法。另外, 本实验中 CPLD 的模块完全由 VHDL 语言编写, 如果采用 MAXPLUSII 自带的模块, 可能可以提高硬件利用率<sup>[97]</sup>。

Total dedicated input pins used	1/6	16%
Total I/O pins used	48/96	50%
Total logic cells used	1646/1728	95%
Total embedded cells used	0/96	0%
Total EABs used	0/6	0%
Average fan-in	2.94/4	73%
Total fan-in	4844/6912	70%

表 4-3 MAX+PLUSII 给出的资源占用情况

#### 4.4 DSP 与 CPLD 的串行通信研究

对于高速时钟的微控制系统的抗干扰是一个现实的问题。DSP 丰富的片上资源也为外来干扰源提供了通路。传导干扰很容易通过 DSP 的捕获口、外部中断口、未曾使用的 I/O 口

进入到处理器内部干扰正常的流水线，造成运算错误。当 DSP 用于控制功率器件时候，通常为了保证触发脉冲到达功率器件门级的可靠性会将 DSP 输出到功率器件的引线尽量短，当 DSP 靠近所控制的大功率器件开关频率较高时候，开关的电磁干扰不可忽略，引起处理器的运算错误。

CPLD 内部只有逻辑门，处理底层逻辑运算，抗电磁干扰能力强，可以靠近功率开关工作<sup>[36]</sup>。如果将 CPLD 作为 DSP 输出的后级接到功率器件门级，则可以将 DSP 较远的离开干扰源，能有效的减少电磁干扰。用并行总线方式进行较长距离的通信是不可行的。本节主要研究 DSP 和 CPLD 的串行通信问题，希望根据串行通信的协议进行简单的数据传送。

LF2407 片上所带的串行通信口有 SPI 和 SCI<sup>[52]</sup>。

1、SPI 是同步通信方式，外部时钟为 30MHz 时候，最高通信波特率可达到 7.5Mbps。SPI 通常用于 DSP 处理器与外设和其他处理器之间的通信，如显示驱动器、DAC、及时钟日历等。有四个外部引脚：SPISOMI、SPISIMO、SPISTE、SPICLK 分别控制主从传送，传送使能和时钟信号；

2、SCI 支持 CPU 与其他使用标准格式的异步外设之间的通信。通过一个 16 位的波特率选择控制寄存器编程，可以得到 65535 种不同传送速率。在 40MHz 时钟下，波特率可以达到 1875kbps。SCI 有两个外部引脚：SCIRXD、SCITXD 分别是接收和传送引脚。此外，SCI 可以方便的和 RS-232 接口进行连接。

占空比数据只是在每个中断结束进行传送，并且位数不超过 16 位，不存在大量数据连续传送的问题，另外，考虑到 DSP 与 CPLD 同步的难度，也考虑到接线的方便，采用异步通信比较合理，以下讨论均基于 SCI 的串行通信方式。

#### 4.4.1 SCI 通信原理

LF2407DSP 片内的串行通信接口 (SCI)<sup>[52]</sup>，其中每帧可以选择 1—8 位的数据位、地址位和奇偶校验位，加上起始和结束位，每帧的基本格式如图 4-42，其中起始位 sta 为低电平，在每一帧的最前面，然后是 8 位数据位，在单机通信时候地址和奇偶校验可以缺省，最后一位是停止位，是一个高电平。SCI 通信方式由三线连接，分别为 SCITXD（异步发送引脚），SCIRXD（异步接收引脚）和信号地。SCI 的接收器与发送器都是双缓冲的，有各自独立的控制位与中断位，都可以同时工作在全双工模式下，此外还支持多处理器通讯模式，可以用来进行多机通讯。为了保证数据的完整性，SCI 对接收的数据可以进行间断检测、奇偶性、超时以及帧错误等的检查。支持全双工和半双工工作方式，发送和接收的操作可以利用状态标志位通过中断驱动或者查询算法来完成。此外发送器和接收器的中断可以独立使能。

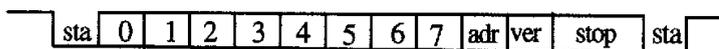


图 4-42 LF2407DSP 异步通信每帧基本格式

SCI 内部生成串行时钟由系统 SYSCLK 频率和波特率选择寄存器决定，其决定方式如下：

BRR≠0 时:       SCI 异步通信波特率=SYSCLK/[ (BRR+1) ×8]  
 因而               BRR=SYSCLK/ (SCI 异步通信波特率×8) -1  
 BRR=0 时:       SCI 异步通信波特率=SYSCLK/16  
 因而               BRR 由波特率选择寄存器值决定。

### 4.4.2 通信协议及其仿真

系统框图如图 4-43，由于采用异步通信方式，故 DSP 与 CPLD 只需要一根数据线，而不需要同步时钟信号线。CPLD 的时钟由 CPLD 板上晶振产生，即图中 system clock，该系统时钟为 10Mhz。Counter&compare 模块由计数器和比较器组成，计数器从零开始连续增减计数，形成三角载波，在计数到周期值时候发出中断信号，此中断信号和 DSP 外部中断口相连，DSP 响应外部中断后，在中断程序中通过查表得到占空比数据，送到 SCI 的 BUFFER 等待发送，在未发送数据前 DSP 的发送引脚 SCITXD 是高电平，当下降沿到来时则开始发送起始位，而 CPLD 则在每一个 System clock 上升沿检测 SCITXD 线上的下降沿信号，一旦检测到该信号，则表明 DSP 开始发送数据，Ad Module 和 Shift Module 同时开始工作，其中 Ad Module 是将 System clock 分频，得到和异步传送波特率相对应而比波特率高的时钟。通过由 Ad Module 产生采样信号，按照一般串行通信的习惯在每个采样信号的上升采样来读取 SCITXD 信号线上的串行数据。Shift Module 是将采样得到的一个帧比特信号进行移位，得到 10 位并行数据，送到 Combination Module 中。由于一个占空比为 13 位，因而在 Shift Module 中设置当收到 13 位数据后停止接收，另外，按照异步传送协议，一个帧只能传送 8 位数据，因而 13 位需要分两次传送。当接收完 13 位数据后通过串并转换单元 Combination module 按高低位将数据进行重组的到原始正确的占空比数据，等待加载时刻的到来，当 CPLD 计数到 0 时候比较模块读取内部数据线上 13 位占空比数据并锁存后和计数器的值进行比较，输出 SPWM 信号。MAX+PLUSII 生成的串行数据处理部分顶层模块如图 4-46。一个占空比数据传送的时序仿真波形如图 4-47(从上到下依次是 SCITXD 线上的数据信号,Ad 采样信号, DSP 中断信号, DSP 发送的占空比值) SCI 传送数据及输出 SPWM 信号如图 4-48 (从上到下依次是 SCITXD 线上的数据信号,Ad 采样信号, DSP 中断信号, DSP 发送的占空比值, 输出 SPWM 信号及其同桥臂互补信号)。

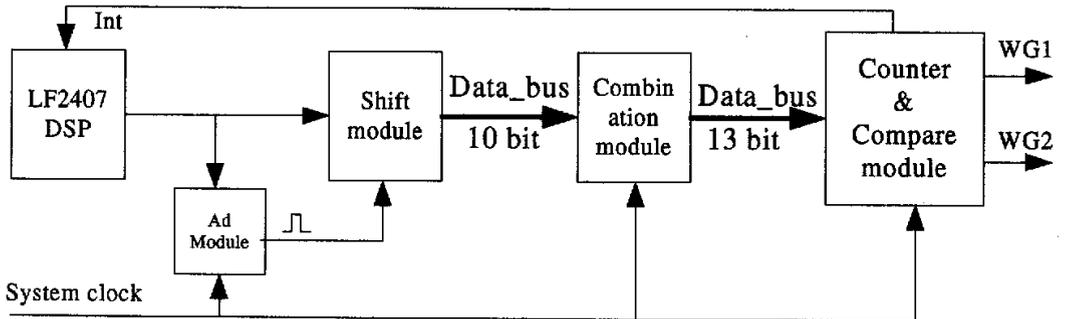


图 4-43 DSP 与 CPLD 异步串行通信框图

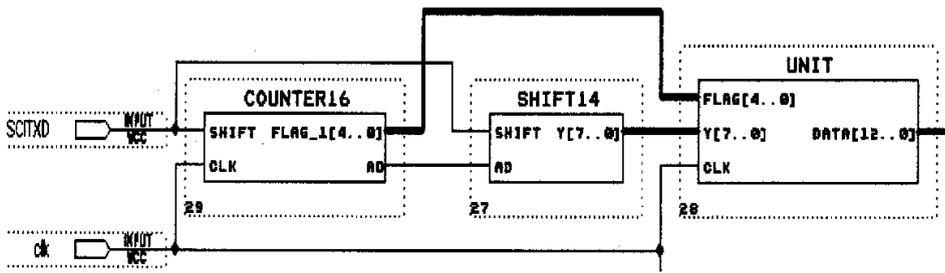


图 4-44 由 MAX+PLUSII 生成的串行处理部分顶层模块

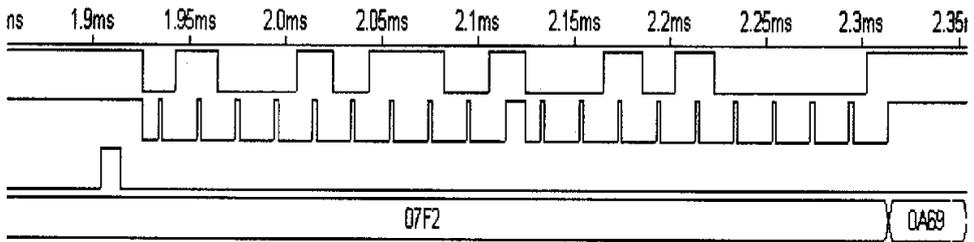


图 4-45 一个占空比数据传送仿真时序图

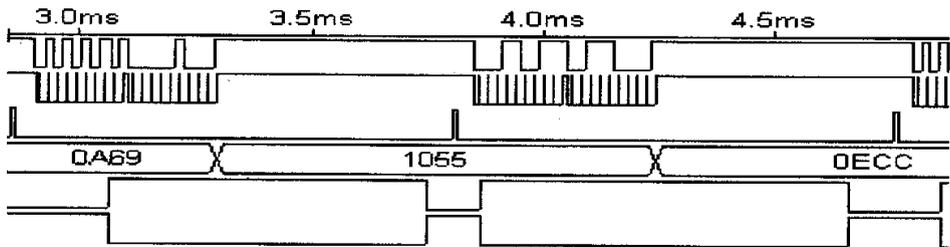


图 4-46 SCI 数据传送时序仿真图及其输出的两路 SPWM 信号

SCI 按从左到右, 先低位后高位传送数据, 因而, 由图 4-47 可以读出传送的数据为 01001011010001000001(即 0A69H)。同理, 由图 4-45 可以读出第一个数据为 01010101010000010001(即 1055H); 第二个数据为 00011001110011100001(即 0ECCH) 和显示的数据吻合。由于比较模块采用低有效方式, 因而得到的低电平 0ECCH 应该比 1055H 宽。

### 4.4.3 系统实现

实验中 DSP 和 CPLD 系统时钟均为 10Mhz, 载波比取 21, 一个载波周期约为 1ms, 计数器周期值由下式确定:  $\frac{\text{系统时钟频率}}{\text{载波比} \times \text{工频} \times 2} = \frac{10 \times 10^6}{21 \times 50 \times 2} = 4762D$ , 由于是半周期加载, 要求在 1/2 载波周期内能够将数据传输完成, 而占空比数据最大为  $4762/2=2381D$ , 这是一个 13 位的数据

(需要分两帧进行传送), 若每位传送时间为  $\chi$ , 则只要满足  $\chi \times 20 < \frac{1}{50 \times 21 \times 2}$  就可以达到

时序要求, 理论上传输速率可以达到 SCI 允许的上限, 考虑到传输数度越快误码率越高, 实验中取  $\chi = 20 \mu\text{s}/\text{bit}$ , 故串行通信的波特率为 50Kbps。再由 SCI 异步波特率 =  $\text{SYSCLK}/[(\text{BRR}+1) \times 8]$  得到  $\text{BRR}=18\text{H}$ 。

由 4.4.2 节分析可见, CPLD 实现异步接收的关键部分是 Shift Module。对于移位寄存器通常的实现方法是用 D 触发器串联, 用共同的时钟, 得到并行的输出。该方法中有多少位并行输出就需要多少个 D 触发器, 虽然简单, 实现起来容易, 比较模块化, 但是占用大量 CPLD 内部的硬件资源, 没有充分体现出“自顶向下”设计的灵活性。本实验中采用 VHDL 语言进行设计移位寄存器, 代码简单明了, 执行效率高, 设计灵活<sup>[38][39]</sup>。以下是 Shift Module 的 VHDL 源代码<sup>[13]</sup>:

```

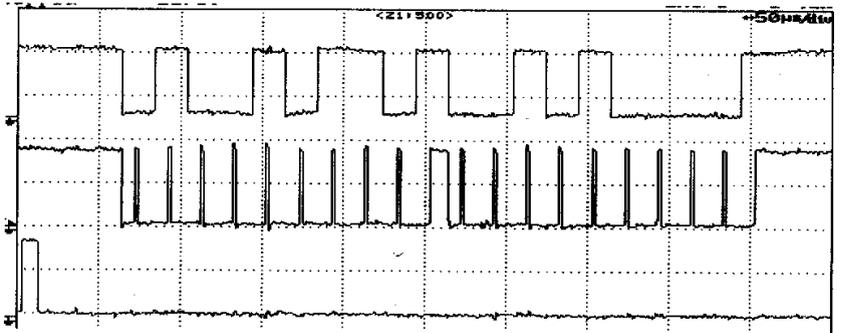
ARCHITECTURE rel OF shift13 is
    SIGNAL temp: STD_LOGIC_VECTOR(9 DOWNT0 0);    --定义一帧的数组为 10 位
    BEGIN

    PROCESS(ad)                                    --以 ad 信号启动移位
    BEGIN
        IF(ad' EVENT AND ad='1') THEN            --上升沿采样
            IF(temp(0)='0') THEN
                temp<=shift&"1111111111";        --0111111111
            ELSE
                temp<=shift&temp(9 DOWNT0 1);    --左移 1 位, 采样数据进入低位
            END IF;
        END IF;
    END PROCESS;

    PROCESS
    BEGIN
        IF(temp(0)='0') THEN                      --标志位 0 移位到数组末位则一帧数据传送结束
            y<=temp(8 DOWNT0 1);
        ELSE
            y<="00000000";                        --没有数据传送时候数组设置为 0
        END IF;
    
```

```

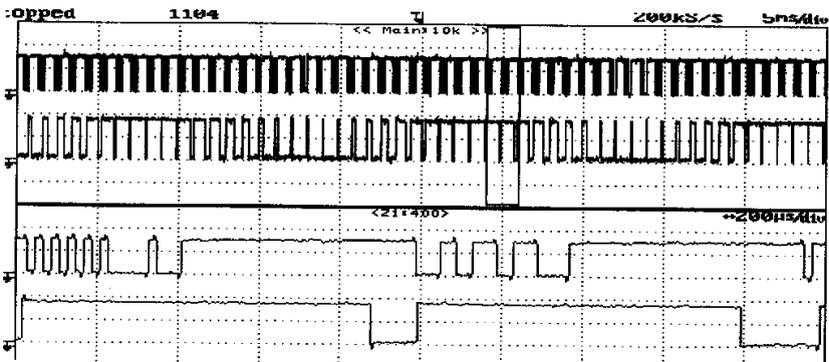
END PROCESS;
END;
    
```



(数据线上的信号、采样信号、中断信号)

横轴 (t): 50µs/div; 纵轴 (E): 2v/div

图 4-47 一个占空比数据传送实验波形图



(数据线上的信号、输出一路 SPWM 脉冲、放大的数据线上信号、放大的输出 SPWM 脉冲)

横轴(t): 上面两路 5ms/div, 下面两路 200µs/div; 纵轴 (E): 2v/div

图 4-48 SCITXD 上传输数据和一路 SPWM 信号

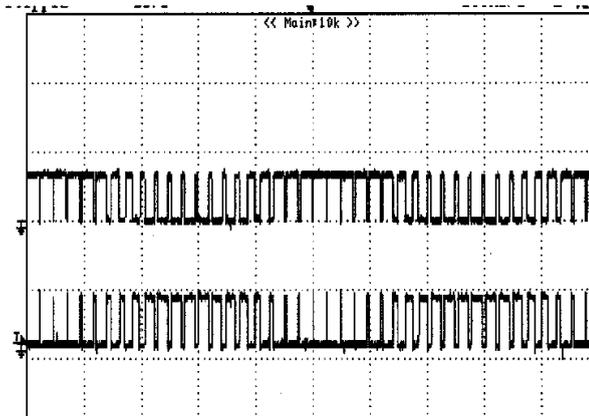
DSP 与 CPLD 距离 6 米异步串行数据实验波形如图 4-47(一个占空比数据传送实验波形), 图 4-48 (从上到下依次是 SCITXD 串行线上的数据信号, 输出的一路 SPWM 信号及其放大的数据信号和放大的 SPWM 信号), 图 4-51 (从上到下依次是 SCITXD 串行线上的数据信号, Ad 采样信号, DSP 外部中断信号, 输出的一路 SPWM 信号; 放大的 SCITXD 线上的两个占空比串行信号, 对应放大的 Ad 信号, 中断信号), 由图 4-47 和图 4-48, 图 4-49 不难看出, 实验的时序和仿真时序完全吻合。



(数据线上信号、采样信号、中断脉冲、SPWM 输出脉冲、放大的前三路波形)

横轴 (t): 上面四路 1ms/div, 下面三路 200us/div; 纵轴 (E): 2v/div

图 4-49 各个节点输出波形总图



(互补的两路 SPWM 信号)

横轴 (t): 2ms/div; 纵轴 (E): 5v/div

图 4-50 最终输出的两路 SPWM 脉冲信号

由图 4-47 可见传送每一个 bit 所需时间是  $20\mu\text{s}$ , 信号质量非常好; 由图 4-49 可见, SCITXD 线上的数据周期而有规律, 因而输出的 SPWM 脉冲周期在 20ms 很稳定, 误码率为零, 每个载波周期都在 1ms 左右, 和计算值完全吻合。由图 4-48 还可以看到, 从 DSP 响应中断和数据传输完成需时在  $400\mu\text{s}$  左右, 小于半个载波周期, 完全满足时序要求。

由于实验中传送每一个 bit 所需时间是  $20\mu\text{s}$ , 按照 10Mhz 的晶振需要计数到 200。而设计的采样信号在计数中间时刻, 即计数器计数到 100 时候。这样可以有效避免信号延时和噪音信号。也可以设计多次采样, 对比后取多数的信号为正确的信号, 比如在计数器计数到 50、100、150 时候分别采样三次, 得到的信号比较, 都是 '1' 则取 '1' 为正确信号。

这样更能有效减少误差。另外，如果多机通信还可以在 CPLD 内部通过程序实现地址判别，数据校验等功能，但是要占用更多的硬件资源。

通过 VHDL 编程来实现 CPLD 与 DSP 的虚拟异步串行通信，能够充分利用已有的硬件资源，在不增加额外电路接口的情况使得系统开发更加灵活。通过 DSP 与 CPLD 距离 6 米串行传输数据实验证明，该方法实现简单，信号传送稳定，是一种行之有效的通信方法。

## 本章小结

本章从三相变流器的低频数学模型入手，得到结论：从交流侧分析电压型变流器具有升压特性，而电流型变流器具有降压特性。用单片 LF2407DSP 实现三相三电平输出，并分析了其相电压和线电压与调制参数的关系。用对等方案在 DSP+CPLD 的硬件系统上实现了三相五电平，避免了中断源时钟精确同步的难题，减少了漏计、多计脉冲，因而输出叠加脉冲更规则，对变流器的控制更可靠，频谱分析表明输出波形谐波含量比原有方法也大为减小。

另外，针对大功率开关对微处理器干扰的问题，设计了 DSP 与 CPLD 的异步串行通信方法，在 6 米距离内实验误码率为零。

## 第五章 全文总结与展望

大功率开关器件的开关频率和开关容量总是存在矛盾的，以至于大功率变流器难以应用各种优秀的开关策略。采用多电平拓扑是目前解决这一矛盾比较好的方案，本文在阅读大量文献的基础上，对比分析了各种多电平变流器拓扑和调制策略，总结出了级联 H 桥拓扑和载波相移 SPWM 方法相结合在大功率变流器应用中突出优点。而传统的模拟控制系统不易将载波相移 SPWM 方法和先进的控制策略结合，本文主要在基于载波相移 SPWM 的级联 H 桥多电平变流器数字化控制实现方面做了部分研究。全文主要研究成果总结如下：

1、本文分析和验证了基于载波相移 SPWM 调制方法的级联 H 桥多电平变流器能够有效地改变输出波形的谐波特性。文中详细分析了级联 H 桥的工作模式，载波相移 SPWM 技术在线性度和传输带宽方面的特性，并通过用三电平和五电平脉冲控制级联 H 桥变流器，将二者有机地结合到数字控制系统中。对输出波形的频谱分析，验证了理论分析的结论：载波相移 SPWM 调制方法是通过低频谐波的相互抵消来提高等效开关频率，而不是简单的将谐波向高次推移；

2、提出采用非对称规则采样方法来进一步改善输出波形谐波特性。文中深入研究了采样方式对消除开关谐波的影响，用单片 LF2407DSP 实现了在数字系统中优于常见对称规则采样方法的非对称规则采样方法。该方法只是增加一倍的数据，却能够消除由对称采样法引入的大量不规则次谐波；

3、通过 DSP+CPLD 硬件平台实现了基于载波相移 SPWM 调制的各种给定波形的单相多电平输出。对各个输出波形的总谐波畸变率、传输带宽、实现的复杂程度、应用场合等进行了分析和对比。并将数字 PI 闭环控制方案应用到一个五电平 SAPF 样机中，对其电流谐波的补偿取得了理想的效果；

4、对多电平死区效应的产生和数字补偿进行了研究。通过编程对三电平 APF 进行补偿，进一步改进了 APF 补偿后网侧电流的波形；

5、通过数字控制系统实现了三相三电平脉冲输出和三相五电平脉冲输出。由仿真对三相三电平相电压和线电压与调制参数的关系进行了分析，选择了优化的参数，用单片 LF2407DSP 实现了三相三电平的正弦波逆变器。详细叙述了用对等传输方案实现三相五电平控制脉冲输出的过程，该方案避免了以往中断时钟同步的难题，减少了输出脉冲的遗漏与增加，对变流器的控制更稳定；

6、对在 CPLD 中实现死区的各种方法进行了探讨、分析与对比。对 DSP 与 CPLD 的通信方式进行了探索。前者为数字控制中的死区实现提供了多种方案。后者利用 DSP 的 SCI 口初步实现了和 CPLD 的虚拟异步串行通信。为降低功率回路对微控制器的电磁干扰提供了新的途径。

## 以后的工作:

1、本文仅将数字 PI 控制方法用在了多电平变流器中,有更多种新型控制策略,如无差拍控制与 SVM 相结合(DBC+SVM)、滞环控制和 SVM 相结合(HCC+SVM)、载波相移和单周控制相结合(CPS+OCC)、滑模变结构控制(SMC)等引入到数字控制中能够大大改善变流器的性能,而这方面有待进一步研究;

2、本文完成了 DSP+CPLD 硬件系统的研究,而实现数字控制的方案有多种,还可以用多处理器协调处理来控制,例如双 DSP+双口 RAM 通信构成数字控制系统等等,这方面也有待尝试;

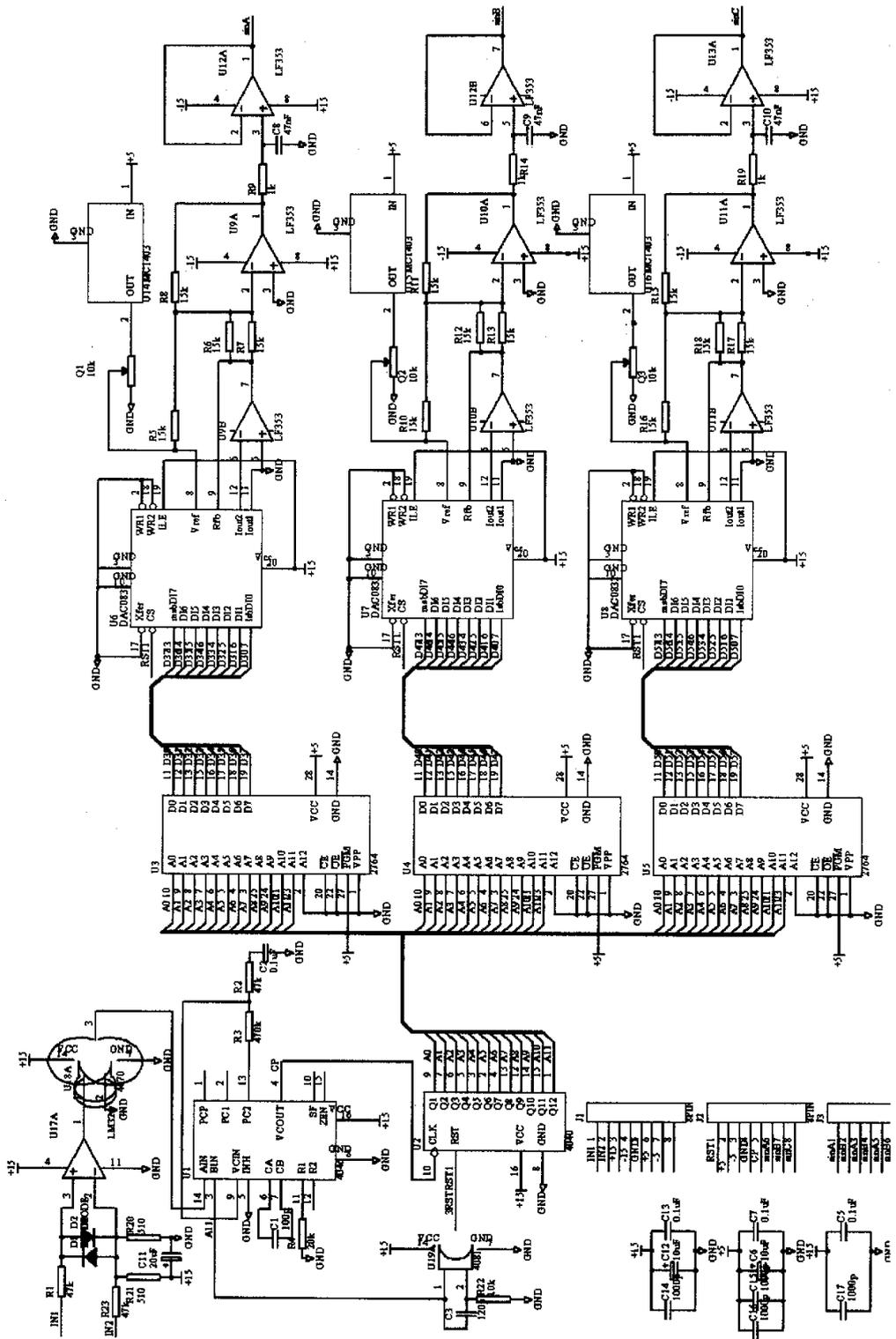
3、本文只对三电平死区效应进行数字补偿,对于三电平以上的多电平变流器死区效应数字补偿方法有待研究;

4、三相五电平闭环控制系统中的三相电流解耦、三相分相控制、三相不平衡负载的控制方法也有待研究;

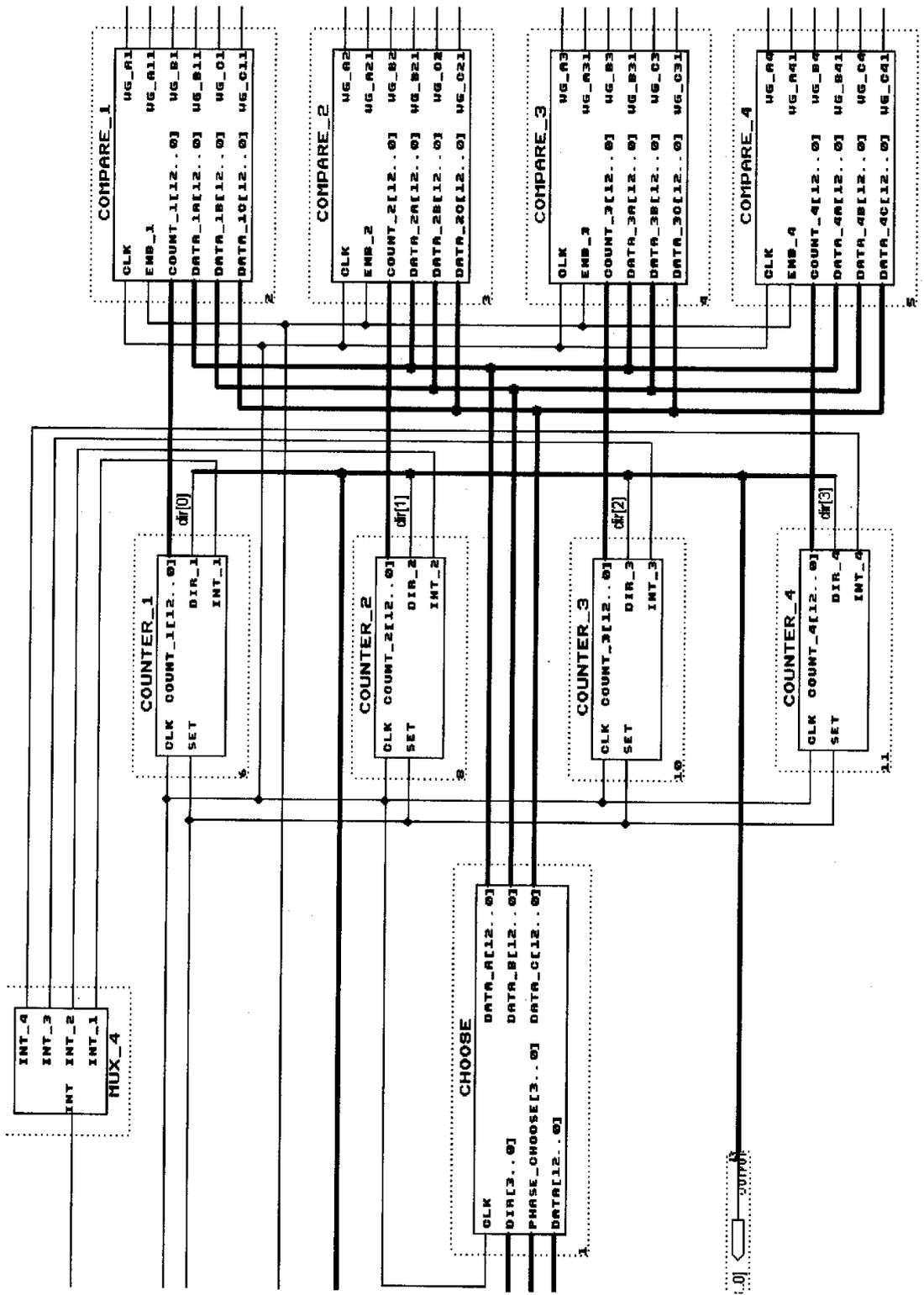
5、改进级联型拓扑能够大幅度提高电平数,但对其进行控制还有待深入研究;

6、如何改善大功率变流器的功率回路对微控制器的电磁干扰方面也有待研究。

### 附件 1：三相正弦波发生电路：



附件 2：编译好的三相五电平脉冲发生器顶层单元图：



**参考文献:**

- [1] 王长永 组合变流器相移 SPWM 技术及其在有源电力滤波器中的应用研究 浙江大学 博士学位论文 2000.12
- [2] G. Carrara, S. Gardella, M. Marchesoni. A new multi-level PWM method: a theoretical analysis. *IEEE Trans on PE*, Vol.7, No.3, pp.497~505, 1992.
- [3] R.W.Menzies, P.Steimer, J.K.Steinke. Five-level GTO inverter for large induction motor drives. *IEEE Trans. IA*, Vol.30, No.4, pp.938~944, 1994.
- [4] M. F. Escalante, et al. Direct approach for balancing the capacitor voltages of a 5-level flying capacitor converter. *EPE'99*
- [5] C. Hochgraf, et.al. Comparison of multilevel inverters for static var compensation. *Proceedings of IEEE IAS94*, pp. 921-928, 1994
- [6] Jih-sheng Lai, Fang Zheng Peng. Multilevel converter—A new breed of power converters. *IEEE Trans. IA*, Vol.32, No.3, pp.509~517, 1996
- [7] Fang Zheng Peng, Jih-sheng Lai, John W McKeever. A multilevel voltage source inverter with separate DC source for static var generation. *IEEE Trans. IA*, Vol.32, No.5, pp.1130~1137, 1996.
- [8] F.Z. Peng, J.W. McKeever, D. J. Adams. A power line conditioner using cascade multilevel inverters for distribution systems. *IEEE Trans on IA*, Vol.34, No.6, pp.1293~1298, 1998.
- [9] M. D. Manjrekar and T. A. Lipo. A hybrid multilevel inverter topology for drive applications, in *Proc. IEEE Appl. Power Electron. Conf.*, Anaheim, CA, pp. 523~529, Feb. 1998.
- [10] 丁凯等 级联多电平逆变器研究 电力电子技术 Vol.36 No.2 pp.26-28, 2002
- [11] 费万民等 中高压变频调速技术综述 电力电子技术, Vol.36 No.2 pp.74-78, 2002
- [12] R. Teodorescu, F. Blaabjerg, J. K. Pedersen, et. al. Multilevel converters—a survey. *EPE'99*
- [13] H. S. Patel, et. al. Generalized Technique of Harmonic Elimination and Voltage Control in Thyristor Inverter: Part I – Harmonic Elimination. *IEEE Trans on IA*, Vol.9, No.3, pp.310-317, 1993
- [14] Pradeep M.Bhagwat, V.R.Stefanovic. Generalized structure of multilevel PWM inverter. *IEEE Trans. IA*, Vol.19, No.6, pp.1057~1069,1993.
- [15] Kouki Matsuse, Katsuhiko Sugita, Takashi Ishida. DC voltage control strategy for a five-level converter. *APEC'1999*.
- [16] B.P. McGrath, D.G. Holmes. A comparison of multi-carrier PWM strategies for cascaded and neutral point clamped multilevel inverters. *APEC'99*
- [17] J. H. Suh, C. H. Choi, D. S. Hyun. A new simplified space-vector PWM method for three-level inverters. *APEC'99*
- [18] K. Oguchi, T. Karaki, N. Hoshi. Space vectors of output voltage of reactor coupled three-phase multilevel voltage-source inverters. *EPE'99*
- [19] N. Celanovic, D. Boroyevich. A fast space vector modulation algorithm for multilevel three-phase

- converters. APEC'99
- [20] P.F. Seixas, M. A. Severo, et.al. A space vector PWM Method for three-level voltage source inverters. APEC'2000
- [21] Zhang Zhongchao, Boon-Teck Ooi. Multi-modular current source SPWM converter for SMES, IEEE Trans. Power Electron., Vol.8, No.3, pp.250 – 256, 1993.
- [22] Zhang zhongchao, Boon-Teck Ooi. Forced commutated HVDC and SVC based on phase-shifted multi-converters. IEEE Trans. Power Delivery, Vol.8, NO.2, pp.712 – 718, 1993.
- [23] Li Li, et al. Multilevel selective harmonic elimination PWM technique in series- connected voltage inverters. IAS98, pp.1451~1462, 1998
- [24] 李建林, 王立乔等 一种新型的组变流器错时采样空间矢量调制技术分析 中国电机工程学报 2004, 24(1):142~146
- [25] 王立乔 基于载波相移 PWM 技术的级联型变流器及其在有源电力滤波器中的应用 博士后研究报告 浙江大学 2005
- [26] A.Tilli, A.Tonielli. Sequential Design of Hysteresis Current Controller for Three-Phase Inverter, IEEE Trans. IE, Vol.45, No.5, pp771~781, 1998.
- [27] K.M.Smedley, S.Cuk. One-Cycle Control of Switching Converters. IEEE Trans. PE, Vol.10, No.6, pp625~633, 1995.
- [28] 徐爱华 单片机应用技术教程, 机械工业出版社, 1999
- [29] 何立民 单片机高级教程应用与设计, 北京航空航天大学出版社, 2000
- [30] 李华等 MCS-51 系列单片机实用接口技术, 北京航空航天大学出版社, 2001
- [31] 宁改娣 DSP 控制器原理与应用, 科学出版社, 2001
- [32] 朱铭皓 DSP 应用系统设计, 电子工业出版社, 2002
- [33] 韩安太等 DSP 控制器原理及其在运动控制系统中的应用 清华大学出版社 2003
- [34] 郭兵 电子设计自动化(EDA)技术及应用, 机械工业出版社, 2002
- [35] 沈春林 数字控制系统—原理、硬件与软件, 航空工业出版社, 2001
- [36] 赵曙光、郭万有、杨颂华 可编程逻辑器件原理、开发与应用, 西电出版社, 2000
- [37] 任晓东 CPLD/FPGA 高级应用开发指南, 电子工业出版社, 2001
- [38] Altera 公司, “Designing with MAX+PLUS II”, 1997
- [39] Altera 公司, “AHDL Training Class”, 1999
- [40] 张仲超、张劲东 特大功率组合变流器的相移 SPWM 技术. 电工技术学报, 第 2 期, pp27~31, 1997.
- [41] 李建林 载波相移级联 H 桥型多电平变流器及其在有源电力滤波器中的应用研究 浙江大学博士学位论文 2005 年 4 月
- [42] 张仲超、何卫东、方强、林渭勋 移相式 SPWM 技术——一种新概念 浙江大学学报(工 学版) 1999, 33(4): 343~348.
- [43] M. Calais, V.G. Agelidis, L. J. Borle, A transformerless five level cascade inverter based single phase

- PWM Rectifier[A] IEE Proceeding Electric Power Application[C]. 1999 146(2): 225-230
- [61] 李玉梅、马伟明 无差拍控制在串联电力有源滤波器中的应用[J]. 电力系统自动化.2001.25(8):28-30
- [62] 陶永华 新型 PID 控制及其应用 机械工业出版社 2002
- [63] Moreno, V.M.; Lopez, A.P.; Garcias, R.I.D.; Reference current estimation under distorted line voltage for control of shunt active power filters Power Electronics, IEEE Transactions on , Volume:19 , No .4 , July 2004,pp:988 – 994
- [64] Tey, L.H.; So, P.L.; DSP-controlled active filters for system harmonics compensation Power System Technology, 2002. Proceedings. PowerCon 2002. International Conference on Volume 1, 13-17 Oct. 2002 Page(s):453 - 458 vol.1
- [65] Matsuo, H.; Kurokawa, F; Oshikata, T.; Yamawaki, Y.; Analysis of dynamic characteristics for the partially resonant active filter with the DSP Telecommunications Energy Conference, 2001. INTELEC 2001. Twenty-Third International 14-18 Oct. 2001 Page(s):81 – 88
- [66] 王兆安 谐波抑制和无功功率补偿 机械工业出版社 2002
- [67] 张波 三相电路的广义瞬时无功功率理论[J] . 电力系统及其自动化学报, 1998, Vol. 10 No.4: 55-59.
- [68] 周永鹏等 数字化 UPS 中的死区效应与补偿方法[J] 电力电子技术 2002 年 6 期 Vol.36, NO.3-7
- [69] 陈锐、项根、王志华 级联型高压变频器死区效应分析[J] 电力自动化设备 2003 年 8 月 Vol.23 NO.8 33-35
- [70] 刘亮等 PWM 逆变器死区效应的系统补偿方案[J] 变频技术 2003 年 8 期
- [71] Bonifacio, G; Lo Schiavo, A.; Marino, P.; Testa, A.; A new DSP controlled shunt active filter for nonideal supply conditions Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual Volume 1, 18-23 June 2000 Page(s):476 - 481 vol.1
- [72] 赵春水、许镇琳 基于 TMS320F240 的死区效应补偿技术[J] 电力电子技术 2004 年 4 月 Vol.38 NO.2 78-79
- [73] Agarwala, S.; Fuoco, C.; Anderson, T.; Comisky, D.; Mobley, C.; A multi-level memory system architecture for high performance DSP applications Computer Design, 2000. Proceedings. 2000 International Conference on 17-20 Sept. 2000 Page(s):408 – 413
- [74] Cong, J.; Romesis, M. Performance-driven multi-level clustering with application to hierarchical FPGA mapping Design Automation Conference, 2001. Proceedings 2001 Page(s):389 – 394
- [75] TMS320C24x DSP 控制器参考手册 第一卷: CPU、系统和指令集 P&S 武汉力源电子股份有限公司 1998
- [76] 杨晖、张凤言 “大规模可编程逻辑器件与数字系统设计”, 北京航空航天大学出版社, 1998
- [77] 赵曙光、郭万有、杨颂华 可编程逻辑器件原理、开发与应用, 西安电子科技大学出版社 2000

- [78] 褚振勇、翁木云 FPGA 设计及应用, 西安电子科技大学出版社, 2002
- [79] 郑颖楠、王炎、邬伟扬 单位功率因数可逆变流器数学模型 《电力电子技术暨电力谐波问题研讨会论文集》 pp181~187, 2000
- [80] 毛鸿 三相电压型 PWM 整流器及其控制策略的研究 浙江大学博士学位论文, 2000 年 6 月.
- [81] Navid R. Zargari, Geza Joos, Phoivos D. Ziogas. A Performance Comparison of PWM Rectifiers and Synchronous Link Converters. IEEE Trans. Ind. Electron. Vol.41, No.5, pp560~562, 1994.
- [82] 林渭勋 现代电力电子线路, 浙江大学出版社, 2002.
- [83] L. Benchaita, S. Saadate, A. Salemnia. A Comparison of Voltage Source and Current Source Shunt Active Filter by Simulation and Experimentation. IEEE Trans. Power System, Vol.14, No.2, pp642~647, 1999.
- [84] Juan W. Dixon, Boon-Teck Ooi. Indirect Current Control of a Unity Power Factor Sinusoidal Current Boost Type Three-phase Rectifier, IEEE Trans. Ind. Electron., Vol.35, No.4, pp508~515, 1988.
- [85] Juan W. Dixon, Boon-Teck Ooi. Dynamically Stabilized Indirect Current Control SPWM Boost Type 3-phase Rectifier. IEEE IAS, pp700~704, 1998.
- [86] TI 公司 “TMS320C24X DSP Controllers— Reference Set (Volume 1,2)” 1997
- [87] TMS320C24x DSP 控制器参考手册 第一卷: CPU、系统和指令集 P&S 武汉力源电子股份有限公司 1998
- [88] 王立乔 错时采样空间矢量调制技术的研究 浙江大学博士学位论文 2002 年 12 月
- [89] AD 公司, “Three-Phase Sine-Wave Generation using the PWM Unit of the ADMCF32X”, Jan.2000
- [90] TMS320C24x DSP 控制器参考手册 第二卷: 外设模块 P&S 武汉力源电子股份有限公司 1998
- [91] Jaejin Kim; Sangzoon Byun; Hiseok Kim; Development of technology mapping algorithm for CPLD under time constraint VLSI and CAD, 1999. ICVC '99. 6th International Conference on 26-27 Oct. 1999 Page(s):411 - 414
- [92] 叶剑利 CPLD 在电力电子变换技术中的应用, 浙江大学硕士学位论文 2004 年 3 月
- [93] Shehata, S.; Haroun, B.; Al-Khalili, A.J.; Performance optimization and system clock determination for synthesis of DSP cores targeting FPGAs ASIC Conference and Exhibit, 1996. Proceedings., Ninth Annual IEEE International 23-27 Sept. 1996 Page(s):151 - 154
- [94] Shehata, S.; Haroun, B.; Al-Khalili, A.; A methodology for high level synthesis of high performance DSP structures targetting FPGAs ASIC, 1996. 2nd International Conference on 21-24 Oct. 1996 Page(s):89 - 92
- [95] 褚振勇、翁木云 FPGA 设计及应用 西安电子科技大学出版社, 2002
- [96] Ning Song; Perkowski, M.; Minimization of exclusive sums of multi-valued complex terms for logic cell arrays Multiple-Valued Logic, 1998. Proceedings. 1998 28th IEEE International Symposium on 27-29 May 1998 Page(s):32 - 37
- [97] 赵曙光、郭万有、杨颂华 可编程逻辑器件原理、开发与应用 西安电子科技大学出版社 2000

## 附：攻读硕士学位期间发表的论文

- 【1】 李淳 张仲超, 基于 TMS320LF2407 的五电平 PWM 脉冲发生器, 高电压技术, 2005 年 11 期, 第 31 卷, P39~41
- 【2】 李淳 李建林 张仲超, 谐波及无功电流检测方法对比分析, 电源技术应用, 2004 年第 8 期, 第 7 卷, P464~468
- 【3】 李淳 张仲超, 基于 TMS320LF2407DSP 的非对称采样五电平脉冲实现, 电力电子技术, 2005 年第 5 期, 第 39 卷, P31~32
- 【4】 李淳 张仲超, CPS-SPWM 调制方法在 H 桥多电平换流器中的应用, 电源技术应用, 2005 年第 5 期, 第 8 卷, P20~22
- 【5】 李淳 张仲超, 三相变流器升降压工作特性分析, 电源技术应用, 2005 年第 7 期, 第 8 卷, P24~27
- 【6】 李淳 张仲超, 多电平变流器调制策略分析及对比, 电源技术应用, 2005 年第 10 期, 第 8 卷, P56~59
- 【7】 楼珍丽 李淳 张仲超, 有源电力滤波器的新型拓扑结构和控制策略, 高电压技术, 2005 年第 2 期, 第 31 卷, P21~23
- 【8】 李建林 李玉玲 李淳 张仲超, 基于反向传播神经网络的 SVM 技术在电压型变流器中的应用研究, 中国电机工程学报, 2005 年第 6 期, 第 25 卷, P71~74
- 【9】 李淳 李建林 李彩霞 张仲超, CPS-SPWM 调制下的单相多电平脉冲 DSP+CPLD 实现, 高电压技术, 录用
- 【10】 李淳 张仲超, 级联 H 桥逆变器的单片 TMS320LF2407DSP 实现新方法, 电工技术杂志, 录用
- 【11】 李淳 张仲超, 基于载波相移调制的任意波形功率放大器, 电源技术应用, 录用

## 附：攻读硕士学位期间发表的论文

- 【1】 李淳 张仲超, 基于 TMS320LF2407 的五电平 PWM 脉冲发生器, 高电压技术, 2005 年 11 期, 第 31 卷, P39~41
- 【2】 李淳 李建林 张仲超, 谐波及无功电流检测方法对比分析, 电源技术应用, 2004 年第 8 期, 第 7 卷, P464~468
- 【3】 李淳 张仲超, 基于 TMS320LF2407DSP 的非对称采样五电平脉冲实现, 电力电子技术, 2005 年第 5 期, 第 39 卷, P31~32
- 【4】 李淳 张仲超, CPS-SPWM 调制方法在 H 桥多电平换流器中的应用, 电源技术应用, 2005 年第 5 期, 第 8 卷, P20~22
- 【5】 李淳 张仲超, 三相变频器升降压工作特性分析, 电源技术应用, 2005 年第 7 期, 第 8 卷, P24~27
- 【6】 李淳 张仲超, 多电平变频器调制策略分析及对比, 电源技术应用, 2005 年第 10 期, 第 8 卷, P56~59
- 【7】 楼珍丽 李淳 张仲超, 有源电力滤波器的新型拓扑结构和控制策略, 高电压技术, 2005 年第 2 期, 第 31 卷, P21~23
- 【8】 李建林 李玉玲 李淳 张仲超, 基于反向传播神经网络的 SVM 技术在电压型变频器中的应用研究, 中国电机工程学报, 2005 年第 6 期, 第 25 卷, P71~74
- 【9】 李淳 李建林 李彩霞 张仲超, CPS-SPWM 调制下的单相多电平脉冲 DSP+CPLD 实现, 高电压技术, 录用
- 【10】 李淳 张仲超, 级联 H 桥逆变器的单片 TMS320LF2407DSP 实现新方法, 电工技术杂志, 录用
- 【11】 李淳 张仲超, 基于载波相移调制的任意波形功率放大器, 电源技术应用, 录用