第一章 计算机系统结构概论

一.选择

1. 同时性指两个或多个事件在（ ）发生。

A 同一时间间隔　　B 同一时刻　　C 不同时刻　　D 不同时间间隔

2. 并发性指两个或多个事件在（ ）发生。

A 同一时间间隔　　B 同一时刻　　C 不同时刻　　D 不同时间间隔

3. 开发并行性的途径有（ ），资源重复和资源共享。

A 多计算机系统　　B 多道分时　　C 分布式处理系统　　D 时间重叠

4. 开发并行性的途径有时间重叠，（ ）和资源共享。

A 重叠流水　　B 共享主存　　C 资源重复　　D 软件共享

5. 开发并行性的途径有时间重叠，资源重复和（ ）。

A 指令流水线　　B 资源共享　　C 双工系统　　D 机群系统

6. 计算机系统的层次结构按照有高到低的顺序分别为（ ）。

A 高级语言机器级，汇编语言机器级，传统机器语言机器级，微程序机器级

B 高级语言机器级，应用语言机器级，汇编语言机器级，微程序机器级

C 应用语言机器级，传统机器语言机器级，汇编语言机器级，操作系统机器级

D 应用语言机器级，操作系统机器级，微程序机器级，传统机器语言机器级

7. 自定义数据表示包括（）和标识符数据表示。

A 数据描述符　　B 向量数组数据表示　　C 标识符数据表示　　D 堆栈数据表示

8. 对于计算机系统结构，下列哪些是透明的?

a）数据表示　b）指令系统　　c）寄存器组织　　d）存储器的模的交叉存取

解答:

1.
2.
3.
4.
5.
6.
7.
8.

二.填空

1. 并行性开发途径有时间重叠、资源重复、资源共享等。

2. 软件移植的几个基本技术：统一高级语言、系列机思想、模拟与仿真。

3. 自定义数据表示中有标识符数据表示、数据描述等。

4. 扩展操作码编码仍利用哈夫曼压缩思想，一般其平均码长要比全 Haffman 编码的平均码长大。

5. 让地址码和可变长操作码配合，长操作吗配低概率，能显著减少存储空间的浪费。

6. 信息冗余的公式为_____,其中 H 为_____。

7. 使用频度分静态使用频度和动态使用频度。

8. 按静态使用频度改进指令系统着眼与目标程序所占存储空间的减少

9. 按动态使用频度改进指令系统着眼于目标程序执行时间的减少

解答:

1.
2.
3.
4.
5.
6.
7.
8.
9.

三.判断

1. 层次结构由高到低分别为应用语言机器级、高级语言机器级、汇编语言机器级、传统机

器语言机器级和微程序机器级。（　　）

2. 从计算机系统的层次结构定义，系统结构是对计算机系统中各级界面的划分、定义及其上下的功能分配。（　　）

3. 计算机组成指的是计算机系统结构的逻辑实现，包括机器级内部的的的组成数据流和控制流的组成以及逻辑设计等。（　　）

4. 计算机实现指的是计算机组成的物理实现，包括处理机、主存等部件的物理结构，器件的集成度和速度，器件、模块、插件、底板的划分与连接，专用器件的设计，微组装技术，信号传输，电源、冷却及整机装配技术等。　　（　　）

5. 计算机系统结构、组成、实现三者互不相同，也不相互影响。（　　）

6. 模拟是实现软件移植的基本技术，而仿真并不是。（　　）

7. SIMD 是典型应用技术就是多处理机。（　　）

8. SIMD 的典型应用就是陈列处理机。（　　）

解答:
1. 对

2. 对

3. 对

4. 对

5. 错

6. 错

7. 错

8. 对

四.简答题
1. 简要说明翻译和解释的区别和联系。

2. 简述采用模拟与仿真方法、适用场合、好处、存在问题和应采取的策略。

3. 简单说明多计算机系统和多处理机系统的区别。

4. 硬件和软件在什么意义上是等效的?在什么意义上又是不等效的?试举例说明。

5. 想在系列机中发展一种新型号机器，你认为下列哪些设想是可以考虑的?哪些则是不行的?为什么?

(1)新增加字符数据类型和若干条字符处理指令，以支持事务处理程序的编译。

(2)为增强中断处理功能，将中断分级由原来的 4 级增加到 5 级，并重新调整中断响应的优先次序。

(3)在 CPU 和主存之间增设 Cache 存贮器，以克服因主存访问速率过低而造成的系统性能瓶颈。

(4) 将 CPU 与主存之间的数据通路宽度由 16 位扩展成 32 位，以加快主机内部信息的传送。

(5)为增加寻址灵活性和减少平均指令字长，将原来全部采用等长操作码的指令改成有 3 类不同码长的扩展操作码；将源操作数寻址方式由原来的操作码指明改成增加一个如 VAX—11 那样的寻址方式位字段来指明。

解答:

1.

2.

3.

4.

5.

五.应用题

1. 由 4 位数（其中最低位为下溢处理的附加位）经 ROM 查表舍入法，下溢处理成 3 位结果，设计使下溢处理平均误差接近于 0 的 ROM 表，列出 ROM 编码表的地址与内容的对应关系。

2. 若某机器要求有：三地址指令 4 条，单地址指令 255 条，零地址指令 16 条。假设指令字长为 12 位，每个地址码长位 3 位，能否以扩展操作码为其编码？如果其中单地址指令为 254 条呢？说明其理由。

3. 用于文字处理的某专用机，每个文字符用 4 位十进制数字（0~9）编码表示，空格则用␣表示，在对传送的文件符号和空格进行统计后，得出数字和空格的出现频度分别为

␣：20%　0：17%　1：6% 2：8%　3：11%　4：8% 5：5%　6：8%　7：13% 8：3%　9：1% 若上述数字和空格均用二进制编码，试设计二进制信息位平均长度最短的编码。

4. 文电由 A~J 及空格字符组成，其字符出现频度依次为 0.17，0.05，0.20，0.06，0.08，0.03，0.01，0.08，0.13，0.08，0.11。各字符用等长二进码编码，传送 103 个字符时，共需传送多少个二进制码码位？

5. 经统计，某机器 14 条指令的使用频度分别为：0.01，0.15，0.12，0.03，0.02，0.04，0.02，0.04，0.01，0.13，0.15，0.14，0.11，0.03。分别求出用等长码、哈夫曼码、只有两种码长的扩展操作码等 3 种编码方式的操作码平均码长。

6. 设某机器阶值 6 位、尾数 48 位，阶符和数符不在其内，当尾数分别以 2、8、16 为基时，在
非负阶、正尾数、规格化情况下，求出其最小阶、最大阶、阶的个数、最小尾数值、最大尾数值、可表示的最小值和最大值及可表示数的个数。

7. 浮点数系统使用的阶基 rp=2，阶值位数 p=2，尾数基值 rm=10，以 rm 为基的尾数尾数 m’=1
，试计算在非负阶、正尾数、规格化情况下的最小尾数值、最大尾数值、可表示的最小值和最大值及可表示数的个数。

8. 指令中常用下列寻址方式来得到操作数：立即操作数、间接寻址、直接寻址、
寄存器寻址、自相对寻址。请分别说明这些寻址方法的原理，并对它们在如下 4 个方面
进行
比较：可表示操作数的范围大小；除取指外，为获得操作数所需访问主存的最少次数；为指
明该操作数所占用指令中的信息位数的多少；寻址复杂性程度。

解答:
1.
2.
3.
4.
5.
6.
7.
8.

第二章 数据表示、寻址方式与指令系统

一.选择
1. 在机器字长相同时，浮点数比定点数表示数的范围（）。

A 大　　B 小　　C　一样　　D　不定

2. 机器内浮点数都包含阶码和尾数两部分，其中阶码的位数主要影响（）。

A 能表示数的精度

B 能表示数的范围

C 能表示数的范围和精度

D 能表示数在数轴上分布的离散程度

3. 机器内浮点数都包含阶码和尾数两部分，其中尾数的位数主要影响（）。

A 能表示数的精度

B 能表示数的范围

C 能表示数的范围和精度

D 能表示数在数轴上分布的离散程度

4. 机器内浮点数都包含阶码和尾数两部分，当阶码的位数一定时，尾数采用什么进制也会影响到数的（）。

A 能表示数的精度

B 能表示数的范围

C 能表示数在数轴上分布的离散程度

D A 和 B 和 C

5. 按使用频度思想改进指令系统，对高品指令应（）功能，（）字长。

A 加强 ，增加

B 加强，缩短

C 减弱，缩短

D 减弱，增加

6. 指令系统的改进是以（）为前提的，通过增加少量新指令代替指令串，可保证软件（）

。

A 删除原有指令，向后兼容

B 删除原有指令，向前兼容

C 不删除原有指令，向后兼容

D 不删除原有指令，向前兼容

7. 造成代码生成效率不高的主要原因是（）。

A 高级语言种类多

B 高级语言与机器语言语义差距大

C 指令系统不灵活

D A 和 B

8. 全 Huffman 编码结果（）。

A 不唯一　　B 唯一　　C 不定　　D　A 和 B

解答:

1.
2.
3.
4.
5.
6.
7.
8.

二.填空

1. cisc 是指_____

2. RISC 是指_____

3. 在机器字长相同时，浮点数必定点数表示舒畅的范围_____(大、小)。

4. 浮点数尾数下溢处理方法有_____、阶段法、查表法、恒置法。

5. 在非负数、正尾数、规格化的条件下，机器数中阶码占 p 位，尾数占 r_m 进制的 m'位，则可表示的最小尾数为_____.

6. 在非负阶、正尾数、规格化的条件下，机器数中阶码占 p 位，尾数占 r_m 进制的 m'位，则可表示的最大尾数为_____。

7. 设某机阶码 6 位、尾数 48 位。阶符和数符不在其内，当尾数以 2

为基时，在非负阶、正尾数、规格化数情况下， 其阶的个数为（ ）。

8. 设某机阶码 6 位、尾数 48 位。阶符和数符不在其内，当尾数以 8 为基时，在非负阶、正尾数、规格化数情况下， 其可表示的规格化数的总个数为（ ）。

解答:

1.

2.

3.

4.

5.

6.

7.

8.

三.判断

1. MIMD 典型应用就是多处理机。( )

2. 逻辑地址是程序在主存中的实际地址。（ ）

3. 面向高级语言优化实现改进就是尽可能缩短高级语言和机器语言的语义差距，支持高级语言编译，缩短编译程序长度和编译时间。（ ）

4. Huffman 编码是唯一的。（ ）

5. 操作码的信息源熵（信息源所含平均信息量）

$$H=\sum_{i=1}^{n} p_i \log_2 p_i$$ 。（ ）

6. 查表舍入法其方法是在机器运算的规定字长之外增设一位附加位，存放溢出部分的最高位，每当进行尾数下溢处理时，将附加位加 1（二进制整数相当于加 0.5，二进制小数相当于
加 2-（m+1）)。（　　）

7. 主存物理地址是程序在主存中的实际地址。（　　）

8. 在描述符数据表示中，数据描述符是与每个数据相连的，并且合存在同一个存贮单元中，用于描述单个数据的类型等属性；

解答:
1. 对

2. 错

3. 对

4. 错

5. 对

6. 错

7. 对

8.
四.简答题
1. 15/15/15 法是如何扩展操作码的？

2. 试比较四种浮点数尾数的下溢处理方法。

3. 某机器指令字长 16 位，设有单地址指令和双地址指令两类。若每个地址字段为 6 位，且双
地址指令有 x 条。问单地址指令最多可以有多少条？

4. 简述三种面积的寻址方式的关系。

5. 堆栈型机器与通用寄存器型机器的主要区别是什么？

解答:
1.
2.
3.
4.

5.

五.应用题

1. 浮点数系统使用的阶基 rp=2，阶值位数 p=2，尾数基值 rm=4，以 rm 为基的尾数尾数 m’=2

，试计算在非负阶、正尾数、规格化情况下的最小尾数值、最大尾数值、可表示的最小值和最大值及可表示数的个数。

2. 某处理机的指令字长为 16 位，有双地址指令、单地址指令和零地址指令三类，并假设每个地址字段的长度均为 6 位。如果双地址指令有 15 条，单地址指令和零地址指令的条数基本相

同，问单地址指令和零地址指令各有多少条？并且为这三类指令分配操作码。

3. 某处理机的指令字长为 16 位，有双地址指令、单地址指令和零地址指令三类，并假设每个地址字段的长度均为 6 位。如果要求三类指令的比例大致为 1:9:9，问双地址指令、单地址

指令和零地址指令各有多少条？并且为这三类指令分配操作码。

4. 文电由 A~J 及空格字符组成，其字符出现频度依次为 0.17，0.05，0.20，0.06，0.08，0.03，0.01，0.08，0.13，0.08，0.11。构造哈夫曼树，写出各字符的二进制码码位数，计算字符的二进制位平均码长。

5. 文电由 A~J 及空格字符组成，其字符出现频度依次为 0.17，0.05，0.20，0.06，0.08，0.03，0.01，0.08，0.13，0.08，0.11。用哈夫曼码传送 103 个字符，比定长码传送可减少传送的二进制码码位数是多少？

6. 用于文字处理的某专用机，每个文字符用 4 位十进制数字（0~9）编码表示，空格则用␣表示，在对传送的文件符号和空格进行统计后，得出数字和空格的出现频度分别为

␣：20% 0：17% 1：6% 2：8% 3：11% 4：8% 5：5% 6：8% 7：13% 8：3% 9：1% 若传送 106 个文字符号（每个文字符号后均跟一个空格），按最短的编码，共需传送多少

个二进制位？

7. 用于文字处理的某专用机，每个文字符用 4 位十进制数字（0~9）编码表示，空格则用␣表示，在对传送的文件符号和空格进行统计后，得出数字和空格的出现频度分别为

␣：20% 0：17% 1：6% 2：8% 3：11% 4：8% 5：5% 6：8% 7：13% 8：3% 9：1% 若十进制数字和空格均用 4 位二进制码表示，共需传送多少个二进制位？

8. 某模型机 9 条指令使用频度如下表所示。

指令	使用频率	指令	使用频率	指令	使用频率
ADD（加）	30%	SUB（减）	24%	JOM（按负转移）	6%
STO（存）	7%	JMP（转移）	7%	SHR（右移）	2%
CIL（循环左移）	3%	CLA（清加）	20%	STP（停机）	1%

要求有两种指令字长，都按双操作数指令格式编排，采用扩展操作码，并限制只能有
两种操作码码长。设该机有若干通用寄存器，主存为 16 位宽，按字节编址，采用按整数边界
存储，任何指令都在一个主存周期中取得，短指令为寄存器-寄存器型，长指令为寄存器-主存型，主存地址应能变址寻址。仅根据使用频度，不考虑其他要求，设计出全哈夫曼操作码，计算其平均码长。

解答:

1.
2.
3.
4.
5.
6.
7.
8.

第三章 存储、中断、总线与 I/O 系统

一.选择

1. 输入输出系统包括（）。

A I/O 设备　　B 设备控制器　　C 设备驱动程序　　D A 和 B 和 C

2. I/O 处理机方式分为（）和外围处理机方式。

A 中断方式　　B 通道方式　　C 程序查询方式　　D D M A 方式

3. 早起计算机的输入输出操作是由（）安排的。

A 程序员　　B 操作系统　　C 编译程序　　D 普通程序

4. 就允许信息传送的方向来说，总线分为（）和双向传输两种。

A 专用　　B 非专用　　C 单向传输　　D 半双向

5. N 个部件采用双向专用总线互联，所需总线数为（）。

A　　N（N－1）／3　　B　　N（N－1）
C　　N（N－1）／2　　D　　2 N

6. 专用总线是指（）。

A　　I / O总线　　B单总线　　C 只连接一对部件总线　　D　　主存和C P U总线

7. 在集中式串行链接方式中，所有部件都经（）向总线控制器发送请求使用总线的请求。

A总先忙　　B总线可用　　C总线请求　　D B 或 C

8. 在集中式定时查询方式中，若计数器置成某个初值 N，则使用总线优先级次序为（）。

A 循环优先级　　B 离总线控制器近优先级低　　C 0 部件优先级最高　　D 部件 N 优先级最高

9. 数据宽度是指（）。

A 一个时钟周期传送的信息量　　B 取得总线后传送数据总量　　C 数据的
最小存储宽度　　D 数据传送的最小宽度

10. 一般一个数据宽度需（）个数据通路宽度。

A1　　B2　　C 多个　　D3

11. 数据通路宽度是指（）。

A 一个时钟周期传送的信息量

B 取得总线后传送数据总量

C 数据的最小存储宽度

D 数据传送的最小宽度

12. 适合于高优先级的磁盘的数据宽度是（）。选择通道

A 单字　　B 定长块　　C 可变长块　　D 单子加定长块　　E 单子加可变长块

13. 中断处理次序可通过（）改变，使之与中断响应次序不同。

A　硬件　　B 软件　　C 排队器硬件　　D 中断级屏蔽位寄存器

14. 中断响应次序由（）实现。

A 硬件　B 软件　C 排队器硬件　D 中断级屏蔽位寄存器

15. 通道流量指（）。

A 数据宽度　B 一个时钟周期传送的数据量　C 数据通路宽度　D 单位时间传送
的数据量

解答:

1.
2.
3.
4.
5.
6.
7.
8.
9.
10.
11.
12.
13.
14.
15.

二.填空

1. 在字节多路通道下，通道极限流量 $f_{max\ byte}$=1/(Ts+Td)

2. 在数组多路通道下，通道极限流量 f_{max}=k/(Ts+KTd)

3. 在选择通道下，通道极限流量 f_{max}=N/(Ts+NTd)

4. 总线按用法课分为专用和非专用两类。

5. N 个部件采用双向专用总线把所有部件互联，所需总线数为N (N-1) / 2。

6. 总线控制方式分为集中式和分布式两类。

7. 字节多路通道适用于低速设备，其通道数据宽度为字节宽度。

8. 数组多路通道适用于高速设备，其通道数据宽度为定长块宽度。

9. I/O 程序控制方式有查询方式和中断方式。　还有DMA

10. 选择通道适合于高速设备，其通道数据宽度为不定长块。

11. 根据通道数据传输信息方式不同，通道可分为__字节多路通道__、选择通道、数组多路通
道。

12. 信息在总线上的传送方式基本上可分为同步和__异步__两种。

13. 异步通信又分为__单向控制__和双向控制两种。

14. 集中式总线控制方式中，可扩充性好、简单的为__串行链接__方式。

15. 集中式总线控制方式中，总线分配速度最快的是__独立请求__方式。

解答:

1.
2.
3.
4.
5.
6.
7.
8.
9.
10.
11.
12.
13.
14.
15.

三.判断

1. T_M 是连续启动一个存贮体所需要的间隔时间。（ ）

2. 单体单字存贮器，子长为 w 位，主存最大频宽 $B_m=W/T_M$ 。（ ）

3. 单体多字存贮器，其主存最大频宽为 $m \cdot w/T_M$。（ ）

4. 输入/输出中断是 cpu 与存贮器设备及通道联系的工具，在操作完成或 I/O 通道或设备产生 I/0
故障是发出。（ X ）

5. 中断系统的软、硬件功能分配实质是中断处理程序软件和中断响应硬件的功能分配。（ ）

非专用总线

6. 专用总线是同一时间只有一对部件可在使用总线进行通信。（ X ）

7. 集中式总线控制中又分为串行链接方式、空时查询和独立请求 3 种不同方式。（ ）

8. 串行链接方式的优点是总线分配速度快。（ X ）

独立请求：分配速度块；串行链接：扩充性好

9. 独立请求方式缺点是控制线数量过大，为控制 N 个设备必须有 2N+1 根控制线，且控制器要
复杂很多。（ ）

10. 信息在总线上的传送方法基本上可分为同步和异步两种。（ ）

11. 数据宽度就是数据通道宽度。（ X 数据宽度：所传送数据的总量
数据通道宽度：一个时钟周期传送的数据量

12. 输入/输出系统发展经历了三个阶段，响应对应与三种方式，即程序控制 I/O、直接存贮器访问及 I/O 处理及方式。（ ）

13. 通道流量是通道在数据传送期内，单位时间内传送的字节数。（ ）

14. 字节多路通道流量为 $f_{max\ byte}=K/(T_s+KT_D)$。（ X
）

按字节传送：1/(Ts+Td)

15. 选择通道适合于连接优先级高的磁盘等高速设备，数据传送以空长块方式进行。（ X ）

不定长块

解答:

1. 对

2. 对

3. 对

4. 错

5. 错

6. 错

7. 对

8. 错

9. 对

10. 对

11. 错

12. 对

13. 对

14. 错

15. 错

四.简答题

1. 简述专用和非专用总线各自的优缺点。

2. 简单比较几种类型的数据宽度。

3. 简述字节多路，数组多路和选择通道的数据传送方式。

4. 简述减少总线线数的几种方法。

5. 简要举出集中式串行链接，定时查询和独立请求 3 总线控制方式的优缺点。

6. 试比较异步通讯的两种方式。

7. 试比较异步通讯中双向控制的两种方式。

解答:

1.

2.

3.

4.

5.

6.

7.

五.应用题

课后题 1. 设中断级屏蔽位“1”对应于开放，“0”对应于屏蔽，各级中断处理程序的中断级屏蔽位设置表如下所示。

中断处理程序级别	中断级屏蔽位			
	第1级	第2级	第3级	第4级
第1级	0	0	0	0
第2级	1	0	1	1
第3级	1	0	0	0
第4级	1	0	1	0

（1）当中断响应优先次序为 1→2→3→4 时，其中断处理次序是什么？

1 3 4 2

（2）如果所有的中断处理都各需 3 个单位时间，中断响应和中断返回时间相对中断处理
时间少得多。当机器正在运行程序时，同时发生第 2、3 级中断请求，过两个单位时间后，又
同时发生第 1、4 级中断请求，试画出程序运行过程示意图。 PPT：56

课后题

2. 若机器共有 5 级中断，中断响应优先次序为 1→2→3→4→5，现要求其实际的中断处理次序为 1→4→5→2→3，回答下面问题：

	1	2	3	4	5
1	1	1	1	1	1
2	0	1	1	0	0
3	0	0	1	0	0
4	0	1	1	1	1
5	0	1	1	0	1

（1）设计各级中断处理程序的中断级屏蔽位（令“1”对应于屏蔽，“0”对应于开放）

（2）若在运行用户程序时，同时出现第 4、2 级中断请求，而在处理第 2 级中断未完成时
，又同时出现第 1、3、5 级中断请求，请画出此程序运行过程示意图。

例题

3. 如果通道在数据传送期间，选择设备需 9.8μs,传送一个字节数据需 0.2μs。某低速设备每隔 500μs 发出一个字节数据传送请求，问至多可接连几台这种低速设备？对于如下 A~F6 种
50
高速设备，一次通信传送的字节数不少于 1024 个字节，问哪些设备可以挂在此通道上？哪些
B C E F
则不能？其中 A~F 设备第发送一个字节数据传送请求的时间间隔如下表所示。

设备	发送申请间隔/μs	设备	发送申请间隔/μs
A	0.2	D	0.19
B	0.25	E	0.4
C	0.5	F	0.21

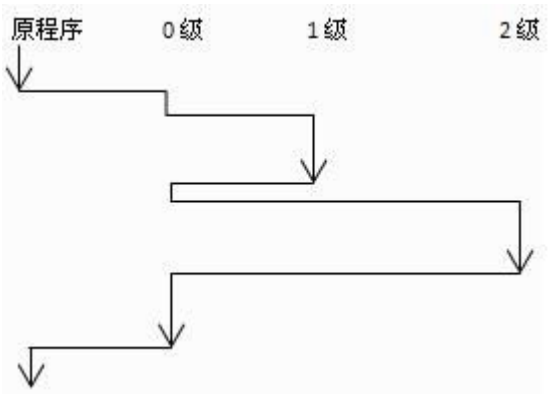
4. 如果通道在数据传送期间，选择设备需 9.8μs,传送一个字节数据需 0.2μs。某低速设备每隔 500μs 发出一个字节数据传送请求，问至多可接连几台这种低速设备？对于如下 A~F6 种
50
高速设备，一次通信传送的字节数不少于 1024 个字节，问哪些设备可以挂在此通道上？哪些
则不能？其中 A~F 设备第发送一个字节数据传送请求的时间间隔如下表所示。

设备	发送申请间隔/μs	设备	发送申请间隔/μs
A	0.3	D	0.34
B	0.2	E	0.24
C	0.4	F	0.6

5. 在一个 8 级中断的系统中，硬件中断响应从高到低的优先顺序是 1→2→3→4→5→6→7→8
，设置中断屏蔽寄存器后，中断响应的优先顺序变为 1→3→5→7→2→4→6→8，如果 CPU 在执
行一个应用程序时有 5，6，7，8 级的四个中断同时到达，CPU 在按优先顺处理到第 3 个中断请
求的过程中又有一个 3 级中断请求到达 CPU，试画出 CPU 响应这些中断的顺序示意图。

6.

某计算机 CPU 有 5 个中断源 D1、D2、D3、D4 和 D5，硬件的中断优先级从高到低分别是 1 级
、2 级、3 级、4 级和 5 级。软件设置的中断屏蔽字如下表所示。每个中断屏蔽字有 5 位中断屏蔽
代码，其中，“0”表示该中断开放，“1”表示该中断屏蔽源被屏蔽。



（1）当使用屏蔽字时，处理机响应各中断源的中断请求的先后次序是什么？实际上的
中断处理次序是什么？

（2）如果 D1、D2、D3、D4 和 D5 这 5 个中断源同时请求中断，画出处理机响应中断请求和
实际运行中断服务程序过程的示意图。

7. 某 32 位计算机有 2 条选择通道和 1 条字节多路通道。每条选择通道支持 2 个磁盘和 2 个磁带
设备，字节多路通道连接 2 个打印机、2 个读卡机和 10 台终端。假定以下各设备的数据传输速
率：

磁盘　　800KB/s；

磁带　　200KB/s；

打印机　　6.6KB/s；

读卡机　　1.2KB/s；

终端　　1KB/s；

2*6.6+2*1.2+10*1+800*2

问系统的输入/输出传输速率最大值为多少？

8. 某字节多路通道连接 100 台终端设备，每台终端设备的数据传输速率为 19.2kb/s。问该通道的传输速率至少为多少？　100*19.2

课后题 9. 某字节多路通道连接 6 台外设，其数据传送速率分别如下表。

设　备	传送速率/(KB/s)	设　备	传送速率/(KB/s)
1	50	4	25
2	15	5	40
3	100	6	20

所挂p台设备的速率之和

计算所有设备都工作时的通道实际最大流量。　F = 10+15+100+25+40+20

课后题 10. 某字节多路通道连接 6 台外设，其数据传送速率分别如下表。

设　备	传送速率/(KB/s)	设　备	传送速率/(KB/s)
1	50	4	25
2	15	5	40
3	100	6	20

如果设计的通道工作周期使通道极限流量恰好与通道实际最大流量相等，以满足流量

设计的基本要求，同时让速率越高的设备被响应的优先级越高。当 6 台设备同时发出请求开始
，画出此通道在数据传送期内响应和处理各外设请求的时间示意图。由此，能发现什么问题和得出什么结论？由表可解各设备连续发送两个字节的时间间隔分别为：KB=1024B,s=10^6μs ,设备1的时间间隔为10^6/(50*1024)≈20μs

1 2 3 4 5 6
20μs 67μs 10μs 40μs 25μs 50μs

高速设备的响应优先级高，使低速设备6和设备2造成数据丢失。

课后题 11. 某字节多路通道连接 6 台外设，其数据传送速率分别如下表。

设 备	传送速率/(KB/s)	设 备	传送速率/(KB/s)
1	50	4	25
2	15	5	40
3	100	6	20

在哪台设备内设置多少个字节的缓冲器就可以避免设备信息丢失？那么，这是否说明书中关于流量设计的基本要求是没有必要的？为什么？ 在设备6和2中各设两个字节的缓冲区即可。

这并不说明流量设计的基本条件是不必要的，因为若基本条件不满足，无论设备优先级如何确定总有设备的信息会丢失。

课后题 12. 有 8 台外设，各设备要求传送信息的工作速率分别如下表所示。

设 备	工作速率/(KB/s)	设 备	工作速率/(KB/s)
A	500	E	50
B	240	F	40
C	100	G	14
D	75	H	10

现设计的通道在数据传送期，每选择一次设备需 2μs，每传送一个字节数据也需要 2μs。

（1）若用作字节多路通道，通道工作的最高流量是多少？ 1/（（2+2）*10^(-6)））=250

（2）作字节多路通道用时，希望同时不少于 4 台设备挂在此通道上，最好多挂一些，
且高速设备尽量多挂一些，请问应选哪些设备挂丰此通道上？为什么？

13. 有 8 台外设，各设备要求传送信息的工作速率分别如下表所示。

设　备	工作速率/(KB/s)	设　备	工作速率/(KB/s)
A	500	E	50
B	240	F	40
C	100	G	14
D	75	H	10

现设计的通道在数据传送期，每选择一次设备需 2μs，每传送一个字节数据也需要 2μs。

（1）若用作字节多路通道，通道工作的最高流量是多少？

（2）若用作数组多路通道，通道工作的最高流量是多少？设定长块大小取成 512B。

14. 有 8 台外设，各设备要求传送信息的工作速率分别如下表所示。

设　备	工作速率/(KB/s)	设　备	工作速率/(KB/s)
A	500	E	50
B	240	F	40
C	100	G	14
D	75	H	10

现设计的通道在数据传送期，每选择一次设备需 2μs，每传送一个字节数据也需要 2μs。

（1）若用作字节多路通道，通道工作的最高流量是多少？

（2）作数组多路通道用时，应选哪些设备挂在此通道上？为什么？

课后题 15. 通道型 I/O 系统由一个字节多路通道 A（其中包括两个子通道 A1 和 A2）、两个数组多路通道 B1 和 B2 及一个选择 C 构成，各通道所接设备和设备的数据传送速率如下表所示。

通道号		所接设备的数据传送速率/(KB/s)							
字节多路通道	子通道A_1	50	35	20	20	50	35	20	20
	子通道A_2	50	35	20	20	50	35	20	20
数组多路通道B_1		500		400		350		250	
数组多路通道B_2		500		400		350		250	
选择通道C		500		400		350		250	

求和=250

求和，250

最大值，500

最大值

最大值

（1）分别求出各通道应具有多大流量才不丢失信息；

（2）设 I/O 系统流量占主存流量的 1/2 时才算流量平衡，则主存流量应达到多少？

I/0系统的极限流量应当是各通道或各子通道工作时的极限流量之和

解答:

1.

2.

3.

4.

5.

6.

7.

8.

9.

10.

11.

12.

13.

14.

15.

第四章 存储体系

一.选择

1. 虚地址又称（）地址，实地址又称（）地址。

A 程序，逻辑　　B 逻辑，物理　　C 虚拟，目标　　D 实存，虚存

2. Catche 和主存间的信息传送由（）实现。

A 软件　　B 硬件　　C 软件和硬件　　D 软件或硬件

3. Catche 存储器对（）透明。

A 系统程序员　　B 应用程序员　　C 编译程序　　D　A 和 B

4. 构成存储层次的主要依据是（）。

A 时间局部性　　B 空间局部性　　C A 或 B　　D A 和 B

5. M_1，M_2 构成的存储层次，命中率 H 指（）。

A　ＣＰＵ逻辑地址在M_1中访问到的次数

B　ＣＰＵ逻辑地址在M_1中访问到的次数与在M_2中访问到的次数之比

C　ＣＰＵ逻辑地址在M_2中访问到的次数与在M_1中访问到的次数之比

D　ＣＰＵ逻辑地址在M_1中访问到的次数与在M_1＋M₂中访问到的次数之比

6. 可用（）来评价存储层次的性能。

A 命中率　　B 等效访问时间　　C 每位价格　　D　A 和 B 和 C

7. 为使存储层次每位价格接近于M_2的每位价格，应使（）。

A　M_1存储容量远小于M_2存储容量

B　M_1存储容量远大于M_2存储容量

C　M_1存储容量接近于M_2存储容量

D　M_1存储容量与M_2存储容量关系随意

8. 我们希望存储层次的等效访问时间（）M_1的访问时间。

A　大于　　B　小于　　C 接近于　　D　等于

9. 要使访问效率 e 趋于 1，在相邻两级访问时间比 r 越大时，就要求命中率 H（）。

A 越低　　B 越高　　C　唯一衡量　　D 不定

10. 段是（）单位，由（）划分，它的长度（）。

A 逻辑，系统，定长　　B 逻辑，用户，不定长　　C 物理，用户，不定长　　D 物理
，系统，定长

11. 页是（）单位，由（）划分，它的长度（）。

A　逻辑，系统，定长　　B 逻辑，用户，不定长　　C 逻辑，用户，不定长　　D 物理，系统，定长

12. 主存是模 4 的交叉，每个分体 8 个字节宽，Cache 每块大小为（）。

A　4 字节　　B8 字节　　C 32 字节　　D 不确定

13. Catche 存储器中最常用的替换算法是（）。

A　FIFO　　B　L R U　　C　PFF　　D O P T

14. 在Ｃａｔｃｈｅ－主存映像的几种方式中，性能折中的是（）。

A　全相联　　B 直接映像　　C　组相联　　D 不一定

15. 在全相联，直接映像和组相联中，目录表最小的是（）。

A 全相联　　B 直接映像　　C 组相联　　D 不一样

解答:
1.
2.
3.
4.
5.
6.
7.
8.
9.
10.
11.
12.
13.
14.
15.

二.填空

1. 为了扩大主存容量引入了虚拟存储层次。

2. 为了提高主存速度引入了cache存储层次。

3. 信息在 cache 和主存之间传送全部由硬件实现，所以 cache 存贮器不但对应用程序
员透明，而且对系统程序员也透明。

4. 段式存贮管理指将主存按段分配的存储管理方式。

5. 页式存贮管理指将主存和程序空间都机械等分成固定大小的页。

6. 段页式存贮管理指把主存机械等分成固定大小的页，程序按模块分段，每个段又分成与主存页面大小相同的页

7. 虚地址指逻辑地址。

8. 实地址指物理地址。

9. 存储层次每位价格 $C=(C_1 \cdot S_{m1}+C_2 \cdot S_{m2})/(S_{m1}+S_{m2})$，其中 C_1 表示m1的每位价格。

10. 页面替换算法中的先进先出算法算法是选择最早装入主存的页进行替换

11. 页面失效指访问未装入主存的虚页。

12. cache 是为了弥补主存速度的不足，在 CPU 和主存之间设的一个高速缓
存。

13. 由于 cache--主存层次，在 CPU 看来速度是cache的速度，容量是主存的容量。

14. 访问时间 T_A 与存贮周期 T_M 的关系是 T_A（ > ）T_M

15. 页面替换算法中的近期最少使用算法是选择近期最少访问的页作为被替换页。

解答:
1.
2.
3.
4.
5.
6.
7.
8.

9.
10.
11.
12.
13.
14.
15.

三.判断

1. 在多级存贮体系结构中，希望存贮器速度是远离 CPU 的存贮器速度。(X)

2. 在多级存贮体系结构中，命中率 H 定义为 CPU 产生的逻辑地址能在 M 中访问到的概率。（）

3. 在虚拟存贮器中，多采用直接映像方式实现地址映像。(X)

全相联

4. 在 cache－主存层次结构中，地址映像方式多采用组相联映像方式。（）

5. 近期最少使用算法是选择近期最少访问的页作为被替换页。这种算法简单，易于实现，实际中多采用。(X)

6. 属于堆栈型替换算法有先进先出和近期最少使用算法。(X)

7. 堆栈型替换算法有随分配给该道程序的实页数 n 增加，命中率 H 会单调上升这一特点。（
）

8. 程序地址流、替换算法以及分配给程序的实页数不同都会影响命中率。（）

9. Cache－主存间地址映像和变换，以及替换调度算法全用专门的硬件实现。（）

10. 在虚拟存贮器中，处理机和辅存之间有直接的通道，因为辅存速度相对主存的差异很大。(X)

11. Cache 存贮器的等效访问速度与 Cache 本身的速度相差较大，说明 Cache 命中率较高。（X）

12. 为了减少处理机的空等时间，除了 Cache 到处理机的通道外，在主存和处理机之间还设有
直接的通道。（　　）

13. Cache 的块不可能太大，否则调块时 CPU 空等的时间太长。（　　）

14. 绝大多数 Cache 存贮器都采用 LRU 算法替换。（　　）

15. Cache 本身的速度与容量不会影响 Cache 存贮器的等效访问速度。（ X）

解答:
1. 错

2. 对

3. 错

4. 对

5. 错

6. 错

7. 对

8. 对

9. 对

10. 错

11. 错

12. 对

13. 对

14. 对

15. 错

四.简答题
解答:
五.应用题
1. 某虚拟存储器共 8 个页面，每页为 1024 个字，实际主存为 4096 个字，采用页表法进行地址
映像。映像表的内容如下表所示。

实页号	装入位
3	1
1	1
2	0
3	0
2	1
1	0
0	1
0	0

（1）列出会发生页面失效的全部页号；

（2）按以下虚地址计算主存实地址：0，3728，1023，1024，2055，7800，4096，6800。

2. 一个段页式虚拟存储器。虚地址有 2 位段号、2 位页号、11 位页内位移（按字编址），主存容量为 32K 字。每段可有访问方式保护，其页表和保护位如下表所示。

段号	段0	段1	段2	段3
访问方式	只读	可读/执行	可读/写/执行	可读/写
虚页0所在位置	实页9	在辅存上		实页14
虚页1所在位置	实页3	实页0		实页1
虚页2所在位置	在辅存上	实页15	[页表不在主存内]	实页6
虚页3所在位置	实页12	实页8		在辅存上

（1）此地址空间中共有多少个虚页？

（2）当程序遇到如下表所示的各种情况时，写出由虚地址计算出的实地址。说明哪个会
发生段失效、页失效或保护失效。

方式	段	页	页内位移
取数	0	1	1
取数	1	1	10
取数	3	3	2047
存数	0	1	4
存数	2	1	2
存数	1	0	14
转移至此	1	3	100
取数	0	2	50
取数	2	0	5
转移至此	3	0	60

3. 设某程序包含 5 个虚页，其页地址为 4，5，3，2，5，1，3，2，2，5，1，3。当使用 LRU 算法替换时，为获得最高的命中率，至少应分配给该程序几个实页？其可能的最高命中率为多少？

4. 有一个虚拟存储器，主存有 0~3 个四页位置，程序有 0~7 八个虚页，采用全相联映像和 FIF
O 替换算法。给出如下程序页地址流：2，3，5，2，4，0，1，2，4，6。

（1）假设程序的 2，3，5 页已先后装入主存的第 3，2，0 页位置，请画出上述页地址流工
作过程中，主存各页位置上所装程序各页页号的变化过程图，标出命中时刻；

（2）求此期间虚存总的命中率 H。

5. 采用 LRU 替换算法的页式虚拟存储器共有 9 页空间准备分配给 A、B 两道程序。已知 B 道程序
若给其分配 4 页时，命中率为 8/15；而若分配 5 页时，命中率可达 10/15。现给出 A 道程序的页
地址流的 2，3，2，1，5，2，4，5，3，2，5，2，1，4，5。

（1）画出用堆栈对 A 道程序页地址流的模拟处理过程图，统计给其分配 4 页和 5 页时的命
中率；

（2）根据已知条件和上述统计结果，给 A、B 两道程序各分配多少实页，可使系统效率最高？

6. Cache 存储器，主存有 0~7 共 8 块，Cache 有 4 块，采用组相联映像，分 2 组。假设 Cache 已先
后访问并预取进了主存的第 5、1、3、7 块，现访存块地址流又为 1、2、4、1、3、7、0、1、

2
、5、4、6 时：

（1）画出用 LRU 替换算法，Cache 内各块的实际替换过程图，并标出命中时刻；

（2）求出在此期间的 Cache 命中率。

7. Cache 存储器，主存有 0~7 共 8 块，Cache 为 4 块，采用组相联映像，设 Cache 已先后预取进
了主存的第 1、5、3、7 块，现访存块地址流又为 1、2、4、1、3、7、0、1、2、5、4、6 时，
在 Cache 分 2 组的条件下，

（1）画出用 FIFO 替换算法时，Cache 内各块的实际替换过程图，标出命中时刻；

（2）求出在此期间，Cache 的命中率。

8. 用组相联映像的 Cache 存储器。块的诋毁为 2^8 个单元，主存容量是 Cache 容量
的 4 倍。映像表用单体多字按地址访问存储器构成，已装入内容如下表所示。用 4 套外比较电
路实现组内相联查找块号。各字段用四进制编码表示。

组号q	n_d	s'	s	n_d	s'	s	n_d	s'	s	n_d	s'	s
0	0	0	1	2	0	0	2	2	2	3	2	3
1	0	1	3	0	3	2	3	3	1	0	0	0
2	3	3	0	3	2	1	3	1	2	1	1	3
3	0	0	2	3	1	3	2	1	1	2	0	0

（1）给出四进制码表示的主存地址 3122203，问主存该单元的内容能否在 Cache 中找到，
若能找到，指出相应的 Cache 地址，也用四进制码表示；

（2）给出四进制码表示的主存地址 1210000 及 2310333 呢？

解答:
1.
2.
3.
4.
5.
6.

7.

8.

第五章 流水和指令级高度并行的超级机

一.选择

1. 指令的二次交叉执行方式是指（ ） 。

A. 同时解释执行相邻的 2 条指令

B. 把指令的解释执行过程分为指令分析和指令执行 2 个子过程交叉执行

C. 一条指令的取指、分析与执行同时解释执行

D. 取指 k、分析 k+1 与执行 k+2 同时解释执行

2. 指令的顺序执行方式是指（ ） 。

A. 指令之间顺序串行执行

B. 指令内的各个操作之间顺序串行

C. 指令之间顺序串行执行，且指令内的各个操作之间顺序串行执行

D. 指令之间顺序串行执行，指令内的各个操作可以串行也可以并行执行

3. 指令流水线属于（ ） 。

A. 操作流水线 B. 部件级流水线

C. 处理机级流水线 D. 系统级流水线

4. 静态流水线是指（ ） 。

A. 功能不能改变的流水线

B. 同时只能完成一种功能的多功能流水线

C. 可同时执行多种功能的流水线

D. 各段之间的连接是固定不变的流水线 各个功能段只按照一种固定的方式连接

5. 以下说法不正确的是（ ） 。

A. 线性流水线是单功能流水线 B. 动态流水线是多功能流水线

C. 静态流水线是多功能流水线 D. 动态流水线只能是单功能流水线

6. 非线性流水线的特征是（ ） 。

A. 一次运算中使用流水线中的多个功能段

B. 一次运算中要多次使用流水线中的某些功能段

C. 流水线中某些功能段在各次运算中的作用不同

D. 流水线的各功能段在不同运算中可以有不同的连接

7. 与线性流水线最大吞吐率有关的是（ ） 。

A. 各个子过程的执行时间 B. 最快子过程的执行时间

C. 最慢子过程的执行时间 D. 最后子过程的执行时间

8. 在顺序流动的指令流水线中，可能发生的相关有（ ） 。

A. 同一条指令的读操作与写操作之间的先写后读相关

B. 先流入的指令的写操作与后流入的指令的读操作之间的先写后读相关

C. 后流入的指令的写操作与先流入的指令的读操作之间的先读后写相关

D. 两条指令的写操作之间的写-写相关

9. 异步流动的指令流水线的特征是（ ） 。

A. 指令流水线各段的执行时间不等

B. 指令流水线各段之间除有串行连接之外，还有反馈回路

C. 指令流水线各段可以实现不同的连接

D. 指令流出流水线的次序与流入流水线的次序可以不同

10. 指令流水线采用精确断点法对中断进行处理时，对在流水线中执行的多条指令，断点指令是指（ ） 。

A. 最先流出流水线的那一条指令 B. 最后流入流水线的那一条指令

C. 提出中断请求的那一条指令 D. 在流水线中尚未执行完的那些指令

11. 设一流水线由 4 个子过程组成，1、3、4 子过程需时间为Δt，2 子过程需时间为 3Δt，则流水线每隔 _____流出一结果。

A Δt B. 2Δt C. 3Δt D. 4Δt

12. 设一流水线由 3 段子过程构成，各子过程经过时间分别为Δt1，Δt2，Δt3，则流水线最大吞吐率为_____。

A. 1/Δt1 B. 1/Δt2 C. 1/Δt3 D. 1/maxΔt1，Δt2，Δt3)

如果各个子过程需要的时间分别为t1,t2，t3，则最大吞吐率 T=1/max（t1,t2,t3）

13. 设一流水线由 4 个子过程组成，1、3、4 号子过程需时间为Δt，2 号子过程需时间为

3Δt，则流水线每隔 _____流出一结果。

A Δt B. 2Δt C. 3Δt D. 4Δt

14. 多处理机在先的程序段 1 中的指令：C←A*B 与在后的程序段 2 中的指令 A←D+E 之间存在___.

A.数据相关; B.数据输出相关;

C.数据反相关; D.数据输入相关;

15. 指令间“一次重叠”说法有错的是___. 条件转移指令

A.仅“执行 K”与“分析 K+1”重叠; B.“分析 K”完成后立即开始“执行 K”;

C.应尽量使“执行 K”与“分析 K+1”时间相等 D.只需要一套指令分析部件和执行部件;

解答:

1.

2.

3.

4.

5.
6.
7.
8.
9.
10.
11.
12.
13.
14.
15.

二.填空

1. 流水有部件级、处理机级和系统级等不同等级，多个处理机之间的流水属于__系统__级流水，也称为宏流水。

2. 流水线的性能指标有吞吐率 、效率和 __加速比__ 。

3. 异步流动流水线会出现顺序流动流水线不可能发生的__写写__相关和先读后写相关。

4. 流水线消除速度瓶颈的方法有__瓶颈段并联__和瓶颈段细分。

5. 解决先写后读相关的方法有延时和__旁路技术或相关专用通路技术__。

6. 解决先读后写相关和写-写相关的方法有延时和建立__相关专用通路__。

7. 采用猜测法解决条件转移全局相关需要增设大量的后援寄存器，用以保存__转移__指令的运算结果。

8. 不精确断点指令是指已进入流水线的指令序列中的__其中一条__指令。

9. 精确断点指令是指已进入流水线的指令序列中的__对应的__指令。

10. 超标量处理机在一个时钟周期能够 __同时__发射多条指令。

11. 超流水处理机在一个时钟周期能够__并行__发射多条指令。

12. 在向量流水处理机上，向量指令序列中的一个编队内的指令可以 __并行__执行。

13. 在向量流水处理机上，向量指令序列中的一个编队执行时间为编队内的所有的向量指令执行时间的__总和__。

14. 按照流水线中各功能段之间是否有__反馈回路__，可把流水线分为线性流水线与非线性流水线

。

15. 按照多功能流水线的各段是否允许__同时__用于不同功能连接流水，可将流水线分为静态
流水线与动态流水线。

解答:
1.
2.
3.
4.
5.
6.
7.
8.
9.
10.
11.
12.
13.
14.
15.
三.判断
1. 指令的顺序解释执行是指令之间顺序串行。（ X ）

2. 指令的交叉解释执行和流水解释执行都是通过加快各条指令的解释来加快程序的解释的。（ X）

3. 无论采用何种方法，只要消除流水线的瓶颈段，就能提高流水线的吞吐率和效率。 （X ）

4. 线性流水线细分的段数越多， 实际吞吐率就越接近于最大吞吐率。（ ）

5. 把瓶颈段进一步细分以消除瓶颈段的方法，实际上是按时间交叉途径改进瓶颈段的一种方法。（ ）

6. 在顺序流动的流水线中，如果先流入指令的写入结果的目的地址同后流入指令读取操作数的源地址是同一个寄存器或存储单元，则会发生“先写后读”相关。（ ）

7. 在顺序流动的流水线中，如果先流入指令的读取操作数的源地址同后流入指令的写入结果的目的地址是同一个寄存器或存储单元，则会发生“先读后写”相关。（ X ）

8. 单发射处理机是指每次执行一条指令的处理机。 （ ）

9. 超标量处理机是在单流水线处理机基础上，采用资源重复途径提高空间并行性来提高指

令的平均执行速度的。（　　）

10. 超标量处理机、超流水处理机和超标量超流水处理机都属于多发射处理机，但超长指令字处理机不属于多发射处理机。　　（ X ）

11. 向量指令序列可以在标量流水处理机上被流水处理。（　　）

12. 向量的纵横处理方式对向量长度可不加限制。（ X ）将长度为N的向量分成若干组，每组长度为n

13. 在流水机器中，全局性相关是指先写后读相关的相关；（ X ）

全局相关：转移指令引起的相关

14. 并行（阵列）处理机主要实现的是指令操作级并行；（　　）

15. 多处理机程序段的指令之间存在数据反相关时可以交换串行；（　　）

解答:

1.
2.
3.
4.
5.
6.
7.
8.
9.
10.
11.
12.
13.
14.
15.

四.简答题

解答:

五.应用题

课后题

参考答案P308

1. 设指令的解释分为取指、分析和执行 3 段，各段执行时间分别为Δt1、Δt2和Δt3。指令分别按下述方式进行解释：

① 顺序方式。　100*（t1+t2+t3)

② 仅“执行 k”和“取指 k+1”交叉。 t1+n*t2+(n-1)*max(t1,t3)+t3

③ “执行 k”、“分析 k+1”和“取指 k+2”交叉。t1+max(t1,t2)+(n-2)*max(t1,t2,t3)+max(t2,t3)+t3

（1）请计算三种方式分别执行完 100 条指令所需的时间。

（2）若已知Δt1、Δt2 和Δt3 分别为：Δt1=Δt2=2Δt，Δt3=Δt，请计算三种方式分别执行完 100 条指令所需时间。

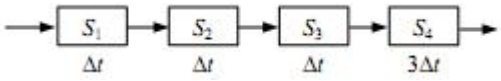
（3）若已知Δt1、Δt2、Δt3 分别为：Δt1=Δt3=5Δt，Δt2=2Δt，请计算三种方式分别执行完 100 条指令所需时间。

课后题
参考答案P308

2. 某个流水线由 4 个功能部件组成，每个功能部件的执行时间都为Δt。当连续输入 10 个数据后，停顿 5Δt，又连续输入 10 个数据，如此重复。画出时空图，计算流水线的实际吞吐率、加速比和效率。

Tp = 10/14t　　Sp = 40/14　　效率 =10*4/ (14*4)

3. 有一条 4 段（S1~S4）组成的数据处理流水线如下图所示：

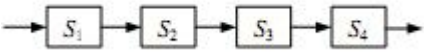


其中，S1、S2 和 S3 的执行时间均为Δt，S4 的执行时间为 3Δt。

（1）试画出连续处理 4 个数据的处理过程时空图，并求出流水线的实际吞吐率和效率。

（2）说明消除瓶颈段的两种方法。采取两种方法改造流水线，分别画出改造后的流水线
和连续处理 4 个数据的时空图，并求出流水线的实际吞吐率和效率。

4. 有一个 4 段流水线如下图所示。



其中，段 S1 和 S3 的执行时间均为 200ns，段 S2 和 S4 的执行时间均为 100ns。

（1）分别使用公式和时空图求连续流入 4 条指令的实际吞吐率和效率。

（2）若瓶颈段 S1 可采用细分方法改造，瓶颈段 S3 只能采用瓶颈段并联方法改造，对
改造后的流水线，分别使用公式和时空图求连续流入 4 条指令的实际吞吐率和效率。

课后题
参考答案P310

5. 现有一条 3 段流水线，各段执行时间依次为Δt、3Δt 和Δt。

（1）分别计算连续输入 3 条指令和连续输入 30 条指令时的实际吞吐率和效率。

（2）将瓶颈段细分为 3 个独立子段，各子段执行时间均为Δt，分别计算改进后的流水线连续输入 3 条指令和连续输入 30 条指令时的实际吞吐率和效率。

（3）比较（1）和（2）两问的结果，能得出何有用的结论？

T=t1+max(t1,t2)+(n-2)*max(t1,t2,t3)+max(t2,t3)+t3

T = mt+(n-1)*t

6. 有一条 5 个功能段的浮点加法器流水线，每个段的延迟时间均为Δt，流水线的输出端与输入端之间有直接数据通路，且设置有足够的缓冲寄存器。要求用尽可能短的时间计算 $F=\sum_{i=1}^{10} A_i$ 画出流水线时空图，计算流水线的实际吞吐率、加速比和效率。

7. 一个流水线由 4 段组成，各段执行时间均为Δt，流入的每个任务都需在第 3 段循环一次后，才能流到第 4 段，问：

（1）当在流水线间隔Δt 连续流入任务时，会发生什么情况？

（2）该流水线的最大吞吐率是多少？如果连续流入 10 个任务，流水线的实际吞吐率

和
效率分别是多少？

（3）如何改造该流水线，以提高吞吐率？仍然连续流入 10 个任务，改造后的流水线的
实际吞吐率相对于改造前的流水线吞吐率提高了多少？

课后题 8. 若有一浮点乘法流水线如下图所示。

参考答案P308

阶加和规格化的执行时间分别为Δt，尾乘执行时间为 3Δt，其乘积可直接返回输入端或暂存于相应缓冲寄存器中。

（1）画出计算 a×b×c×d 的时空图，并求流水线的实际吞吐率和效率。

（2）采用瓶颈段细分方法改造尾乘段，画出实现同一计算的时空图，并求流水线的实际
吞吐率的效率。

（3）采用瓶颈段并联方法改造尾乘段，画出实现同一计算的时空图，并求流水线的实际
吞吐率和效率。

9. 一条动态流水线由 6 段组成，加法用 1、2、3、6 段，乘法用 1、4、5、6 段，各段执行时
间均为Δt。输入端和输出端的缓冲器足够大，且输出端的数据可以直接返

回到输入端。若用流水线按最快的处理方式计算：$f=\prod_{i=1}^{4}(a_i+b_i)$

（1）画出流水线计算 f 的时空图；

（2）计算流水线的实际吞吐率和效率。

10. 一条线性静态多功能流水线由 6 个功能段组成，加法操作使用其中的 1、2、3、6 功能段
，乘法操作使用其中的 1、4、5、6 功能段，每个功能段的执行时间均为Δt，流水线的
输出端与输入端之间有直接数据通路，且设置有足够的缓冲寄存器。试用尽可能短的时间计
算 $F=\sum_{i=1}^{6}(a_i*b_i)$ 画出流水线时空图
，并计算流水线的实际吞吐率、加速比和效率

11. 一个动态多功能流水线由 6 个功能段组成，其中，S1、S4、S5、S6 组成乘法流水线，S
1、S2、S3、S6 组成加法流水线，每个功能段的执行时间均为 50ns。假定该流水线的输出

结
果可以直接返回到流水线输入端，而且设置有足够的缓冲寄存器。若按最快的方式用该流水线计算 $F=\sum_{i=1}^{5} x_i y_i z_i$

（1）请画出流水线计算 f 的时空图。

（2）计算流水线的实际吞吐率、加速比和效率。

12. 一单流水线处理机执行下述指令序列，每条指令的取指令和指令译码各需要 1 个时钟周
期，MOVE、ADD 和 MUL 的执行分别需要 2 个、3 个和 4 个时钟周期，且都在第一个时钟周
期从通用寄存器中读取源操作数，在最后一个时钟周期把目的操作数写到通用寄存器中。

k： MOVE R1，R0 ；R1←(R0) k+1： MUL R0，R2，R1 ；R0←(R2)×(R1) k+2：ADD R0，R2，R3 ；R0←(R2)+(R3) （1）就程序本身而言，哪些指令之间可能发生何种数据相关？

（2）画出按指令序列的顺序流水执行的时空图，共使用了多少个时钟周期？

13. 设指令流水线由取指、分析、执行 3 个部件组成，每个部件经过的时间为Δt，连续流入 12 条指令。请分别画出标量流水处理机以及 ILP 均为 4 的超标量处理机、超长指令字
处理机、超流水处理机的时空图，并分别计算出它们相对于标量流水处理机的加速比。

现有长度为 8 的向量 A 和 B，请分别画出在下列 4 种结构的处理器上求点积 AoB 的时空
图，并分别求出完成运算所需的最少时间以及处理器的实际吞吐率、加速比和效率。设处理器中每个部件的输出均可直接送到任何部件的输入端或存入缓冲器中，部件之间的数据传送延时不计，指令和源操作数都能连续提供。

（1）处理器有一个乘法部件和一个加法部件，不能同时工作，部件内也只能按顺序方
式工作，完成一次加法或乘法均需 5Δt。

（2）与题（1）基本相同，但是，乘法部件和加法部件之间可并行执行。

（3）处理器有一个乘、加双功能静态流水线，各由 5 个段构成，各段执行时间均为&D
elta;t。

（4）处理器有乘、加两条流水线，可同时工作，各由 5 个段构成，各段执行时间均为
Δt。

14. 在一个 5 段的流水线处理机上需经 9Δt 才能完成一个任务，各段执行时间均为&

Delta;t，任务处理过程对各段使用时间的预约表如下表所示。

	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9
S_1	√								√
S_2		√	√						
S_3				√			√	√	
S_4				√	√				
S_5						√	√		

（1）画出流水线的状态有向图，并由状态图得出流水线的最优调度策略和最大吞吐率。

（2）按最优调度策略输入 6 个任务，求流水线的实际吞吐率、加速比和效率。

15. 一流水线有 4 个段 S1~S4，若处理对象对流水线的使用要求由以下预约表表示。

	t_1	t_2	t_3	t_4	t_5	t_6	t_7
S_1	√					√	
S_2			√				√
S_3		√		√			
S_4			√		√		

（1）画出流水线的状态有向图，确定最优调度策略和最大吞吐率。

（2）按最优调度策略，连续处理 4 个对象，求流水线的实际吞吐率、相对于顺序处理的
加速比和流水线效率。

16. 一个各段执行时间均为Δt 的 5 段流水线处理机上需经 9Δt 才能完成一个任务，任务处理对各段的使用要求预约表如下表所示。

	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9
S_1	√								√
S_2		√	√					√	
S_3				√					
S_4					√	√			
S_5							√	√	

（1）写出流水线的初始冲突向量。

（2）画出流水线任务调度的状态有向图。

（3）求出流水线的最优调度策略及最小平均延迟时间和流水线的最大吞吐率。

（4）按最优调度策略连续输入 8 个任务时，流水线的实际吞吐率是多少？

解答:

1.

2.

3.

4.

5.

6.

7.
8.
9.
10.
11.
12.
13.
14.
15.
16.

第六章 阵列处理机

一.选择

1. 交换置换互联函数得到输出端地址的方法是把输入端二进制地址（ ） 。

A. 最高位取反 B. 最低位取反

C. 最高位与最低位交换 D. 循环左移一位

2. 64 个结点的方体置换连接的互联函数的个数是（ ） 。

A. 3 B. 4 C. 5 D. 6

3. 逆均匀洗牌置换互联函数得到连接的输出端地址的方法是把输入端二进制地址（ ） 。

A. 循环左移一位 B. 循环右移一位

C. 从第 k 位开始的低端地址部分循环左移一位

D. 从最高位至第 n－k－1 位的高端地址部分循环左移一位

4. 多级混洗（多级洗牌）置换网络又称为（ ） 。

A. STARAN 网络 B. Omega 网络 C. 交换网络 D. 移数网络

5. Omega 网络采用（ ） 。

A. 2 功能 2×2 开关，单元控制方式 B. 4 功能 2×2 开关，单元控制方式

C. 2 功能 2×2 开关，级控制方式 D. 4 功能 2×2 开关，级控制方式

6. STARAN 网络是一种（ ） 。

A. 多级立方体网络 B. 多级混洗交换网络

C. 静态互联网络 D. 非阻塞网络

7. 用 N=16 的互联网络互联 16 个处理器，编号为 0~15，若网络实现的互联函数为 Cube3，则从 13 号处理器连接到的处理器号是（ ） 。

A. 2 B. 3 C. 4 D. 5

Cube3 = ! (p3) p2p1p0

8. 用 N=16 的互联网络互联 16 个处理器，编号为 0~15，若网络实现的互联函数为 Shuffle (Shuffle)，则从 12 号处理器连接到的处理器号是（ ） 。

A. 9 B. 6 C. 3 D. 12

shuffle(p3p2p1p0)= p2p1p0p3

shuffle (p2p1p0p3) = p1p0p3p2

解答:

1.
2.
3.
4.
5.
6.
7.
8.

二.填空

1. 用 N=16 的互联网络互联 16 个处理器，编号为 0~15，若网络实现的互联函数为 PM2－3，则从 5 号处理器连接到的处理器号是_____13_____。

2. 用 N=16 的互联网络互联 16 个处理器，编号为 0~15，若网络实现的互联函数为 Cube2(Cube0)，则从 5 号处理器连接到的处理器号是_____0_____。

3. 虫蚀寻径以流水方式在各寻径器中顺序传送的是_____片_____。

4. 从网络的任何结点来看，若网络拓扑结构都是相同的，则称这样的网络为_____对称网络_____。

5. 保持网络拓扑结构不变的情况下，网络可扩充的结点数越多，则称网络的_____可扩充性_____越好。

6. 在 STARAN 互联网络中，采用级控方式实现的互连称为_____交换网络_____。

7. 多级立方体互联网络采用组控方式时，第 i 级的所有开关分为_____组，每组开关的控制信息需要_____位。

8. 多机系统的互联网络的通信模式中，一对全体通信模式称为 _____模式。

9. 设互联网络的输入端为 X=xn-1xn-2…xi…x1x0，若互联网络实现的互联函数为 Shuffle(Cubei)，则连接的输出端为_____。

解答:

1.
2.
3.
4.
5.
6.
7.
8.
9.

三.判断

1. 8×8 的 ILLIAC 网络的网络直径 D=7。 （ ）

2. 网络直径是网络中任意两个结点之间距离的最大值，采用虫蚀寻径的互联网络的通信延时主要取决于网络直径的大小。 （ ）

3. 动态互联网络可以用控制信号控制网络实现不同的级间互连，从而实现网络输入端与输出端的动态连接。（ X ）

4. 对于阻塞网络发生路径争用冲突的连接要求可以分次实现，但降低了互联网络的实际频宽。（ ）

5. 多级立方体互联网络能一次实现任意一个输入端到任意一个输出端的连接，但不能一次实现所有输入端到所有输出端任意排列的置换连接。（ ）

6. Omega 网络和 STARAN 网络属于阻塞网络。（ ）

7. 阵列处理机的互联网络的连通路径选择是由控制部件统一控制的。（ X ）

8. ILLIAC IV 处理机任意两个处理单元之间的最大距离不超过 N-1 步（ ）

解答:

1.
2.
3.
4.
5.
6.
7.
8.

四.简答题

1. 脉动阵列结构为什么适用范围有限？发展通用脉动阵列结构有哪些途径？

2. 什么是脉动阵列结构？它具有什么特点？

3. 什么是全排列网络？它具有什么特征？请举出所学过的符合全排列网络特征的网络结构。

4. 选择 SIMD 系统的互联网络应遵循哪些要求？

5. SIMD 系统的互联网络的设计目标是什么？

6. 阵列处理机具有哪些特点？

7. 阵列处理机如何进行分类？请比较它们之间的区别。

8. 什么是 OMEGA 网络？什么是间接二进制网络？它们之间有哪些异同点。

解答:

1.

2.

3.

4.

5.

6.

7.

8.

五.应用题

1. 设有一个 4 级立方体网络，从网络输入端到输出端的开关级依序为 K0、K1、K2 和 K3，网
络输入端和输出端的编号均为 0～15。对于下述连接，分别写出网络的级控制信号和互联函数。

（1）网络实现的置换连接为：4 组 4 元交换，可以用循环互联函数的形式表示为：(0 3) (1 2) (4 7) (5 6) (8 11) (9 10) (12 15) (13 14) （2）网络实现的置换连接为：4 组 4 元交换 +1 组 16 元交换。

课后题

2. 设 16 个处理器编号分别为 0，1，…，15，用一个 N=16 的互联网络互联，当互联网络实现的互联函数分别为：

（1）Cube3 5

（2）PM2+3

（3）PM2-0

（4）Shuffle 11

（5）Shuffle (Shuffle) 7

时，分别指出与第 13 号处理器连接的处理器。处理器 i 的输出通道连接互联网络的输
入端 i，处理器 i 的输入通道连接互联网络的输出端 i。

3. 试画出 N=8 的 3 级 STARAN 网络。若要同时实现 0→2 和 3→5 的连接，是否可以采用级
控制方式？为什么？

4. 在编号分别为 0，1，2，…，F 的 16 个处理器之间，要求按下列配对通信：(B, 1)，(8, 2)，(7, D)，(6, C)，(E, 4)，(A, 0)，(9, 3)，(5, F)。试选择所用互联网络类型及其
控制方式，并画出该互联网络的结构，说明各级交换开关的状态。

5. 16 台处理器用 ILLIAC 网络互联，写出 ILLIAC 网络的互联函数，给出表示任何一个处理器 PUi（0≤i≤15）与其他处理器直接互连的一般表达式。

课后题

6. 针对 N = 8 的蝶式变换连接，

（1）写出互联函数表达式。

（2）若采用 Omega 网络实现要求的连接，Omega 网络的单元控制采用终端标记寻径，那
么，Omega 网络最少需要连接几次，才能完成输入端 0~7 到输出端 0~7 所要求的连接？

（3）画出 Omega 网络实现输入端到输出端连接要求的各次连接的开关状态图。

7. 设 $2^m \times 2^m$ 矩阵 A 按行序将矩阵元素顺序存放在存储器的 $2^m \times 2^m$ 个存储单元中，试证明在对 A 进行 m 次均匀洗牌变换后，在原来 $2^m \times 2^m$ 个存储单元中顺序存放的是 A 的转置矩阵 AT。

8. N=16 的互联网络的输入端号和输出端号分别为 0~15。若互联网络实现的互连可以用互联函数表示为 f (x3x2x1x0)=x0x1x2x3，那么，是否可以用循环互联函数表示出互联网络实现的互连？如果可以，请写出循环互联函数。

9. 用单级 Cubei 网络实现 N=16 的 PM2+0 要求的输入端与输出端的互连。指出各个输入端
对 PM2+0 指定连接的输出端分别循环使用单级 Cubei 网络的次数，以及循环使用单级，Cub
ei 网络实现的互联函数。

10. 具有 $N=2^n$ 个输入端的 Omega 网络，采用单元控制。

（1）N 个输出端总共有多少种不同的排序？

（2）如果限定只能使用 Omega 网络一次，那么，可以实现多少种 N 个输入端与 N 个输
出端不发生冲突的不同的置换连接？

（3）假设 N=8，请计算 Omega 网络只使用一次能实现的置换连接数占全部可能的置换
连接数的百分比。

11. 对于 N=8 的间接二进制 n 方体多级网络，要求同时实现如下连接：

0→1，1→6，2→4，3→1，4→2，5→7，6→5，7→0 （1）若单元控制采用上控法，则网络是否会发生阻塞？画出网络的开关状态图。

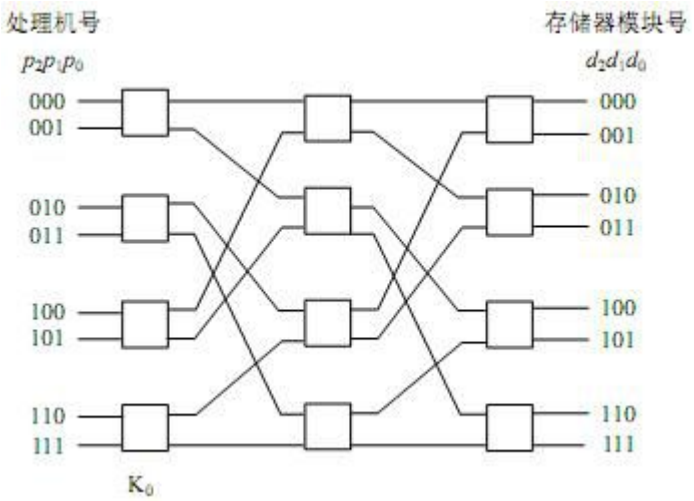
（2）若单元控制采用输入端与输出端地址按位加的控制方法，则网络是否会发生阻塞？画出网络的开关状态图。

12. 对于 N=8 的 Benes 二进制置换网络，要求同时实现如下连接：

0→2，1→3，2→4，3→0，4→6，5→7，6→5，7→1

若单元控制采用上控法，那么网络是否会发生阻塞？画出网络的开关状态图。

13. 一个 $2^3 \times 2^3$ 的 Delta 网络如图所示，用来实现 8 个处理机（P_0~P_7）与由 8 个存储模块（M_0~M_7）组
成的共享存储器之间的连接访问。



（1）该网络是否能对任何处理机与任何存储模块之间实现连接？

（2）处理机编号的二进制表示为 $p_2p_1p_0$，存储器模块编号的二进制表示为 $d_2d_1d_0$。网络采用 2×2 开关，开关采用级控方式，级控信号 F=$f_2f_1f_0$，且当 f_i=1 时，第 i 级开关都为直送状态；当 f_i=1 时，第 i 级开关都为交叉状态。根据某个处理机 $p_2p_1p_0$ 给出的访存模块号 d₂d₁d₀，为了建立访存的连接通路，请写出控制信号 f₀、f_1、f_2 与 d_0、d_1、d_2 及 p₀、p_1、p_2 的逻辑关系式。

课后题 14. 画出 N=8 的立方体全排列多级网络，标出采用单元控制，实现 0→3，1→7，2→4，3→0，4→2，5→6，6→1，7→5 的同时传送时的各交换开关的状态，并说明为什么不会发生阻塞。

课后题 15. 并行处理机具有 16 个处理单元，须要实现相当于 8 组 2 元交换，然后是 1 组 16 元交换，再次是 4 组 4 元交换的交换函数功能。

1）写出实现此交换函数的最终等效的功能，以及各处理器间所实现的互联函数的一般形式。

2）画出实现此互联函数的四级立方体互联网络拓扑结构，并标出各交换开关的状态。

解答:

1.

2.

3.

4.

5.

6.

7.

8.
9.
10.
11.
12.
13.
14.
15.

第七章多处理机

一.选择

1. 能实现指令、程序、任务级并行的计算机系统属于（ ）。

A. SISD B. SIMD C. MISD D. MIMD

2. 多处理机的 Cache 一致性问题是指（ ）。

A. 多个处理机从各自 Cache 中读取的数据不一致

B. Cache 与共享主存中同一数据块可能不一致??

C. 不同处理机的 Cache 中同一数据块可能不一致

D. 不同处理机的 Cache 中同一数据块可能不一致，Cache 与共享主存中的同一数据块也可能不一致

3. 多处理机中不会引起 Cache 不一致的是（ ）。

A. 共享可写的数据 B. 共享只读的数据

C. 进程在处理机之间产生迁移 D. I/O 传输

4. 总线监听协议在本地 Cache 的数据块被修改时，使所有远程 Cache 中的相应数据块都无效，这是监听协议中的（ ）。

A. 写通过策略 B. 写回策略 C. 写无效策略 D. 写更新策略

5. 总线监听协议在本地 Cache 的数据块被修改时，通过总线把改写的数据块广播到有该数据块的所有远程 Cache 中，这是监听协议的（ ）。

A. 写通过策略 B. 写回策略 C. 写无效策略 D. 写更新策略

6. 解决互联网络互联的多处理机的 Cache 一致性问题时采用基于目录的协议。具有可扩展性的目录协议是（ ）。

A. 全映射目录协议 B. 全映射目录协议和有限目录协议

C. 全映射目录协议和链式目录协议 D. 有限目录协议和链式目录协议

7. 异构多处理机系统的负载均衡调度的目标是（ ）。

A. 分配到各处理机的任务数相等

B. 分配到各处理机的计算量均衡

C. 使分配到各处理机的任务的粒度相等

D. 使多处理机作业的时间最短

8. 一个计算作业可分解成多个任务分配到多个处理机上并行执行，R 表示任务用于计算的时间开销，C 表示任务用于通信等额外的时间开销。为进一步缩短作业运行时间，可以采取的措施是（ ）。

A. 如果 R/C 值较小，则可进一步开发并行性
B. 如果 R/C 值较大，则可进一步开发并行性
C. 如果还有处理机可用，则可进一步开发并行性
D. 如果任务粒度较大，则可进一步开发并行性

解答:

1.
2.
3.
4.
5.
6.
7.
8.

二.填空

1. 多处理机系统的 2 种基本结构分别是紧耦合 和 松耦合 。

2. 多处理机的 Cache 一致性问题包括 _____不一致和_____不一致。

3. 在基于总线互连的多处理机中， 采用监视cache_____协议来解决 Cache 一致性问题。

4. 写一次协议保持 Cache 与共享主存的一致性采取的方法是：第一次修改 Cache 数据块时，执行 写作废策略，重写该数据块时，执行 写更新策略。

5. 多处理机系统是将多个高性能的工作站或高性能微机使用高速的通信网络加以互联的系统。

6. 共享虚拟存储器是将 总线 上分散的处理机所拥有的本地存储器进行 排序 统一编址。

7. 我国的曙光一号巨型机应属于 对称 多处理机结构。

8. 衡量应用程序任务力度的大小的依据是 程序执行时间 和 通信等额外开销时间 的比值。

解答:

1.
2.
3.
4.
5.
6.

7.
8.
三.判断
1. SIMD 计算机和 MIMD 计算机都有多个处理器或处理机，因此，它们都能实现指令、程序、任务级的并行。　　（ X ）

2. 并行处理机的所有处理器受同一个控制器控制，因此，多个处理器的操作是同步的。但是，多处理机系统的多个处理机的操作是异步的。（ X ）

3. 监听协议可用于总线互连的多处理机，也可用于互联网络互联的多处理机。　（ X ）

4. 多处理机系统采用虚拟共享存储器是指多个处理机共享由物理的主存和辅存组成的虚拟存储器。（　　）

5. 在采用共享存储器结构和虚拟共享存储器结构的多处理机上编程时，程序员无需在程序中显式地控制数据的分布和传输是因为这两种结构都有统一的编址空间。　（　　）

6. MPP 的每个处理节点都具有本地存储器，经网络连接到专门的互联网络中。（　　）

7. MPP 在并行性特点上应属于 MIMD 型。（　　）

8. 可扩展共享存储器多处理机系统中多个处理机共享一个易于扩展的并行存储器。（　　）

解答:
1.
2.
3.
4.
5.
6.
7.
8.
四.简答题
1. 多处理机在结构、程序并行性、算法、进程同步、资源分配和调试上与并行处理机有什么差别？

2. 多处理机有哪些基本特点？

3. 多处理机着重解决哪些技术问题？

4. 说明 4＊4 交叉开关组成的两级 16*16 交叉开关网络虽节省了设备，但它是一个阻塞式网络
。

5. 试比较一下 4*9 的一级交叉开关与用两级 2×3 的交叉开关组成的 4×9 的 Delta 网络在交叉
开关设备量的区别？

6. 简述多处理机使用的操作系统的分类以及特点。

7. 简述多处理机产生 Cache 一致性问题的原因。

8. 简述多处理机采用监听协议维护一致性的策略。

9. 简述多处理机采用基于目录的协议维护 Cache 一致性的方法。

10. 根据多处理机访问共享存储器所需时间的差别，共享存储器多处理机系统可分成哪几类，各自具有什么特点？

解答:

1.
2.
3.
4.
5.
6.
7.
8.
9.
10.

五.应用题

课后题 1. 由霍纳法则给定的表达式如下：E=a(b+c(d+e(f+gh))) 利用减少树高的办法来加速运算，要求

(1)画出树形流程图;

(2)确定 Tp、P、Sp、Ep 诸值。

课后题 2. 有如下求 A1、A2 ... ... A8 的累加和的程序：

S1 A1=A1+A2

S2 A3=A3+A4

S3 A5=A5+A6

S4 A7=A7+A8

S5 A1=A1+A3

S6 A5=A5+A7

S7 A1=A1+A5

（1）写出用 FORK、JOIN 语句表示其并行任务的派生和汇合关系的程序，以假想使此程序
能在多处理机上运行。

（2）画出该程序在有 3 台处理机制系统上运行的时间关系示意图。

（3）画出该程序在有 2 台处理机制系统上运行的时间关系示意图。

课后题 3. 有如下程序：

V=U/B

W=A*U

X=W-V

Y=W*U

Z=X/Y

试用 FORK、JOIN 语句改写成可在多处理机上并行执行的程序。假设现有两台处理机，且
除法速度最慢，加、减法速度最快，请画出该程序运行时的资源时间图。

课后题
参考答案P325

4. 分别确定下列各计算机系统中，计算点积 S=(8)∑(i=1)ai*bi 所需的时间(尽可能给出时空图示意)：

(1)通用 PE 的串行 SISD 系统; 4*7+2*8=46

(2)具有一个加法器和乘法器的多功能并行流水 SISD 系统;

(3)有 8 个处理器的 SIMD 系统;

(4)有 8 个处理器的 MIMD 系统

设访存取指和取数的时间可以忽略不计;加与乘分别需要 2 拍和 4 拍;在 SIMD 和 MIMD 系统
中处理器(机)之间每进行一次数据传送的时间为 1 拍，而在 SISD 的串行或流水系统中都可忽略
；在 SIMD 系统中 PE 之间采用线性环形互连拓扑，即每个 PE 与其左右两个相邻的 PE 直接相连，
而在 MIMD 中每个 PE 都可以和其它 PE 有直接的通路。

5. 设程序有 T 个任务，在 A、B 两台处理机组成的多处理机上运行。每个任务在 A 处理机上执
行的时间为 E，在 B 处理机上执行的时间为 2E，不考虑机间通讯时间，问如何分配任务，可使
系统总执行时间最短？总执行时间最短为多少？

6. 在多处理机上计算 E=a(b+c(d+e(f+gh)))。若每次加运算和乘运算所需时间都为?t，访存和多处理机之间通信的时间都忽略不计。

（1）在多处理机上至少需要几台处理机可使并行计算的时间最短？

（2）求多处理机并行计算相对于单一处理机顺序方式计算的加速比。

7. 设程序有 m 个任务在 A、B 两台处理机组成的多处理机上运行，每个任务在处理机 A 上
的执行时间都为 T，在处理机 B 上的执行时间都为 2T。不考虑机间通信时间，如何分配任务
可使程序执行时间最短？最短的程序执行时间是多少？

8. 在多处理机上计算 x=a(b+c(d+e))+f(g+hl)。若每次加运算和乘运算所需时间都为?t，

访存和多处理机之间通信的时间都忽略不计。

（1） 在多处理机上至少需要几台处理机使并行计算的时间最短？画出并行计算 x 的树
形流程图。

（2）求多处理机并行计算相对于单一处理机顺序方式计算的加速比。

解答:

1.
2.
3.
4.
5.
6.
7.
8.