

WCDMA 直放站系统中数字预失真技术的设计与实现

摘 要

在移动通信系统中,为了保证一定范围的信号覆盖,通常使用功率放大器来对信号放大。然而由于功放自身具有的非线性,会使得发送信号的频谱展宽,这就导致了信号的带内畸变和邻道干扰。

由于WCDMA系统以及未来的以OFDM为核心技术的4G通信系统都具有多载波,宽频带的特征,这就使得信号的峰均比(PAPR)非常之高,从而受到功放非线性影响所带来的畸变和干扰也更加明显。为了减小这种干扰和畸变必须使用功放线性化技术。

随着移动通信事业的迅猛发展,不论是如今正在商用的3G市场还是未来的4G(LTE)发展前景都对功放的线性度提出了越来越高的要求。传统的解决功放线性化方案是通过回退(back-off)信号功率来抑制功放的互调分量,从而保证功放工作在线性区。很明显这种方案极大的降低了功放自身的效率,也就是说了为了达到额定的输出功率势必要选取高功率的功放管,从而要为之付出高额的硬件成本。因此,不论从效率,成本以及环保方面来说,它都不是最佳的功放线性化技术解决方案。数字预失真技术以其高性能、低成本、低实现复杂度的特点已成为当前主流的功放线性化技术解决方案。

本文主要关注于对记忆多项式DPD算法的数学原理、性能仿真的讨论和研究,以及最终的硬件实现方案的设计和测试。本文在第三章详细讨论了记忆多项式DPD算法在MATLAB平台上的仿真方案,以及对于WCDMA不同载波信号的仿真结果,包括浮点仿真结果和定点仿真结果,最后给出了仿真结论。最终的定点仿真结果也为该算法的硬件实现提供了很好的设计依据。本文在第四章则详细阐述了整个DPD系统的硬件解决方案,从硬件平台到算法的FPGA设计都给出了详细的分析和说明。我们最终在Xilinx的FPGA上完成了算法实现,该实现方案是一个软硬件协同工作的嵌入式方案,DPD滤波器的FPGA实现采用了查找表的方式,很大程度的节省了FPGA的硬件资源;DPD的参数估计是在FPGA上的嵌入式CPU上实现的。本文在第五章主要给出了基于该硬件解决方案的测试结果。最终测试结果表明该算法对功放输出信号的ACLR指标的改善能达到15db左右(正负2db变化),同

时把功放的效率从8%提高到29%。

关键词：数字预失真 WCDMA 直放站 功率放大器 FPGA

THE DESIGN AND IMPLEMENTATION OF DIGITAL PREDISTORTION TECHNOLOGY IN WCDMA REPEATERS

ABSTRACT

In the mobile communication system, we usually use power amplifier to enlarge the power of the transmitted signal in order to assure the coverage in some range. Because power amplifier is inherently nonlinear, the nonlinearity creates spectral growth out of the signal bandwidth, which results in adjacent channel interference. It also causes distortions within the signal bandwidth.

For the characteristics of wideband and multi-carriers in the WCDMA system and OFDM, which make signal has high peak-to-average power ratios (PAPR), they are especially vulnerable to the nonlinear distortions brought from PA. In order to decrease the distortions, we must have the PA linearization technology in use.

With the rapid development of the mobile communication business, both 3G commerce market and future 4G prospects all propose high principles to the PA linearization technology. Traditional PA linearization technology solution is to back-off the signal power from the PA saturation point, which assures the PA to work in its linear region. It is obvious that although the back-off solution is simple and high linearity, the PA efficiency would be cut down to very low. That is to say, in order to reach the rated output power, we must provide the higher efficiency amplifier tube which will add the hardware cost. Consequently, it is not an optimal solution for the PA linearization technology. Digital Predistortion (DPD) technology characterized for its high performance, low cost, environmental has become the contemporary mainstream PA linearization technology solution.

In this paper, we mainly focus on DPD math foundation, performance simulation, the design and test of hardware solution. In the chapter 3, we mainly discuss the DPD simulation solution and result for the WCDMA signal with different carrier number on the MATLAB,

which include float-point simulation and fixed-point simulation, finally give the simulation conclusion. The result of fixed-point simulation also provide the design basis for the FPGA implementation. DPD hardware solution which include both whole hardware system and FPGA design is discussed in chapter 4 in detail. We finally accomplish the FPGA implementation of the DPD algorithm. The system is a hardware-software co-design which leverages Xilinx FPGA features and embedded microprocessor technology. DPD filter is implemented on the FPGA with the LUT method which can save as much FPGA resources as possible. DPD coefficient estimate is implemented on the microprocessor embed in the FPGA. The final test results presented in the chapter 5 show 15 dB of improvement in adjacent channel power for WCDMA signals with different carrier numbers. Power amplifier efficiency is also improved, from 8% up to a maximum of 29%.

KEY WORDS: WCDMA DPD PA ACLR PAPR FPGA

目录

WCDMA 直放站系统中数字预失真技术的设计与实现.....	- 3 -
目录.....	- 7 -
第一章 绪论.....	- 9 -
1.1 课题的研究背景.....	- 9 -
1.2 WCDMA 原理简介.....	- 10 -
1.3 直放站原理简介.....	- 11 -
1.4 本文的主要内容和安排.....	- 12 -
第二章 功率放大器简介及建模.....	- 13 -
2.1 功率放大器的特征曲线.....	- 13 -
2.2 功率放大器的对信号的畸变.....	- 14 -
2.2.1 AM-AM 畸变.....	- 14 -
2.2.2 AM-PM 畸变.....	- 15 -
2.3 功率放大器的建模.....	- 16 -
2.3.1 严格无记忆模型.....	- 16 -
2.3.2 拟无记忆模型.....	- 17 -
2.3.3 有记忆模型.....	- 18 -
2.4 本章小结.....	- 18 -
第三章 记忆多项式 DPD 算法的性能仿真.....	- 19 -
3.1 数学原理.....	- 19 -
3.2 仿真信源的构建.....	- 21 -
3.3 浮点算法仿真方案.....	- 23 -
3.3.1 浮点仿真的平台框图.....	- 23 -
3.3.2 浮点仿真步骤.....	- 25 -
3.3.3 浮点仿真结果.....	- 26 -
3.3.4 浮点仿真结论.....	- 32 -
3.4 DPD 定点算法仿真方案.....	- 33 -
3.4.1 定点仿真原理.....	- 33 -
3.4.2 定点仿真平台说明.....	- 34 -
3.4.3 DPD 定点算法的关键操作.....	- 35 -
3.4.4 DPD 定点算法的仿真步骤.....	- 36 -
3.4.5 DPD 定点算法的仿真结果.....	- 37 -
3.4.6 DPD 定点算法的仿真结论.....	- 43 -
3.5 本章小结.....	- 43 -
第四章 DPD 系统的硬件解决方案.....	- 44 -
4.1 硬件平台关键芯片简介.....	- 44 -
4.1.1 FPGA 芯片.....	- 44 -
4.1.2 主链路 AD 芯片.....	- 47 -
4.1.3 反馈链路的 AD 芯片.....	- 48 -
4.1.4 主链路的 DA 芯片.....	- 49 -
4.2 DPD 系统的整体架构.....	- 50 -
4.3 DPD 系统的 FPGA 部分详细设计.....	- 52 -

4.3.1 DPD 系统的 FPGA 的顶层设计	- 52 -
4.3.2 时钟模块	- 53 -
4.3.3 AD6655 接口模块	- 53 -
4.3.4 插值滤波模块	- 54 -
4.3.5 AD80141 接口模块	- 55 -
4.3.6 AD9779 接口模块	- 56 -
4.3.7 捕获 RAM 模块	- 57 -
4.4 DPD 滤波器的 FPGA 设计	- 59 -
4.4.1 DPD 滤波器实现架构	- 59 -
4.4.2 LUT 地址空间分配设计	- 60 -
4.4.3 资源清单	- 61 -
4.5 DPD 参数估计的 FPGA 设计	- 62 -
4.5.1 MICROBLAZE 的配置	- 62 -
4.5.2 DPD 参数估计流程图	- 63 -
4.5.3 关键程序说明	- 64 -
4.6 FPGA 设计中的关键 IP 核的介绍与说明	- 65 -
4.6.1 硬核乘法器	- 65 -
4.6.2 cordic 计算器	- 67 -
4.6.3 FIR 滤波器	- 68 -
4.6.4 DDS 频率综合器	- 70 -
4.6.5 复数乘法器	- 72 -
第五章 DPD 硬件系统的性能测试	- 74 -
5.1 测试平台框图	- 74 -
5.2 测试平台仪器仪表清单	- 74 -
5.3 测试平台实物照片	- 75 -
5.3.1 测试平台照片	- 75 -
5.3.2 数字中频板照片	- 75 -
5.3.3 上下混频模块实物照片 (左为下混频, 右为上混频)	- 76 -
5.3.4 doherty 功放照片	- 76 -
5.4 测试数据表格	- 77 -
5.5 测试性能截图	- 78 -
5.5.1 信号源输出的 WCDMA 的 3 载波信号的 PSD 图	- 78 -
5.5.2 不加 DPD 模块的功放输出信号的 PSD 图	- 79 -
5.5.3 加入 DPD 模块后的功放输出信号的 PSD 图	- 80 -
5.6 测试结论	- 80 -
第六章 论文总结与未来展望	- 81 -
参考文献	- 82 -
致谢	- 83 -
攻读学位期间发表的学术论文	- 84 -

第一章 绪论

1.1 课题的研究背景

随着移动事业的迅猛发展，特别是 CDMA 和第三代移动通信技术的发展，使得系统对功放线性度的要求越来越高。在移动通信系统中，为了保证一定范围的信号覆盖，我们通常使用功率放大器来对信号放大，进而通过射频前端和天线系统发射出去。而在 CDMA 或 WCDMA 以及 TDSCDMA 的基站中，如果采用一般的高功放（通常工作于 AB 类），将由于非线性的影响产生频谱再生效应，为了较好的解决信号的频谱再生和 EVM（误差矢量幅值）问题，就必须对功放采用线性化技术。不仅如此，功放在基站放大器中的成本比例约占 50%，如何有效、低成本地解决功放的线性化问题就显得非常重要^[3]。

传统解决功放的非线性的方法多数是采用功率回退（back-off）的方法来抑制功放的互调分量也就是保证功放工作在线性范围，从而不影响信号的覆盖以及通信。所谓回退就是降低输入功率，使放大器工作点离饱和点远一点，工作在如图 1 所示一曲线 OA 段范围内这一段的 p_{out} --- p_{in} 曲线线性度，由此看出，回退就是用降低输出功率的方法来减少非线性失真。这种方法简单，能使放大器得到较高的线性度，但是由于晶体管放大器直流工作状态不变，放大器的功率相应降低了，同时晶体管本身也“大材小用”，其能力没有充分地发挥出来，当需要大的功率输出时，就需要使用能输出更大功率的晶体管，这不仅要付出更高的硬件成本同时也降低了环保性能。因此，不论从效率，成本以及环保方面来说，回退都不是最佳的功放线性化技术解决方案。

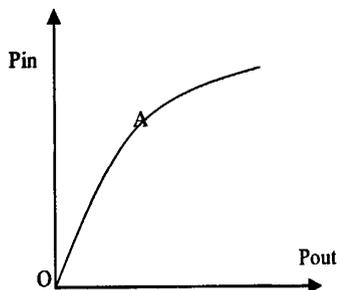


图 1-1 晶体管放大曲线

要想既要得到较大的输出功率又要保证有较高的线性度，在微波晶体管功率放大器中，除了选择性能良好的晶体管，合理地选择晶体管的工作状态外，还必

须采用有效的线性化措施。目前引起关注的功放线性化方法主要有预失真技术和前反馈技术，预失真技术又分为模拟预失真技术和数字基带预失真技术。

数字基带预失真（DPD）技术不涉及难度大的射频信号处理，只在低频部分对基带信号进行补偿处理，使其失真特性与末级功放的（非线性）特性相反，即对末级功放的非线性进行补偿，达到末级功放输出线性的目的。因此这种方法便于采用现代的数字信号处理技术。采用数字预失真方法，适应性较强，而且可以通过增加采样率及增大量化阶数的办法来抵消高阶互调失真。因此，发展数字预失真技术将具有相当重要的意义。

1.2 WCDMA 原理简介

WCDMA 主要起源于欧洲和日本的早期第三代无线研究活动^[9]，GSM 的巨大成功对第三代系统在欧洲的标准化产生重大影响。1998 年 12 月成立的 3GPP（第三代伙伴项目）极大地推动了 WCDMA 技术的发展，加快了 WCDMA 的标准化进程，并最终使 WCDMA 技术成为 ITU 批准的国际通信标准。WCDMA 是直接序列扩频的码分多址技术，其主要的系统参数如表 1-1 所示^[9]。

表 1-1 WCDMA 系统的基本参数

信道带宽	5MHz
帧长	10ms
码片速率	3.84Mcps
中心频率	200kHz 的整数倍
频谱分配	上行 1850~1910MHz，下行 2110~2170MHz
双工方式	FDD、TDD
扩频调制方式	上行：双信道 QPSK；下行：平衡 QPSK
数据调制方式	上行：BPSK；下行：QPSK
信道编码	交织、卷积码和 Turbo 码
扩频因子	4~256
最大发射功率变化范围	用户设备 26dB，基站 12dB
数据速率	在车速环境下提供 144kbps，步行环境下 384kbps，室内环境下 2Mbps

WCDMA 系统射频部分是传统的模拟结构，实现射频和中频信号转换以及射频信号的接收和发射。射频上行通道部分主要包括自动增益控制（RFAGC），接收滤波器（Rx 滤波器）和下变频器。射频的下行通道部分主要包括二次上变频，宽带线性功放和射频发射滤波器。中频部分主要包括上行的去混迭滤波器、下变频器、ADC 和下行的中频平滑滤波器，上变频器和 DAC。与 GSM 信号以及第一代的信号不同，WCDMA 信号为带宽高达 5MHz 的宽带信号且为多电平信号，要

求射频功放具备宽带和高线性度的特性。

WCDMA 高层生成的数据在空中接口由传输信道承载，再由传输信道在物理层上映射到不同的物理信道，这就要求物理层支持可变速率的信息传输。

物理信道主要是以物理承载特性加以区分，由于业务和控制类型都很复杂，所以物理信道也比较复杂。WCDMA 中基本物理资源是码字数，另外包括无线帧结构、时隙结构和符号速率等。传输信道经过信道编码和映射后，与物理信道提供的数据速率相一致，这样传输信道和物理信道可以对应起来。物理信道主要包括：同步信道、公共导频信道、物理下行共享信道以及物理公共分组信道等。

1.3 直放站原理简介

直放站(又叫中继器)属于同频放大设备，是在无线通信传输过程中起到信号增强的一种无线电发射中转设备。直放站主要由接收机和发射机、天馈线系统、电源等构成。无论是 GSM 直放站、CDMA 直放站还是 WCDMA 直放站，其原理是基本相同的，也都可以分为射频、光纤直放站以及宽带、窄带、移频直放站等几类。衡量直放站好坏的指标主要有智能化程度(如远程监控等)、互调产物、噪声系数、整机的可靠性以及技术服务等。直放站在密集城区应用于解决小范围区域的盲区覆盖以及建筑物内的信号覆盖，在郊区以及偏远地区则主要用于扩大覆盖范围，增加基站的覆盖距离。

数字直放站是提供一种带有数字预失真、可实现多载波、数字化的 3G 基站延伸系统，实现 3G 基站射频信号大容量、大动态范围的远距离数字传输，并提供灵活多样的快速组网方式，支持多频段和开放式架构，实现远程升级以及分布式建网，能够有效提高网络性能并降低网络建设的运营成本^[15]。图 1-2 为数字直放站系统的原理框图。

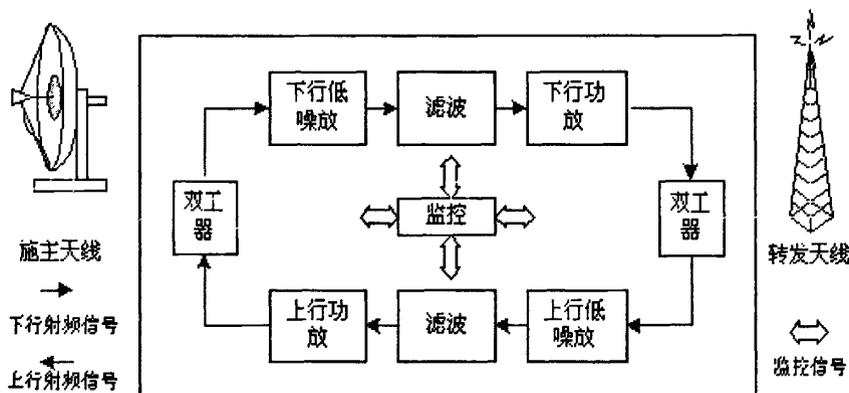


图 1-2 数字直放站系统的原理框图

数字直放站主要由射频、数字中频两部分组成。其中射频部分包括：低噪声放大器、模拟射频接收机、模拟射频发射机、多载波功率放大器；而数字中频包括：A/D转换器、D/A转换器、数字上/下变频、数字滤波与分集接收、数字预失真(DPD)、峰均比抑制(CFR)模块。

本文主要讨论数字预失真(DPD)部分的解决方案

1.4 本文的主要内容和安排

论文的章节安排如下：

第一章 绪论。本章主要介绍数字预失真技术的背景、WCDMA的原理、直放站的基本原理和文章结构。

第二章 功率放大器简介及其建模。本章主要分析了功放的非线性特征对WCDMA宽带信号所产生的畸变，主要包括AM畸变和PM畸变，最终体现在对信号功率谱密度、信号幅度和相位(星座图)的影响。然后介绍了目前常用的功放建模方式，针对WCDMA宽带系统必须选用有记忆功放模型。最终选用记忆多项式模型作为DPD应用系统的宽带功放建模。

第三章 记忆多项式DPD算法的性能仿真。本章主要介绍了记忆多项式DPD算法的数学原理，并且详细阐述的算法的浮点仿真和定点仿真方案，并且给出了仿真结果和结论。从仿真结果可以看出，记忆多项式DPD算法可以完全满足宽带WCDMA系统的线性化需求。同时定点仿真方案定出的算法的定点结构也为算法的硬件实现提供了很好的设计依据。

第四章 DPD系统的硬件解决方案。本章主要介绍了整个DPD应用系统的硬件解决方案，包括整体硬件架构，硬件平台的关键芯片，以及FPGA设计部分。重点阐述了DPD系统的FPGA设计部分，其中包括所有子模块的详细设计，DPD滤波器和DPD参数估计这两个关键子模块分别给出了详细的分析。最后对FPGA设计中用到的IP核资源也给出了详细说明。

第五章 DPD硬件系统的性能测试。本章主要介绍DPD应用系统的最终测试情况，首先详细介绍了测试平台(附上了实物照片)，最终给出了测试的数据，截图，以及结论。

第六章 结论和展望。本章主要对全文工作进行总结和分析，对一些不足进行剖析，并对DPD未来的发展趋势进行分析。

第二章 功率放大器简介及建模

2.1 功率放大器的特征曲线

所谓理想功率放大器，即输入输出关系为线性函数

图 2-1 为理想功率放大器的输入输出特性曲线

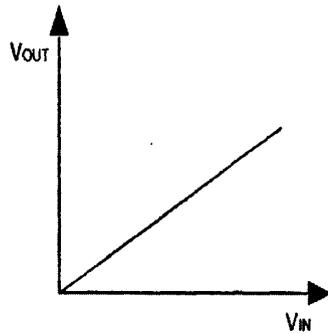


图 2-1 理想功率放大器的输入输出特性曲线

然而实际的功率放大器是非线性的，尤其是到了接近饱和点后，输入输出关系即演变为非线性函数

图 2-2 为实际功率放大器的输入输出特性曲线

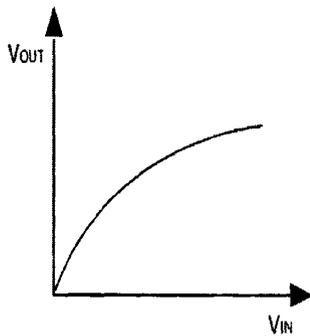


图 2-2 实际功率放大器的输入输出特性曲线

2.2 功率放大器的对信号的畸变

功率放大器实质上是输入输出信号的非线性变换系统。功放的输出响应包括 AM-AM 响应、AM-PM 响应。

AM/AM 和 AM/PM 特性是功放最基本的特性,可以直接通过测量功放的输入数据 $i(n)$ 和输出数据 $o(n)$ 直接得到。下面给出几个相关的定义。对于一个任意的复信号, AM/AM 定义为输出信号复包络的幅度相对于输入信号复包络的变化特性,同样 AM/PM 定义为相移(输出信号复包络相角减去输入信号复包络相角)随输入信号包络幅度变化的特性。

2.2.1 AM-AM 畸变

由于功放接近饱和点时所带来的非线性对不同的输入的功率会有着不同的增益,所以必然会给信号带来 AM-AM 畸变。这种畸变主要反映在两个指标上,一个是信号星座图,一个是信号的功率谱密度。以 16QAM 调制为例,图 2-3 所示为 AM-AM 畸变后的 16QAM 星座点,图 2-4 所示为 AM-AM 畸变后的 16QAM 信号的功率谱密度图 (PSD 曲线)。

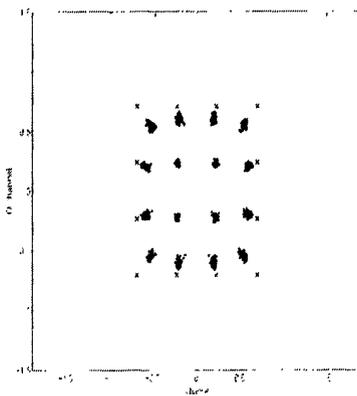


图 2-3 AM-AM 畸变后的 16QAM 星座点

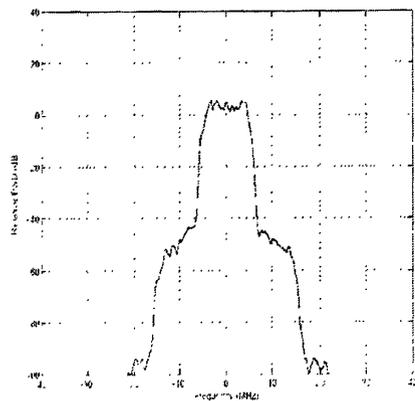


图 2-4 AM-AM 畸变后的频谱图

2.2.2 AM-PM 畸变

图 2-5 和图 2-6 为幅度和相位联合畸变后的 16QAM 信号的星座图和频谱图

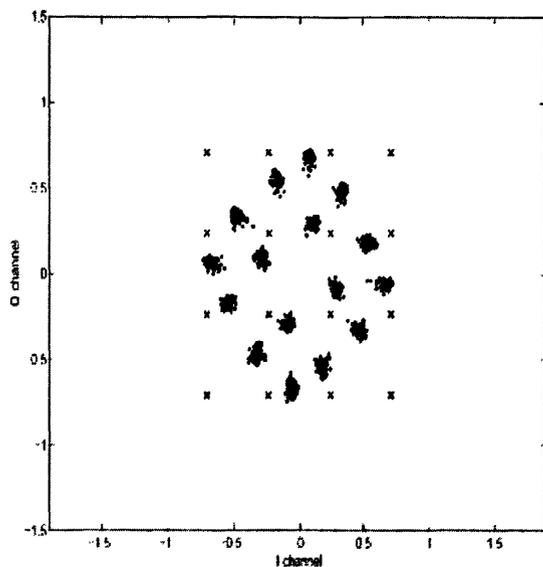


图 2-5 AM-AM 与 AM-PM 联合畸变后的 16QAM 星座点

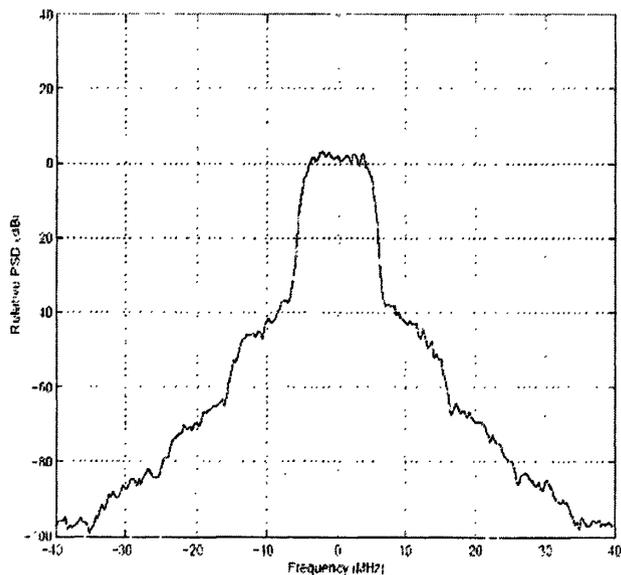


图 2-6 AM-AM 与 AM-PM 联合畸变后的 16QAM 信号的频谱图

2.3 功率放大器的建模

常用的功放的行为模型有：幂级数模型、Volterra 级数模型和谐波平衡法模型等。

功率放大器实质上是输入输出信号的非线性变换系统，分为无记忆功放和有记忆功放两大类^[1,8]。其中无记忆功放又分为严格无记忆与拟无记忆功放。当输入的 RF 信号是窄带信号时，功放的输出响应与信号频率没有关系，称为无记忆功放；当功放的输出响应与输入信号的频率有关，此时功放可以看作是有记忆非线性变换系统。

记忆特性是宽带功放的又一重要特性，一般定义为由调制频率引起的信号幅度和相位的失真。当输入信号的带宽较宽（例如 WCDMA 信号，其单载波带宽为 5MHz），功放记忆特性的时间跨度将变得和输入信号包络时延相当，所以记忆特性将不能再被认为是短时的，不能忽略。

2.3.1 严格无记忆模型

一般的，无记忆功放可以建模为幂级数，其带通信号模型^[1]为

$$\tilde{y}(t) = \sum_{k=1}^K \tilde{b}_k (\tilde{z}(t))^k \quad (2-1)$$

其中， \tilde{b}_k 是实系数， $\tilde{z}(t)$ 是功放输入的带通信号， $\tilde{y}(t)$ 是功放输出的带通信号。与其相对应的基带信号模型^[1]为

$$y(t) = \sum_{\substack{k=1 \\ \text{odd}}}^K b_k z(t) |z(t)|^{k-1} \quad (2-2)$$

$$b(k) = 2^{1-k} \left[\frac{k}{k-1} \right] \tilde{b}_k \quad (2-3)$$

在基带等价模型中，只含有奇数阶信号，偶数阶信号的系数为 0。因为偶数阶的信号频率距离载波频率较远，所以对基带信号 $y(t)$ 的影响可以忽略不计。

严格无记忆功放的 AM/AM 相应曲线如图 2-7 所示^[1]

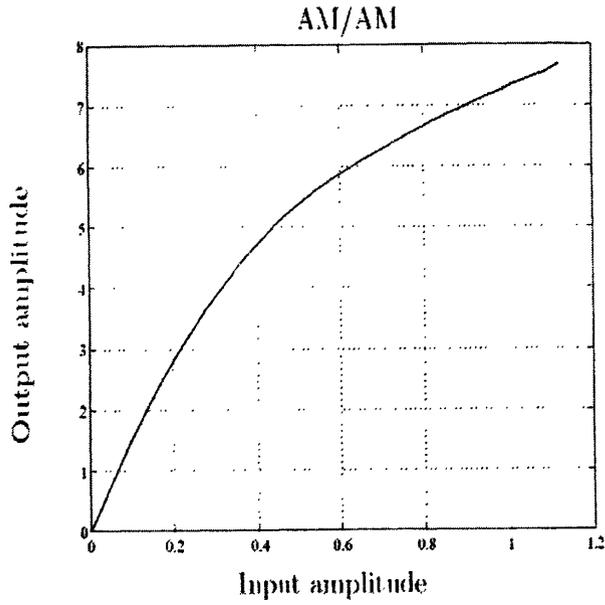


图 2-7 AB 类无记忆功放的 AM/AM 响应

2.3.2 拟无记忆模型

如果 \tilde{b}_k 是复系数，则称之为拟无记忆模型，在这种情况下，功放不仅会引入幅度畸变，还会引入相位畸变，图 2-8 为 AB 类拟无记忆功放的 AM/PM 响应^[1]。

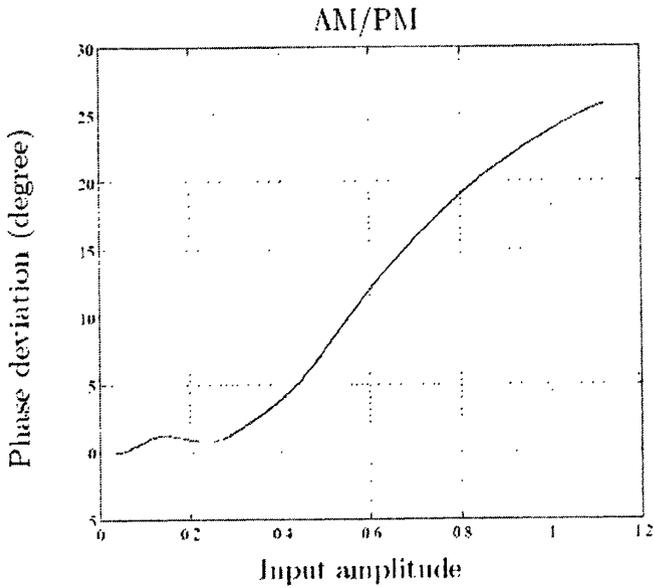


图 2-8 AB 类拟无记忆功放的 AM/PM 响应

2.3.3 有记忆模型

在宽带通信系统 WCDMA 中，功放通常是有记忆的。而伏特拉级数作为一个有记忆的非线性模型，不仅用在非线性的有记忆的功放建模中，也被用于预失真的设计中。其中最常用的模型当属记忆多项式模型，它是利用伏特拉级数的对角核来实现的，可以等效的看成是由一个非线性无记忆系统与一个线性非时变 (LTI) 系统串联而成如图 2-9 所示^[1]

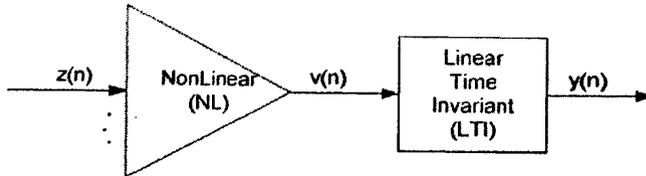


图 2-9 记忆多项式模型

非线性系统的传输函数为^[1]

$$v(n) = \sum_{\substack{k=1 \\ \text{odd}}}^K b_k z(n) |z(n)|^{k-1} \quad (2-4)$$

线性非时变系统的传输函数为^[1]

$$y(n) = \sum_{l=0}^{L-1} c_l v(n-l) \quad (2-5)$$

c_l 是 LTI 系统的单位冲击响应， b_k 为非线性系统的多项式的奇数阶系数。

将 (2-4) 代入 (2-5) 得^[1]

$$y(n) = \sum_{l=0}^{L-1} c_l \sum_{\substack{k=1 \\ \text{odd}}}^K b_k z(n-l) |z(n-l)|^{k-1} \quad (2-6)$$

本文主要对记忆多项式模型的 DPD 算法进行了较为详细的分析。从第三章的仿真结果可以看出，有记忆多项式的预失真结构是高效的，性能是优异的。

2.4 本章小结

WCDMA 系统属于宽带信号系统，功放的输出响应与输入信号的频率有关，此时功放可以看作是有记忆非线性变换系统，只能采用有记忆的功放模型。本文主要是围绕基于记忆多项式功放模型的 DPD 算法的研究展开。

第三章 记忆多项式 DPD 算法的性能仿真

3.1 数学原理

数字预失真技术究其本质就是在基带构造一个模拟功放的反特性的滤波器以补偿功放的非线性^[1]。由图 3-1 可知整个 DPD 的模块由预失真滤波处理和系数训练两个子模块构成，它们的结构是完全相同的，用最小二乘法不断调整预失真滤波器的抽头系数，直至收敛。

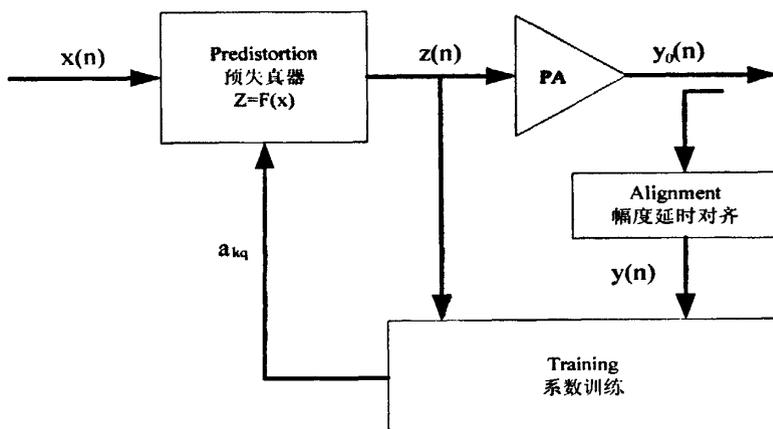


图 3-1 DPD 系统框图

对于功放模型我们采用上章介绍的记忆多项式模型，所以基于该模型的数字预失真器的数学表达式如等式 3-1 所示^[1]：

$$F[x(n)] = \sum_{k=1}^K \sum_{q=0}^Q a_{kq} x(n-q) |x(n-q)|^{k-1} \quad (3-1)$$

(3-1) 式中， $x(n)$ 和 $z(n)$ 分别为预畸变器的输入和输出； K 非线性阶数， Q 为最大延迟； a_{kq} 为预失真器的滤波器系数。

由于我们最终要将预失真器逼近到功放特性的反函数，即要使得

$$z = F(y) \quad (3-2)$$

代入等式 (3-1) 有

$$z(n) = \sum_{k=1}^K \sum_{q=0}^Q a_{kq} y(n-q) |y(n-q)|^{k-1} \quad (3-3)$$

我们定义^[1]

$$u_{kq} = y(n-q)|y(n-q)|^{k-1} \quad (3-4)$$

代入等式 (3-3) 有^[1]

$$z(n) = \sum_{k=1}^K \sum_{q=0}^Q a_{kq} u_{kq} \quad (3-5)$$

写成矩阵的形式即^[1]

$$Z = UA \quad (3-6)$$

图 3-2 为 $K=5, Q=2$ 对应的 U 矩阵形式

$$\begin{bmatrix}
 y_0|y_0^0 & y_0|y_0^1 & \cdots & y_0|y_0^{K-1} & 0 & 0 & \cdots & 0 & 0 & 0 & \cdots & 0 \\
 y_1|y_1^0 & y_1|y_1^1 & \cdots & y_1|y_1^{K-1} & y_1|y_1^0 & y_1|y_1^1 & \cdots & y_1|y_1^{K-1} & 0 & 0 & \cdots & 0 \\
 y_2|y_2^0 & y_2|y_2^1 & \cdots & y_2|y_2^{K-1} & y_2|y_2^0 & y_2|y_2^1 & \cdots & y_2|y_2^{K-1} & y_2|y_2^0 & y_2|y_2^1 & \cdots & y_2|y_2^{K-1} \\
 y_3|y_3^0 & y_3|y_3^1 & \cdots & y_3|y_3^{K-1} & y_3|y_3^0 & y_3|y_3^1 & \cdots & y_3|y_3^{K-1} & y_3|y_3^0 & y_3|y_3^1 & \cdots & y_3|y_3^{K-1} \\
 y_4|y_4^0 & y_4|y_4^1 & \cdots & y_4|y_4^{K-1} & y_4|y_4^0 & y_4|y_4^1 & \cdots & y_4|y_4^{K-1} & y_4|y_4^0 & y_4|y_4^1 & \cdots & y_4|y_4^{K-1} \\
 \vdots & \vdots \\
 \vdots & \vdots
 \end{bmatrix}_{L \times (Q+1)}$$

图 3-2 $K=5, Q=2$ 对应的 U 矩阵形式

系数 A 的矩阵形式为^[1]

$$A = (a_{00} \ a_{01} \ a_{02} \ \cdots \ a_{K-1, Q-1})^T$$

输出信号 Z 的矩阵形式为^[1]

$$Z = (z(0) \ z(1) \ z(2) \ \cdots \ z(L-1))^T$$

系数训练就是要求解等式 (3-6) 所表示的线性方程组, 方程个数即采样点的个数 L , 未知数的总数即系数的总数为 $K(Q+1)$ 。故可求其最小二乘解。将等式 (3-6) 两边乘上 U^T , 即可得^[1]

$$W = VA \quad (3-7)$$

其中

$$W = U^T Z$$

$$V = U^T U$$

最后用乔莱斯基分解求解方程组 (3-7) 即可得到系数 a_{kq} 。

3.2 仿真信源的构建

根据 3GPP 有关 WCDMA 物理层方面的协议，并且按照协议^[11, 12, 13]的 Test Model1 完成仿真信源的构建。Test Model1 规定了 64 个用户业务信道以及一些控制信道，且每个信道所占的功率如表 3-1 所示。

表 3-1 测试模式 1 中的信道组成

类型	信道数量	所占功率百分比(100%)	级数设定 (dB)	信道化码编号	时延偏置 ($\times 256T_{\text{chip}}$)
P-CCPCH + SCH	1	10	-10	1	0
P-CPICH	1	10	-10	0	0
PICH	1	1.6	-18	16	120
S-CCPCH 包括 PCH, (SF=256)	1	1.6	-18	3	0
DPCH (SF=128)	64	总共 76.8	见 25.141 协议表 6.2	见 25.141 协议表 6.2	见 25.141 协议表 6.2

信源产生过程中主要涉及到的物理层过程主要有串并变换，扩频，加扰，信道合并，脉冲成型，脉冲成型的输出是基带信号，通过载波调制可以得到多载波信号的信源，下面对这些物理层过程给出了详细的说明

1. 图 3-3 给出下行物理信道的扩频和加扰过程^[24]。由于 SCH 信道不需要扩频和加扰的过程，因此图 3-3 的结构并不适用于 SCH 信道。每个信道的数据串并变换为 I 路和 Q 路后，分别进行扩频（同一个扩频码）。然后 I 路和 Q 路信号相加，与扰码相乘得到信号 S。其中，不同的物理信道使用不同的信道化码，而同一个小区使用同一个扰码。

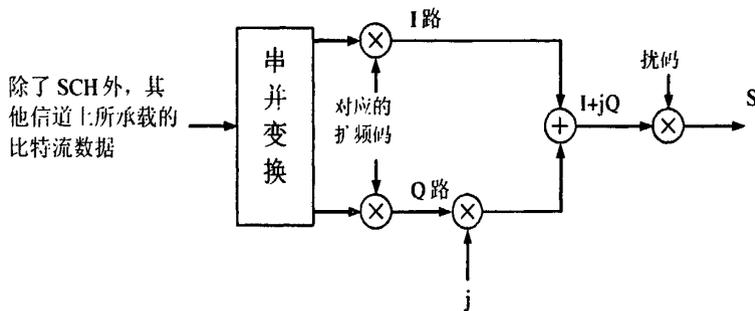


图 3-3 除了 SCH 外的下行物理信道的扩频和加扰

2. 将图 3-3 中 S 点的信号乘以其功率因子，并将所有的扩频和加扰后的信道相加。然后，将此和信号和同步信道相加得到信号 T，如图 3-4 所示^[14]。其中，

G_i 为不同信道的功率因子。其中 PSCH 和 SSCH 是码分多路的，即同时传输，且传输功率通过功率增益因子来调节。

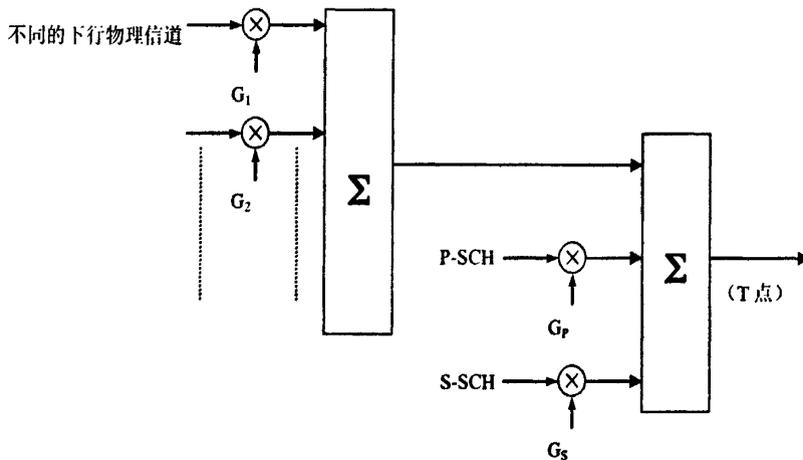


图 3-4 下行所有物理信道的叠加

3. 将图 3-4 中信号 T 的实部和虚部分别通过一个脉冲成型滤波器，如图 3-5 所示^[14]。在本设计中，此滤波器即为 128 阶的根号下升余弦 (RRC) 滤波器，其滚降因子为 0.22。图 3-5 最终的输出可以作为 WCDMA 仿真的单载波信源。

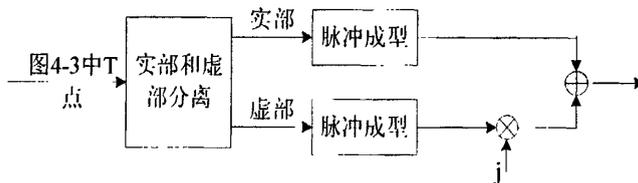


图 3-5 下行物理信道的调制

需要说明的是，为了便于仿真过程中解扰以及测试星座图指标，在生成信号源的时候，采用了固定的 0 号扰码。

为了得到系统仿真需要的两载波信源和三载波信源，只需对单载波信源做载波调制即可

3.3 浮点算法仿真方案

3.3.1 浮点仿真的平台框图

为了评估记忆多项式模型 DPD 浮点算法性能，我们在 MATLAB 的环境下建立了算法的浮点仿真平台，图 3-6 为算法的浮点仿真平台框图

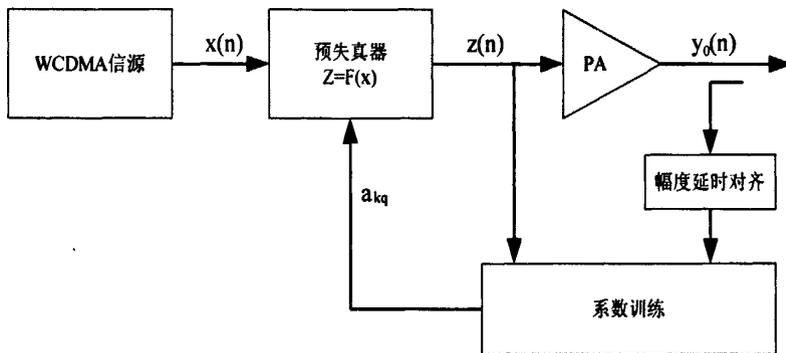


图 3-6 DPD 算法的浮点仿真平台框图

如图 3-6 所示，其中 $x(n)$ 为 WCDMA 浮点信号源，单载波信号带宽为 5MHz，两载波信号带宽为 10MHz，3 载波信号带宽为 15MHz。 $z(n)$ 为 DPD 的输出信号， $y(n)$ 为功放输出经过幅度和延时对齐后的信号。

相关说明

1. WCDMA 信源

根据 3.2 节描述，建立的 64 码道测试信号源（包括单载波，两载波，三载波），数据格式为浮点形式。

2. 功放模型

根据 WCDMA 实际数据的维纳拟合功放，其模型如式 (3-8) 所列^[1]。

$$y(n) = u_1(n) \cdot a(1) + u_2(n) \cdot a(3) \quad (3-8)$$

其中：

$$u_1(n) = x(n) + 0.5 \cdot x(n-2) \quad (3-9)$$

$$u_2(n) = u_1(n) |u_1(n)|^2 \quad (3-10)$$

$$a(1) = 1.0108 + j \cdot 0.0858 \quad (3-11)$$

$$a(3) = 0.0879 - j * 0.1583 \quad (3-12)$$

图 3-7 给出了信源经过维纳功放后 PSD 结果和直接用频谱仪直接采集相同信源数据送到实际功放输出的 PSD 结果，从中对比可以看出，式 (3-8) 所示的维纳功放很好的拟合了实际功放的特征。

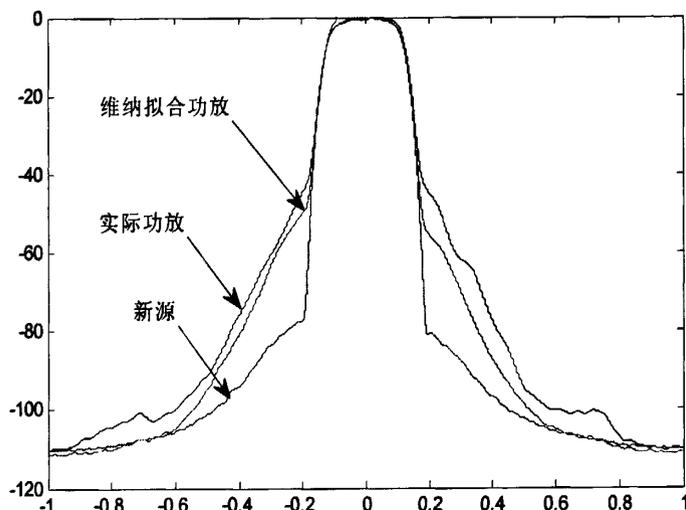


图 3-7 维纳功放拟合

3. DPD 算法

有记忆多项式 DPD 模型。

4. 测试指标

功率谱密度 (PSD)、星座图指标。PSD 是算法性能评估的最重要指标，但并不是唯一指标。因此还利用星座图的误差向量度量 (EVM) 值来对此算法的性能进行评价。仿真如下进行：

- (1) 首先从 PSD 指标入手，对算法进行评估，确定相关参数
- (2) 从星座图的 EVM 指标考虑，对第一步结果进行检验，如果满足要求，仿真完毕；否则，返回第一步重新确定。

3GPP TS 92.4 协议要求 WCDMA 设备的 EVM 值必须小于 17.5%。

3.3.2 浮点仿真步骤

在浮点仿真中，采用式 (3-1) 所示的 DPD 滤波器以及式 (3-2) ~式 (3-7) 所示的 DPD 训练算法进行 DPD 系统性能仿真。

1. 加载生成好的 WCDMA 浮点信源 $x(n)$ ，将功率归到 0.2784.
2. 计算信源 $x(n)$ 经过软件维纳功放模型的输出 $y(n)$
3. 将 $y(n)$ 的功率归到信源 $x(n)$ 的功率 0.2784 上
4. 系统初始状态为无 dpd 状态，即有 $z(n)=x(n)$ ，根据式 (3-1) ~式 (3-7)

计算矩阵 V 和 W

5. 根据矩阵 V 和 W 用乔莱斯基分解求解系数 A
6. 将系数 A 和信源 $x(n)$ 代入式 (3-1) 得到 DPD 滤波器的输出 $z(n)$
7. 将 DPD 滤波器的输出 $z(n)$ 经过软件维纳功放模型即得到最终加入 DPD 后的功放输出信号

通过步骤 1 可以得到纯净信源的 PSD 图。

通过步骤 2 可以得到系统没有 DPD，信源直接经过功放的信号的 PSD 图

通过步骤 7 可以得到系统加入 DPD 后，最终功放输出的信号的 PSD 图

后续的仿真截图中，将这三张图叠在一块显示，具有鲜明的对比效果。蓝线为纯净信源的 PSD 曲线；红线为系统没有 DPD，信源直接经过功放的信号的 PSD 图；黄线为系统加入 DPD 后第一次迭代后的功放输出的信号的 PSD 图；绿线为多次迭代后的功放输出的信号的 PSD 图。

3.3.3 浮点仿真结果

图 3-8 为 WCDMA 单载波浮点信源的星座图, 图 3-9 为 WCDMA 单载波浮点信源直接经过维纳功放后输出信号的星座图 (无 DPD)

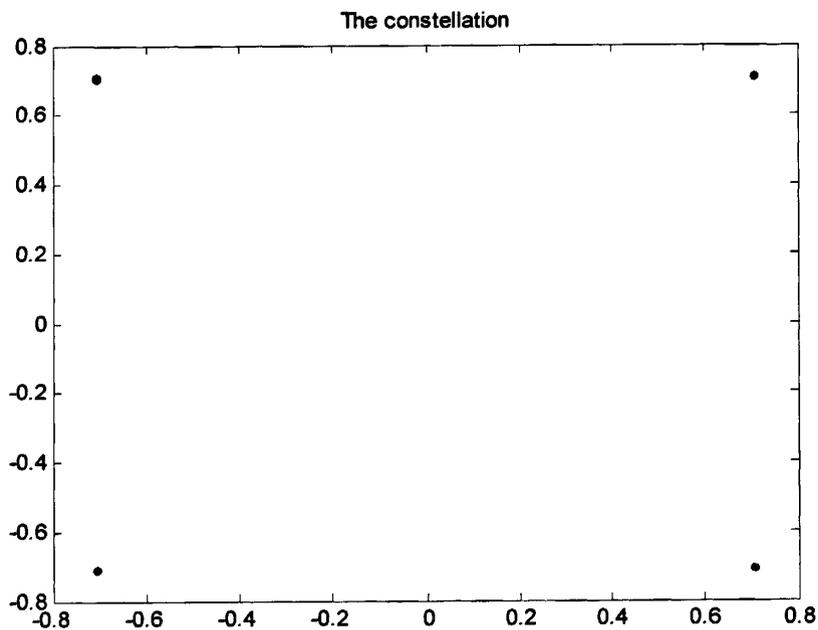


图 3-8 单载波信源的星座图 EVM=0.0176

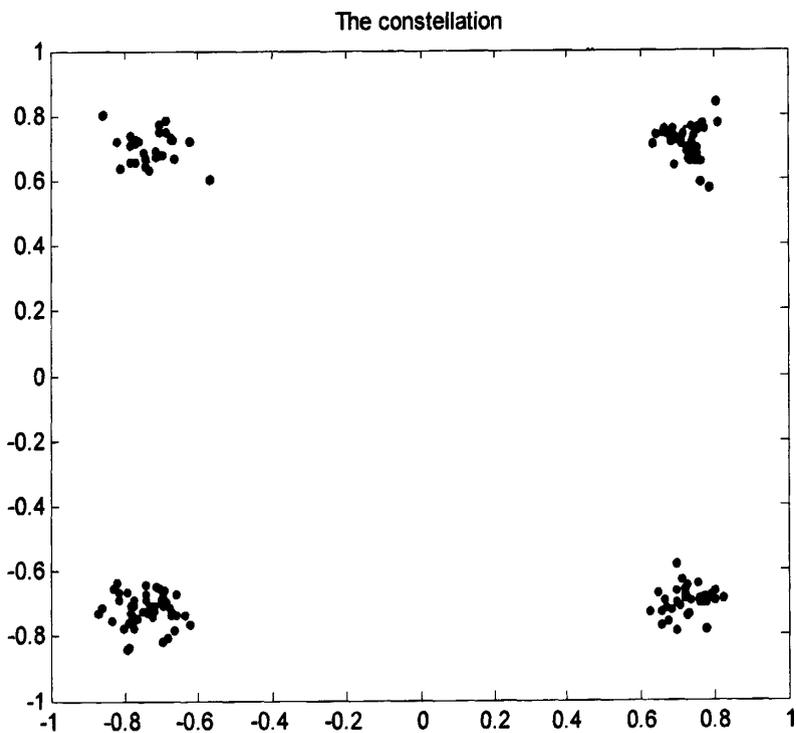


图 3-9 单载波信源直接经过功放的星座图 EVM=4.24

图 3-10 为 WCDMA 单载波浮点信源在各种情况下的 PSD 曲线。图 3-11 为 WCDMA 单载波浮点信源经过预失真模块后再经过维纳功放后输出信号的星座图 (有 DPD)

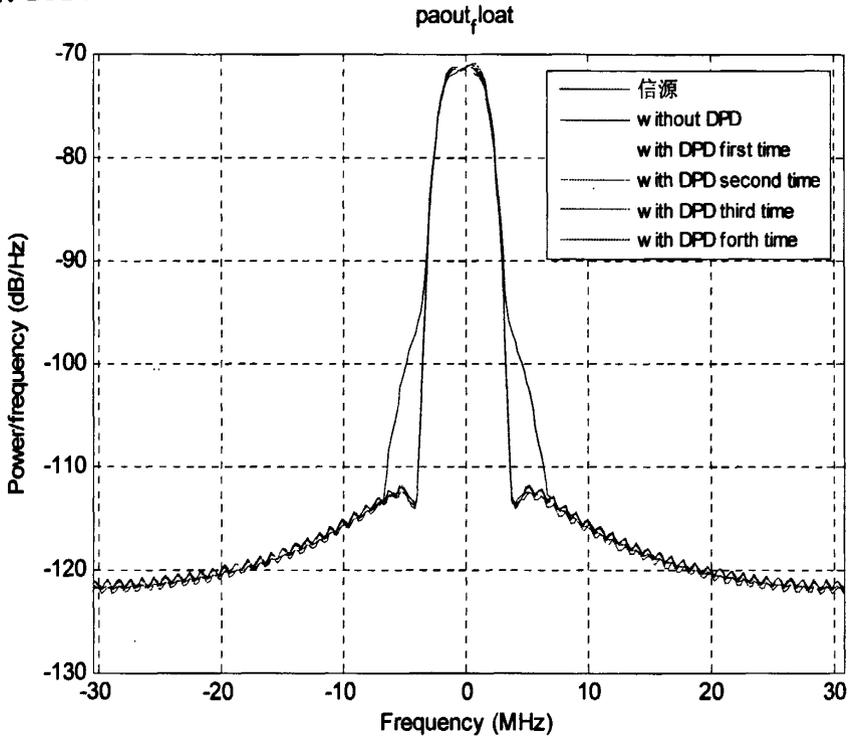


图 3-10 单载波 DPD 算法 ($K=5, Q=3$) 浮点仿真功率谱

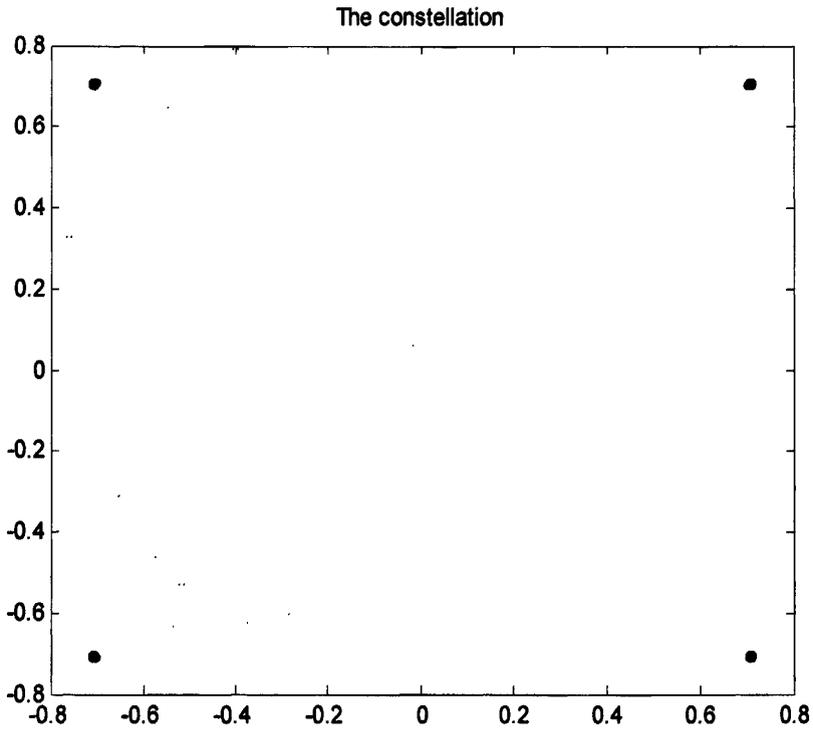


图 3-11 单载波信源经过预失真后在经过功放的星座图 EVM=0.0988

图 3-12 为 WCDMA 两载波浮点信源的星座图, 图 3-13 为 WCDMA 两载波浮点信源直接经过维纳功放后输出信号的星座图 (无 DPD)

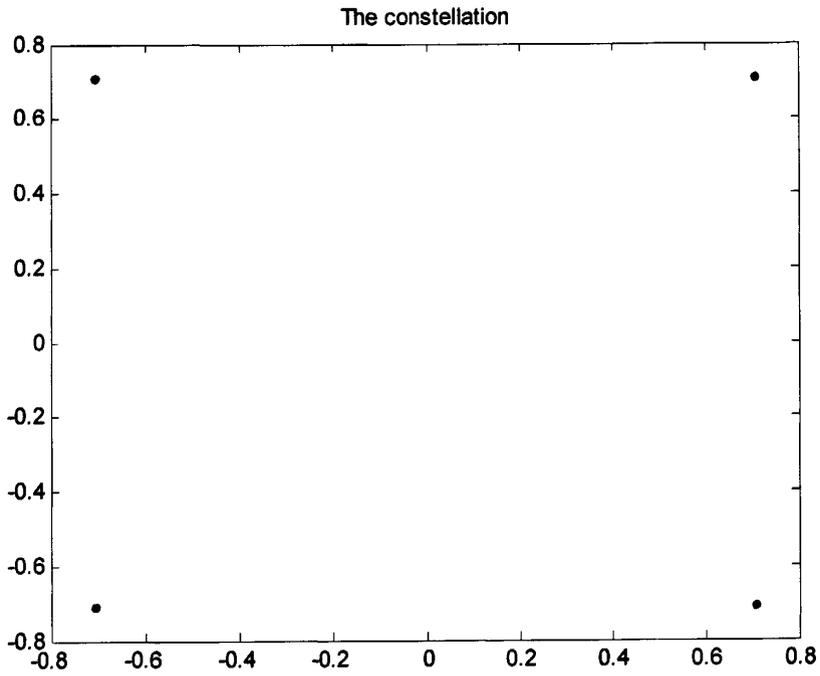


图 3-12 两载波信源的星座图 EVM=0.0184

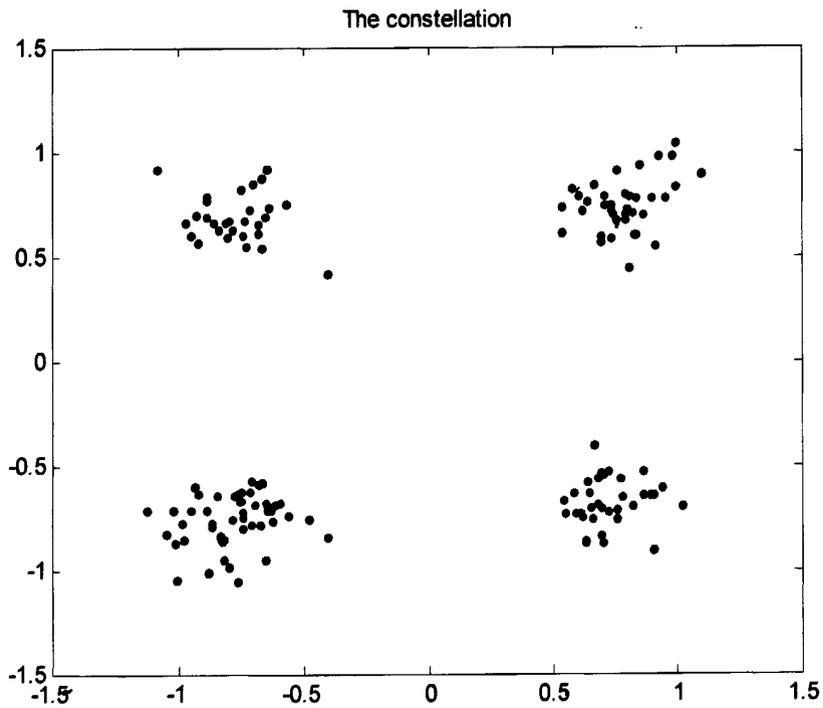


图 3-13 两载波信源直接经过功放的星座图 EVM=10.6022

图 3-14 为 WCDMA 两载波浮点信源在各种情况下的 PSD 曲线。图 3-15 为 WCDMA 两载波浮点信源经过预失真模块后再经过维纳功放后输出信号的星座图 (有 DPD)

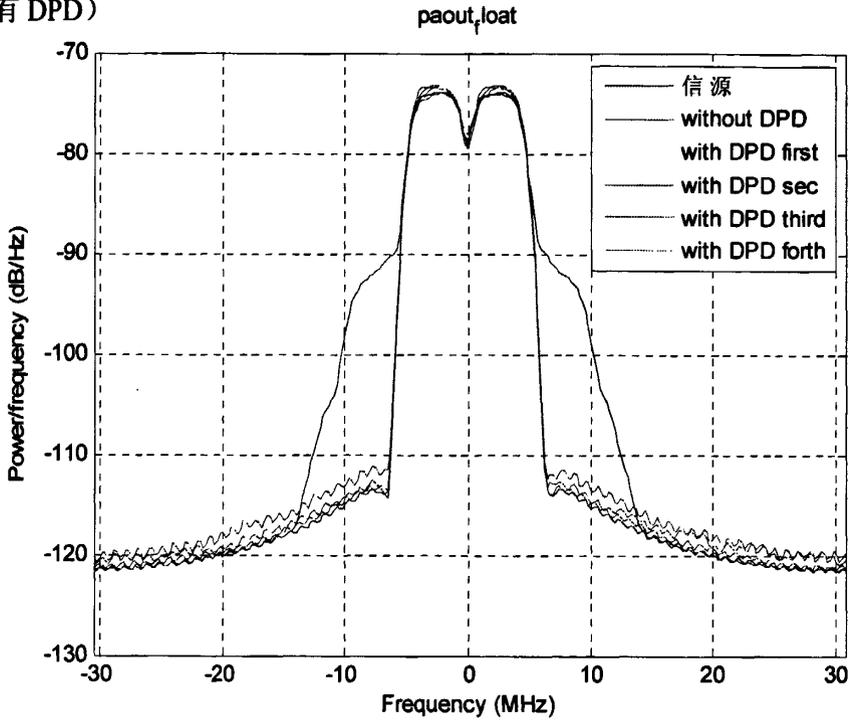


图 3-14 两载波 DPD 算法 (K=5, Q=3) 浮点仿真功率谱

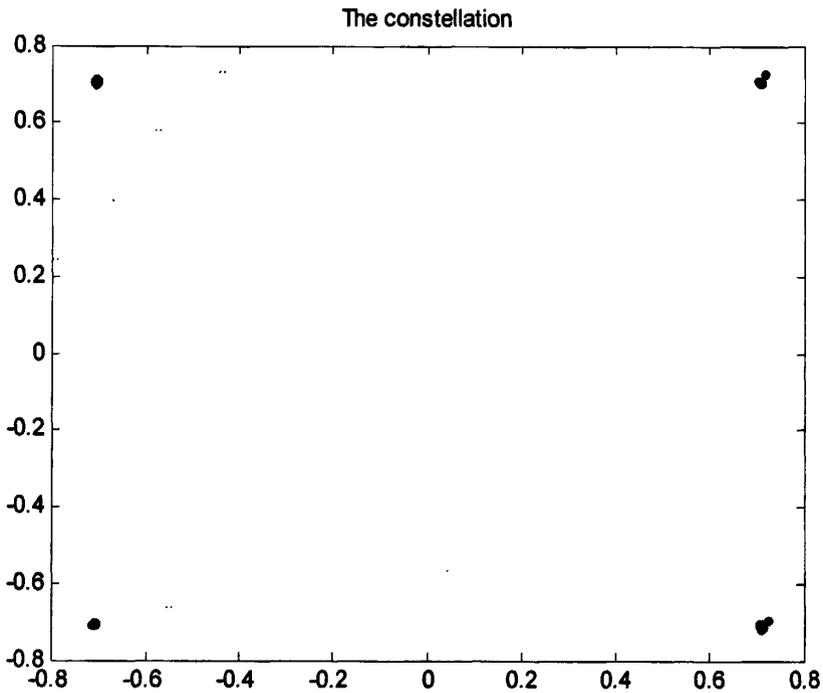


图 3-15 两载波信源经过预失真后在经过功放的星座图 EVM = 0.2856

图 3-16 为 WCDMA 三载波浮点信源的星座图, 图 3-17 为 WCDMA 三载波浮点信源直接经过维纳功放后输出信号的星座图 (无 DPD)

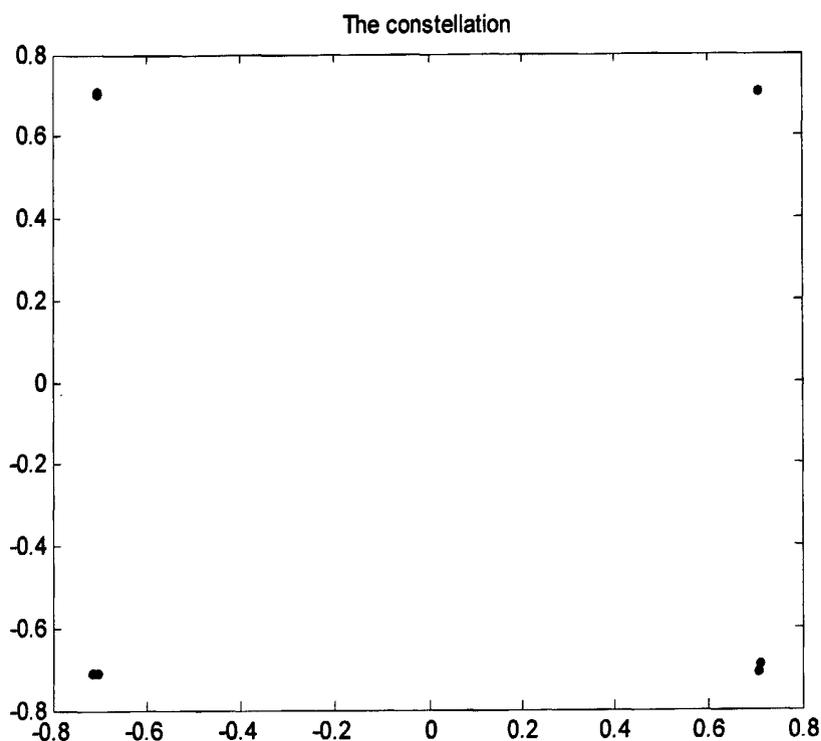


图 3-16 三载波信源的星座图 EVM=0.04

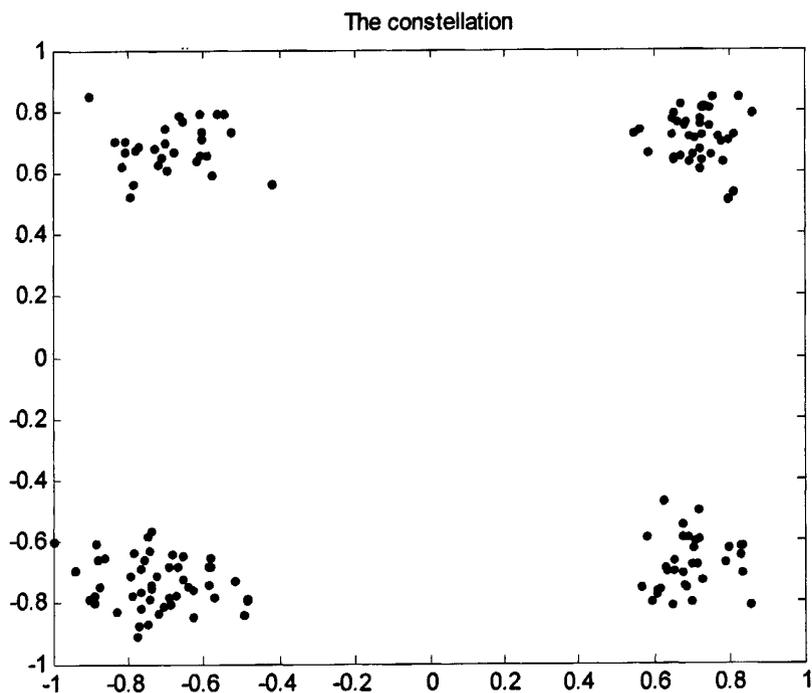


图 3-17 三载波信源直接经过功放的星座图 EVM=13.2187

图 3-18 为 WCDMA 三载波浮点信源在各种情况下的 PSD 曲线。图 3-19 为 WCDMA 三载波浮点信源经过预失真模块后再经过维纳功放后输出信号的星座图 (有 DPD)

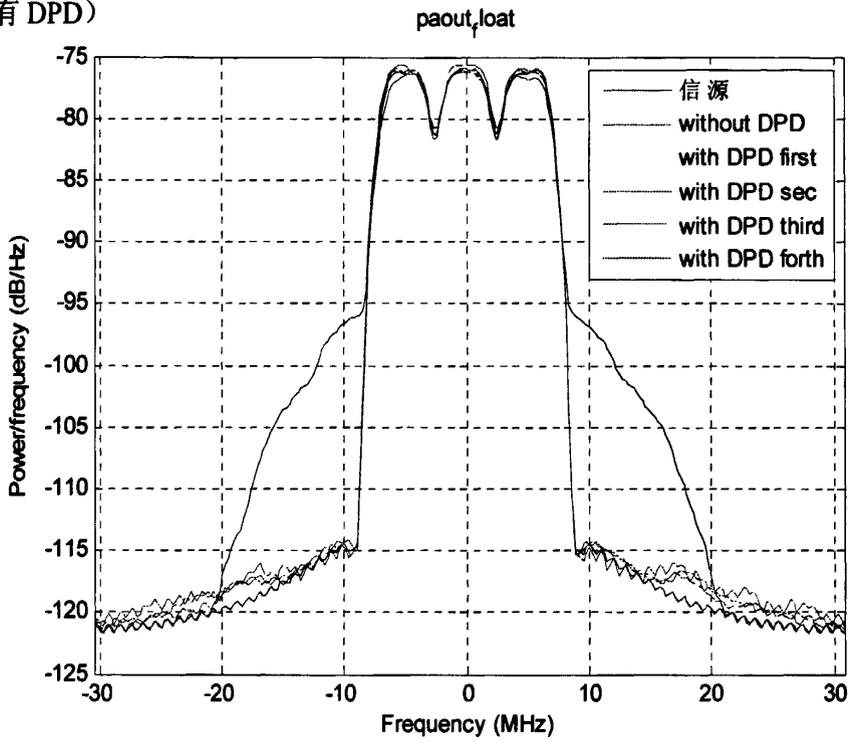


图 3-18 三载波 DPD 算法 (K=5, Q=3) 浮点仿真功率谱

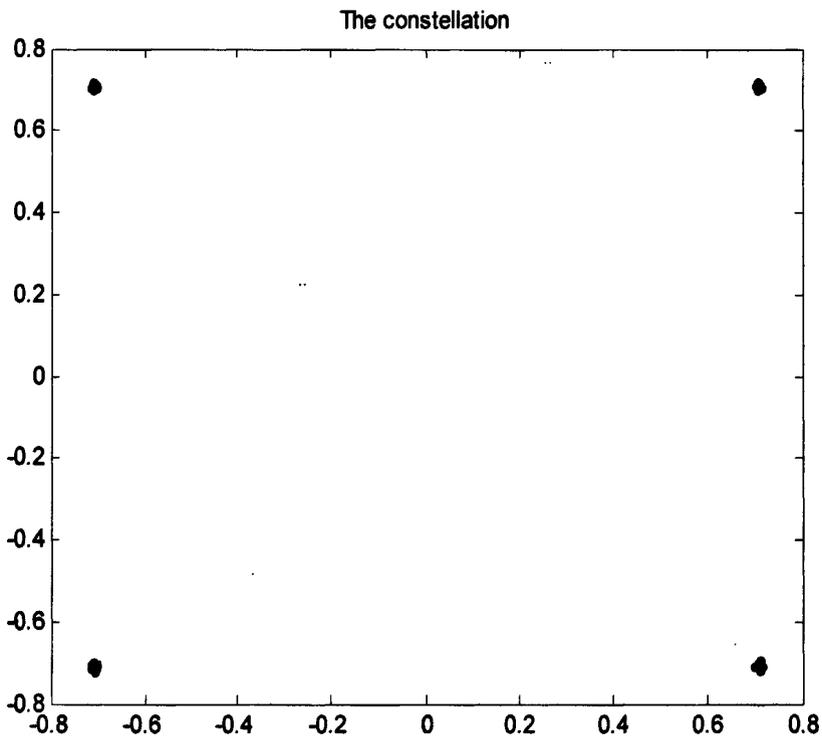


图 3-19 三载波信源经过预失真后在经过功放的星座图 EVM = 0.4142

3.3.4 浮点仿真结论

- ◆ 从 PSD 指标的改善来看，该算法的收敛速度很快，几乎两次迭代后就能将功放输出信号的 PSD 曲线收敛到标准 WCDMA 信源的 PSD 曲线上，ACPR 值的改善能达到将近 20db
- ◆ 从星座图指标来看，该算法对信号星座图的改善也是相当明显的，能将无 DPD 时功放输出信号的扭曲扩散的星座点收敛到接近 WCDMA 信源的标准 QPSK 星座点上，体现在 EVM 值的改善上，加入 DPD 后几乎将最终功放输出信号的 EVM 值逼近到 WCDMA 信源的 EVM 值。
- ◆ 对于不同载波数，算法性能基本一致，表明记忆多项式 DPD 算法具备强的宽带性，可以应用于其它宽带系统，如 WiMAX 以及 LTE 等。

3.4 DPD 定点算法仿真方案

3.4.1 定点仿真原理

用计算机处理或者硬件实现时，对数据不可能采用无限精度，必须经过量化处理，即用有限字长表示，这也是数字系统的一个特征。数字处理时数的表示有定点制和浮点制两种。在实时处理中定点制算法得到广泛的应用，因为它比浮点制算法实现的硬件更经济，运算速度更快，系统一般都基于定点运算来实现。

典型的有限字长效应表现为：输入信号量化误差、系数量化误差、乘积量化误差、避免加法器溢出对动态范围的要求以及精度的限制和加法器溢出引起的震荡。为了得到有限字长效应对 DPD 系统性能的影响，需要进行定点仿真。

用计算机处理或者硬件实现时，对数据不可能采用无限精度，必须经过量化处理，即用有限字长表示，这也是数字系统的一个特征^[16]。数字处理时数的表示有定点制和浮点制两种。在实时处理中定点制算法得到广泛的应用，因为它比浮点制算法实现的硬件更经济，运算速度更快，但浮点制算法可以得到更大的动态范围，并能改善处理精度。一个长度为 wl 的定点数可以写成图 3-20 示的形式。在 MATLAB 中，如果不加额外处理，最小分辨率为 $2.2204e-016$ 可以认为是浮点制的。

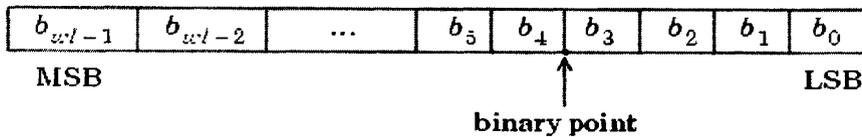


图 3-20 定点数量化原理

例如十进制：

$$x = \sum_{i=4}^{wl-1} b_i 2^{i-3} + \sum_{i=0}^3 b_i 2^{-3+i} \quad (3-13)$$

如上所示，在数字系统中每个数都是以二进制字表示的，也就是定点制。字是一种长度固定的二进制序列，其字长是最为重要的特征。当字长一定时，小数点的位置决定着一个字的特征。字的特征包括精度 (Smallest Resolvable Difference) 和动态范围 (Dynamic Range)，小数点右边的比特位越多，则分辨率越高。如果小数点右边有 n 个比特，则最小分辨率为：

$$\text{Smallest Resolvable Difference} = 2^{-n} \quad (3-14)$$

$$\text{Dynamic Range} = 20 \log \frac{\text{Full Scale Range}}{\text{Smallest Resolvable Difference}} \quad (3-15)$$

当然，对于固定字长的字，根据小数点位置的不同，可以有很多种组合，统

写成 $a.b$ 的形式, $a+b$ =字长。

定点数有符号数和无符号数两种类型。本方案采用有符号数。也就是左边的第一位是符号位, ‘1’ 表示负数, ‘0’ 表示非负数。

一旦定点制实现中的寄存器长度给定, 寄存器表示的数就已经固定, 任何一个数要存进寄存器就必须量化, 方法是: 首先将寄存器中容纳不下的所有位截断; 再将数舍入成寄存器可以表示的数。

显然, 如果数 x 被量化, 则将引入误差 e , 由式 (3-16) 给出:

$$e = Q[x] - x \quad (3-16)$$

其中, $Q[x]$ 表示 x 的量化值, 代表 x 经截尾或舍入后的值。E 的大小取决于数的表示形式以及量化方法。所以只要给定精度, 然后转化成二进制数就可以了, 所以 $Q[x]$ 是一个可以被二进制精确表示的数。在 MATLAB 中, 我们用 `quantizer` 和 `quantize` 两个函数完成上述工作。

3.4.2 定点仿真平台说明

定点仿真的平台框图同浮点仿真的平台框图, 即图 3-6。

唯一不同的是信源是将浮点仿真的信号源进行 16 比特量化得到。量化方式采用均匀量化法。按照实际硬件的可承受位宽, 输入数据和输出数据全部量化为 16 比特, 中间计算结果, 可适当根据对性能的影响进行扩位, 需要量化字长和系统性能二者之间找到一个合适的平衡点。这也是定点仿真的主要任务之一。

功放模型仍然和浮点仿真采用同样的功放, 但是 DPD 滤波器的输出定点数据送到功放之前进行了功率归一化处理。

DPD 算法还是采用记忆多项式模型

测试指标同浮点仿真, 主要测试功率谱密度 (PSD) 和星座图的 EVM 指标。

3.4.3 DPD 定点算法的关键操作

DPD 滤波器的原理模型仍然是式 (3-1) 和图 3-1, 在硬件实现中, 主要要注意下列三类定点操作:

(1) 乘法器的定点截取操作

两个 N 比特的数据相乘会产生 $2N$ 比特的计算结果, 而在计算中为了便于存储和节省硬件资源, 需要将 $2N$ 比特的数据重新截为 N 比特。如果截取高 N 比特, 不需要进行饱和处理, 否则需要完成饱和处理, 即判断从最高位开始到所截取位之间的比特是否都是符号位, 如果是的话, 说明没有溢出, 否则需要将其饱和和相应的最大值和最小值。如何确定每个乘法器的截位规则是定点仿真需要考虑的。

(2) 加法器的定点仿真操作

两个 N 比特的数据相加会产生 $N+1$ 比特的计算结果, 而在计算中为了便于存储和节省硬件资源, 需要将 $N+1$ 比特的数据重新截为 N 比特。对于加法截位只有两个选择, 要么高 N 位, 要么低 N 位, 对于低 N 位, 也需要考虑饱和处理。如何确定加法器的截位规则, 也是定点仿真需要考虑的。

(3) 求平方根的截位操作

在 DPD 滤波过程中, 需要计算输入数据的模, 需要求取输入数据的平方根, 则考虑到求取平方根的输入数据位宽以及输出位宽。在本设计中, 利用 CORDIC 算法来计算平方根, 具体实现将在第四章进行讨论。

上述定点方案都需要在定点仿真过程中完成, 目的就是得到其中某一算法模块中的乘法器、加法器、其余常用算法中间计算结果和输出数据的截位, 为硬件程序 (Verilog HDL/VHDL) 的编写提供依据。

在 DPD 系统的定点仿真中, 我们假定 DPD 滤波器的输入定点数据只有 14 比特的动态范围, 即 $-8192 \sim 8191$, 因为实际 AD6655 芯片的输出动态范围也只有 14bit, 即我们的 dpd 定点仿真是基于 14bit 的量化精度, 定点仿真与浮点仿真最大的不同就是, 需要考虑到数字信号处理中的有限字长效应, 即在运算的中间过程中要做相应的截位, 而在 DPD 定点滤波器中最关键的截位就是计算信号的各次方以及各阶多项式时的截位, 由于我们已假定输入信号的动态范围只有 14bit, 即我们选择 $8192=2^{13}$ 作为截位增益, 具体在计算 dpd 输入信号的各次方和各次多项式的时候我们都是按照 8192 作为截位增益进行截位

对于训练支路, 大体上与浮点仿真一样, 唯一不同的就是要先将功放后的定点数据量化到 $0 \sim 1$ 之间, 即除以 8192 即可, 之后的运算同浮点仿真

3.4.4 DPD 定点算法的仿真步骤

1. 加载生成好的 WCDMA 定点信源 $x(n)$ ，做 14bit 均匀量化。

2. 计算定点信源 $x(n)$ 经过软件维纳功放模型的输出，此时要注意要先将定点信源量化到 0~1 之间，在送入软件维纳功放模型，之后再乘以量化的因子才是最后的输出，matlab 伪码如下所示：

```
main_data_float=main_data_fix/8192;
```

```
feed_data_fix=8192*pa(main_data_float);
```

3. 将 feed_data_fix 的功率归到 main_data_float 的功率上,matlab 伪码如下所示：

```
p_m=var(main_data_fix);
```

```
p_f=var(feed_data_fix);
```

```
y_fix= feed_data_fix *sqrt(p_m/p_f);
```

4. 将 y_{fix} 量化到 0~1 之间，即除以 8192

5. 系统初始状态为无 dpd 状态，即有 $z(n)=x(n)$ ，根据式 (3-1) ~式 (3-7) 计算矩阵 V 和 W

6. 根据矩阵 V 和 W 用乔莱斯基分解求解系数 A

7. 将系数 A 和定点信源 $x(n)$ 代入式 (3-1)，并且根据上节说明的截位信息进行相应的截位即得到 DPD 滤波器的输出 $z(n)$

8. 将 DPD 滤波器的输出 $z(n)$ 经过软件维纳功放模型即得到最终加入 DPD 后的功放输出信号，这里处理同 2

通过步骤 1 可以得到标准 WCDMA 定点信源的 PSD 图。

通过步骤 2 可以得到系统没有 DPD，标准 WCDMA 定点信源直接经过功放的信号的 PSD 图

通过步骤 8 可以得到系统加入 DPD 后，最终功放输出的信号的 PSD 图

后续的仿真截图中，将这三张图叠在一块显示，具有鲜明的对比效果。蓝线为纯净信源的 PSD 曲线；红线为系统没有 DPD，信源直接经过功放的信号的 PSD 图；黄线为系统加入 DPD 后第一次迭代后的功放输出的信号的 PSD 图；绿线为多次迭代后的功放输出的信号的 PSD 图。

3.4.5 DPD 定点算法的仿真结果

图 3-21 为 WCDMA 单载波定点信源的星座图, 图 3-22 为 WCDMA 单载波定点信源直接经过维纳功放后输出信号的星座图 (无 DPD)

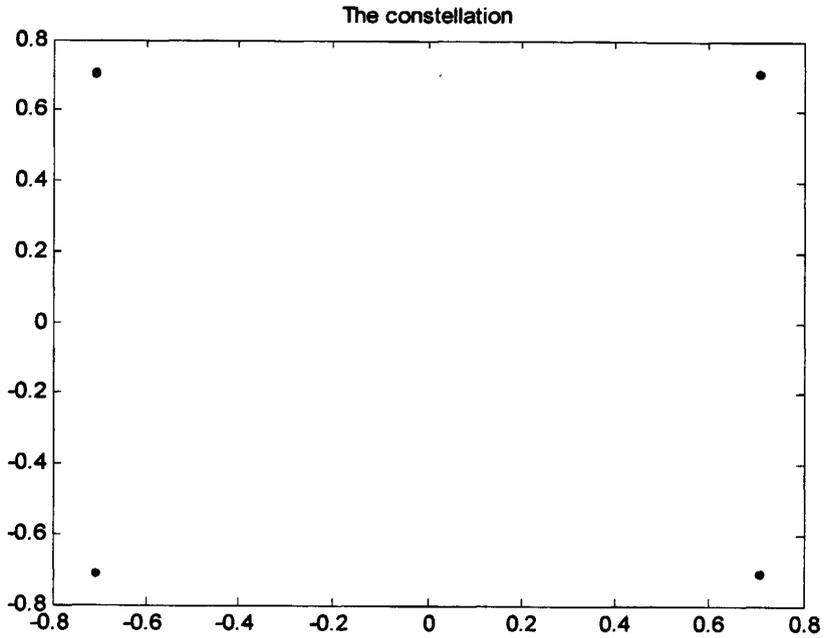


图 3-21 单载波定点信源的星座图 EVM=0.0177

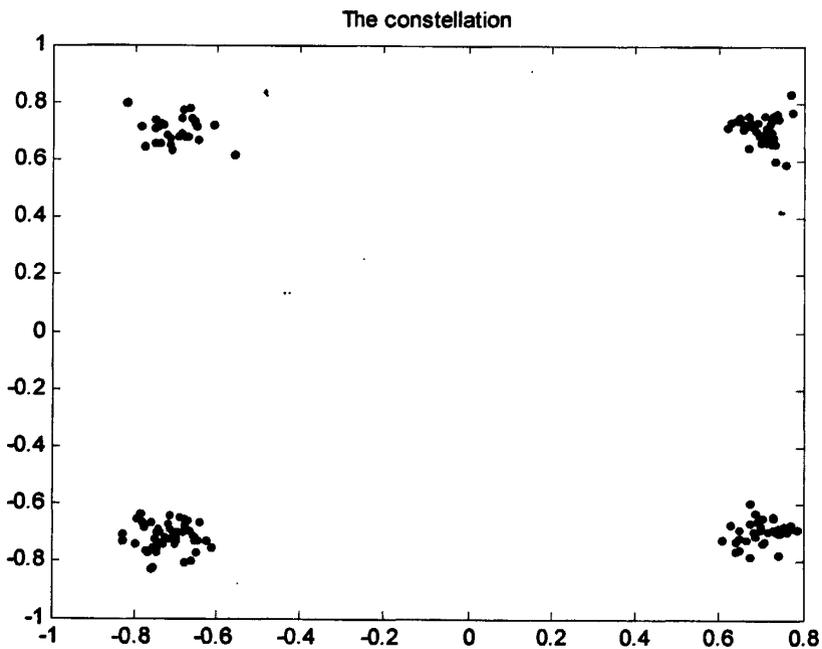


图 3-22 单载波定点信源直接经过功放的星座图 EVM=6.7267

图 3-23 为 WCDMA 单载波定点信源在各种情况下的 PSD 曲线。图 3-24 为 WCDMA 单载波定点信源经过预失真模块后再经过维纳功放后输出信号的星座图 (有 DPD)

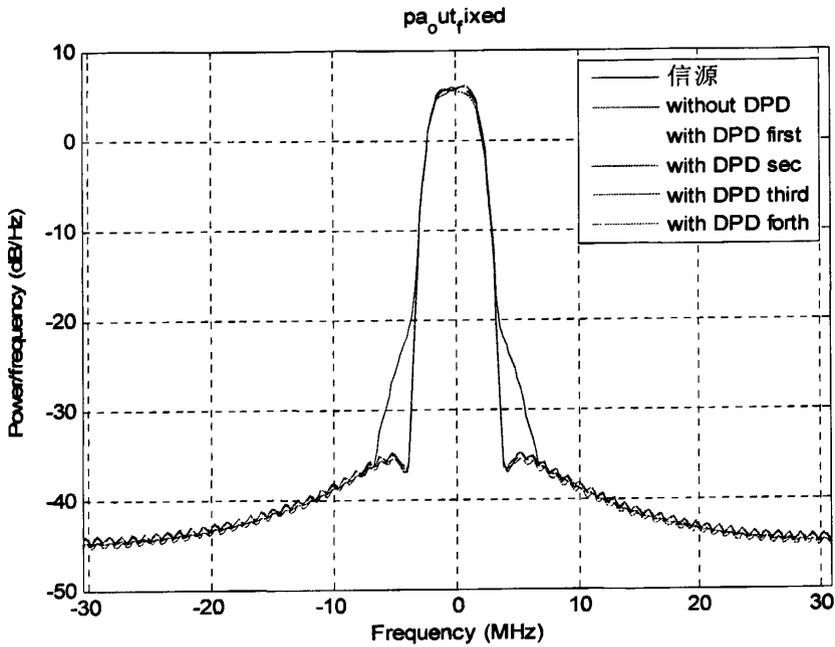


图 3-23 单载波 DPD 算法 (K=5, Q=3) 定点仿真功率谱

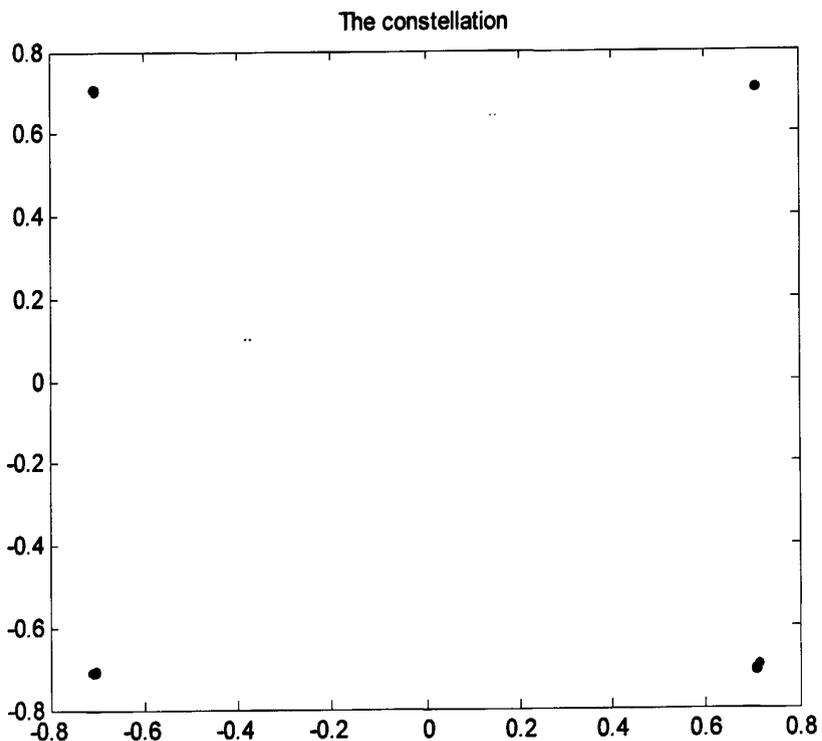


图 3-24 单载波定点信源经过预失真后在经过功放的星座图 EVM=0.0638

图 3-25 为 WCDMA 两载波定点信源的星座图, 图 3-26 为 WCDMA 两载波定点信源直接经过维纳功放后输出信号的星座图 (无 DPD)

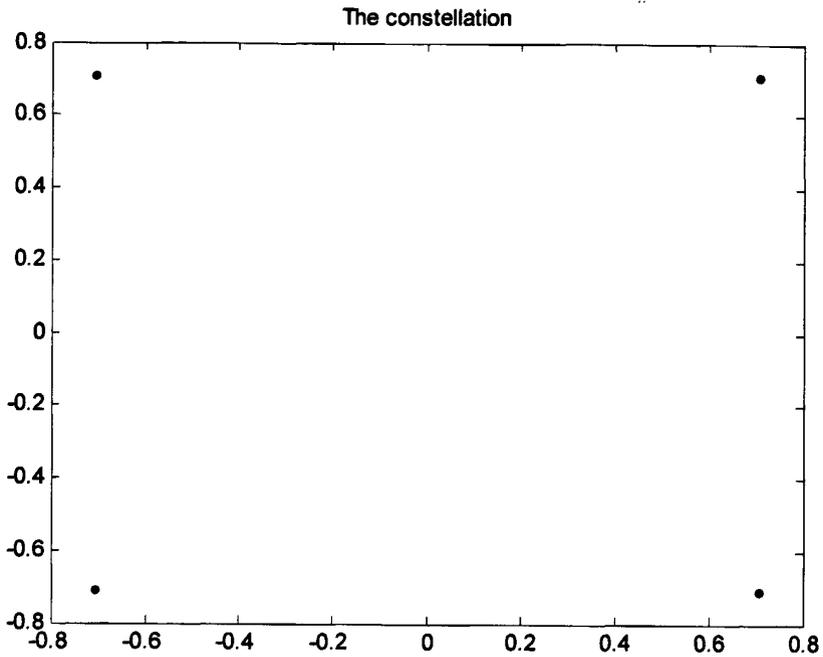


图 3-25 两载波定点信源的星座图 EVM=0.0186

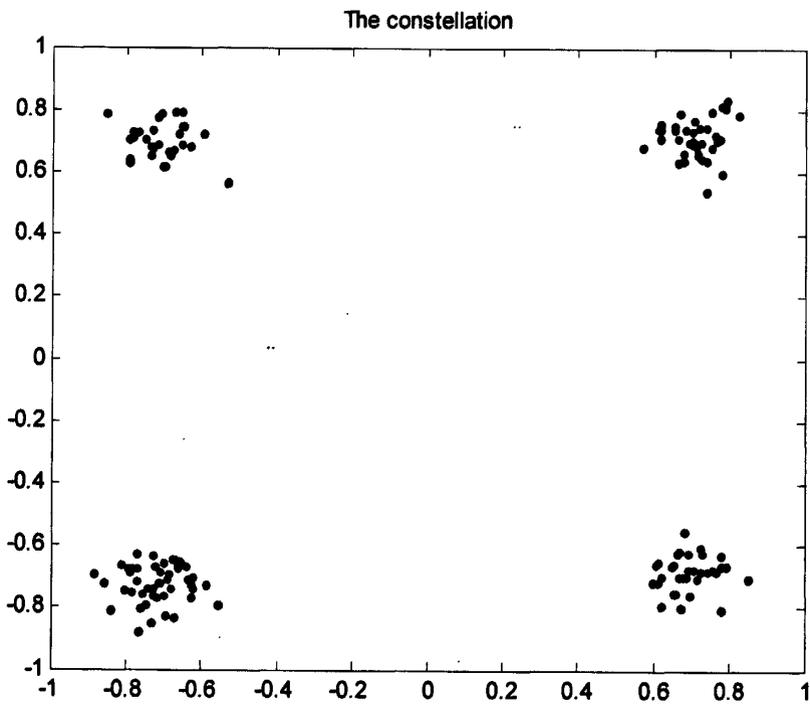


图 3-26 两载波定点信源直接经过功放的星座图 EVM=8.9530

图 3-27 为 WCDMA 两载波定点信源在各种情况下的 PSD 曲线。图 3-28 为 WCDMA 两载波定点信源经过预失真模块后再经过维纳功放后输出信号的星座图 (有 DPD)

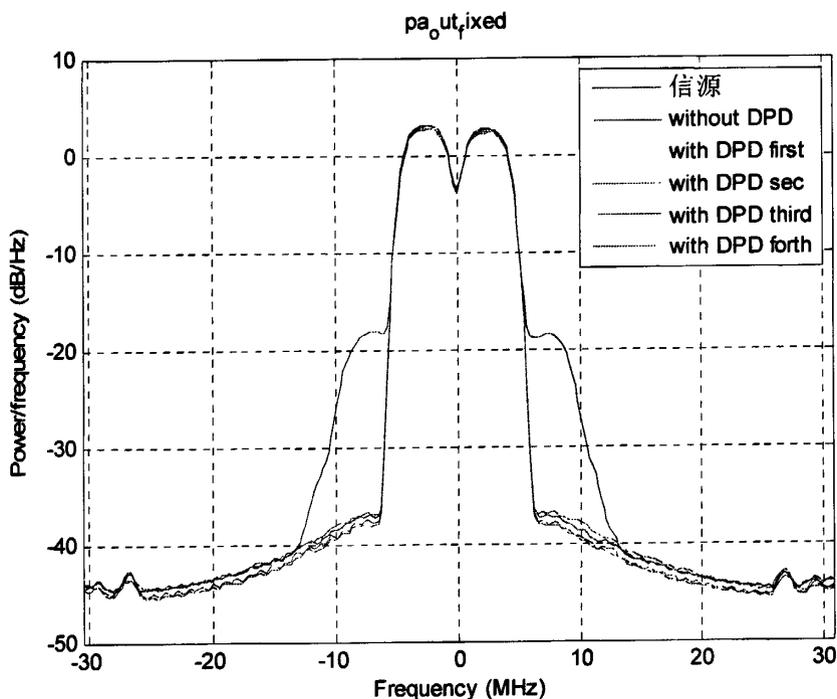


图 3-27 两载波 DPD 算法 (K=5, Q=3) 定点仿真功率谱

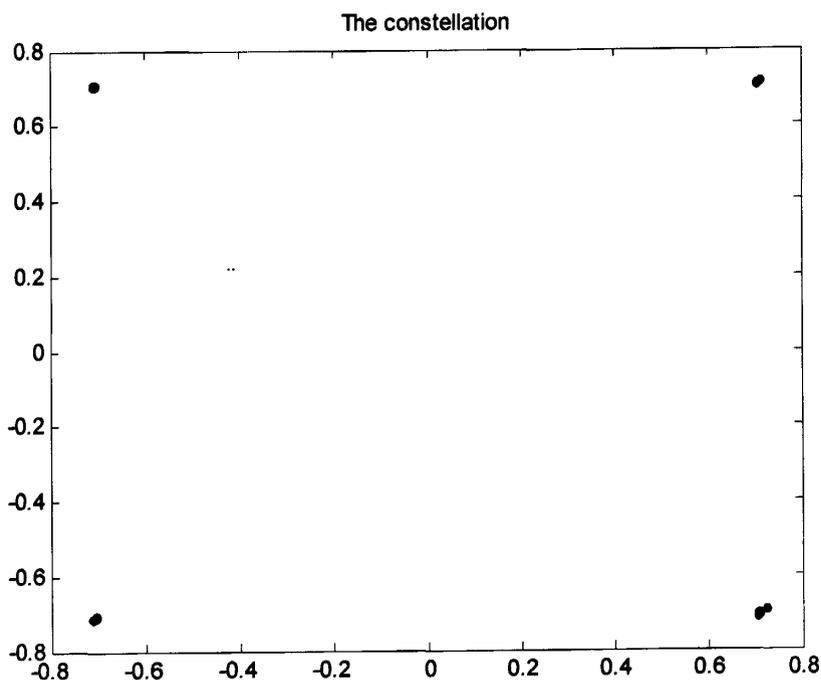


图 3-28 两载波定点信源经过预失真后在经过功放的星座图 EVM=0.1554

图 3-29 为 WCDMA 三载波定点信源的星座图, 图 3-30 为 WCDMA 三载波定点信源直接经过维纳功放后输出信号的星座图 (无 DPD)

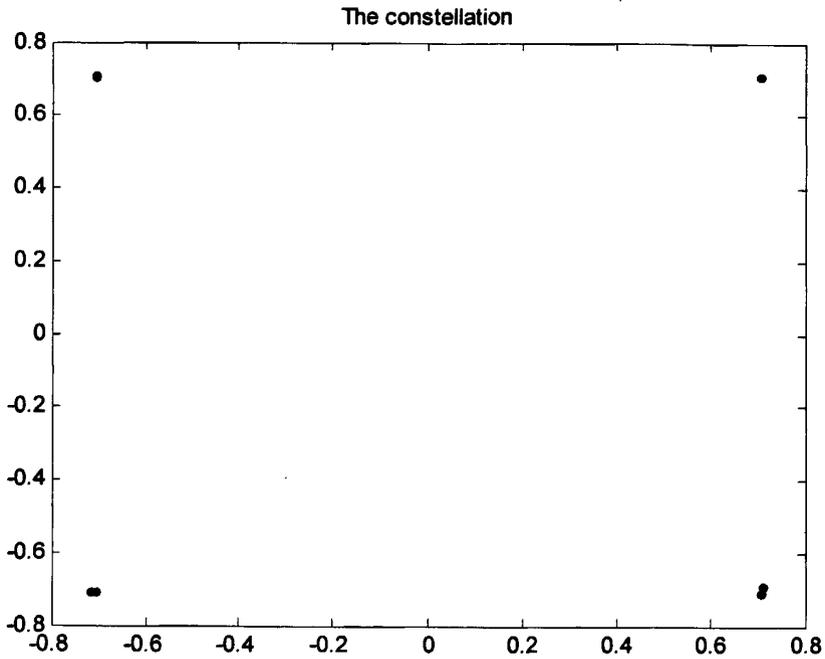


图 3-1 三载波定点信源的星座图 EVM=0.042

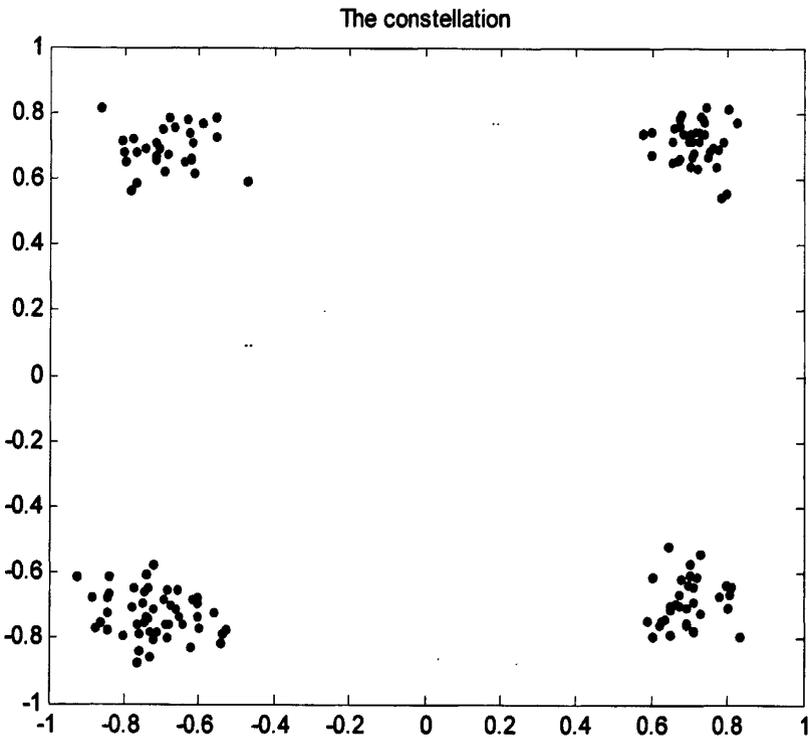


图 3-2 三载波定点信源直接经过功放的星座图 EVM=10.7814

图 3-31 为 WCDMA 三载波定点信源在各种情况下的 PSD 曲线。图 3-32 为 WCDMA 三载波定点信源经过预失真模块后再经过维纳功放后输出信号的星座图 (有 DPD)

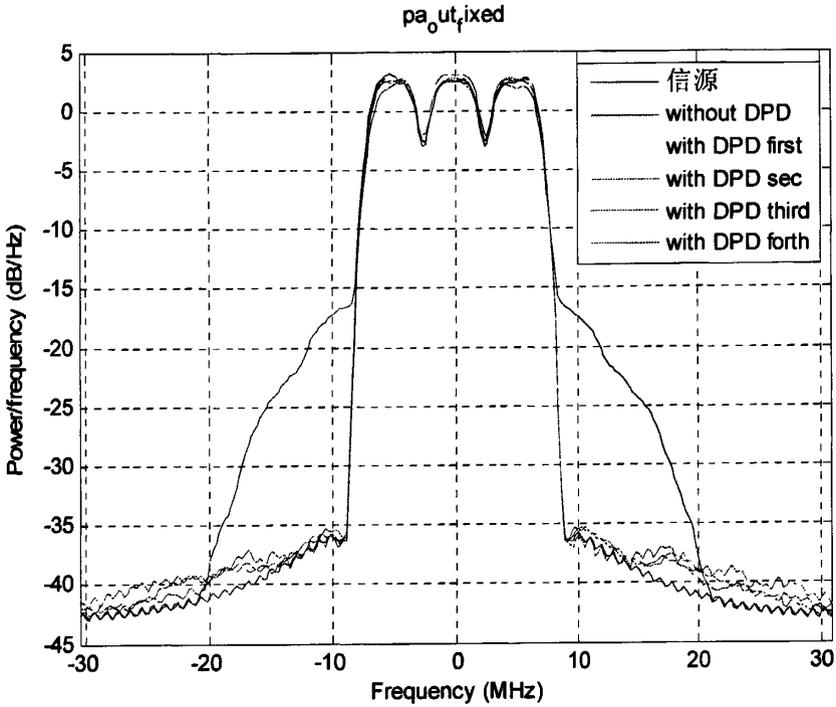


图 3-3 三载波 DPD 算法 ($K=5, Q=3$) 定点仿真功率谱

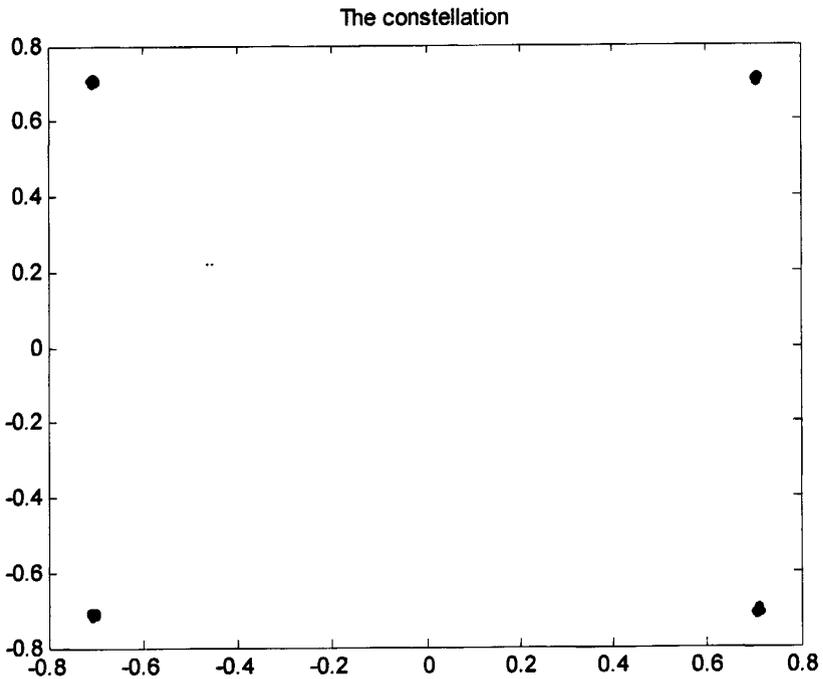


图 3-4 三载波定点信源经过预失真后在经过功放的星座图 EVM=0.3669

3.4.6 DPD 定点算法的仿真结论

- 不管是从 PSD 指标来看还是从星座图指标来看, 仿真结果都表明, 依照目前量化精度 (14bit) 的定点算法的性能和浮点算法的性能差距较小, 基本一致, 表明多项式 DPD 算法具备良好的实际应用价值。
- 从 PSD 指标来看, 仿真结果 PSD 图表明依照目前量化精度的 dpd 定点算法对功放输出信号的 ACPR 值改善也能达到 20dB 以上, 多次迭代后能其 PSD 曲线能收敛到信源的 PSD 曲线, 即能收敛到信源的 ACPR 值。
- 从星座图指标来看, 加入预失真后, 星座图有明显改善, 使得模糊的 QPSK 信号星座图上的数据点收敛到接近信源的星座点。这依然是预失真改善功放的非线性特性, 消除码间干扰所带来的好处。
- 由于 DPD 算法良好的自适应训练特性, 对算法运算的定点量化要求不高, 14bits 已经可以满足要求。从而为前端 AD 器件的选取提供了很好的指导性。
- 由于我们的定点仿真是为硬件实现提供设计依据的, 即我们要在资源和性能中取折中, 目前的记忆多项式 DPD 算法的 K,Q 值是可以变化的, 从对 K,Q 遍历取值仿真中可以得到当 $K>5$ 或 $Q>5$ 时对 PSD 指标和 EVM 指标的改善几乎是可以忽略不计了, 在 Q 从 2 到 5 取值中, $Q=3$ 是一个明显的拐点, 从资源和性能的综合指标出发, 我们最终选择 $K=5, Q=3$ 的 DPD 定点算法作为最终的硬件实现的设计输入。

3.5 本章小结

本章主要阐述了记忆多项式 DPD 算法的数学原理, 并且完成了算法的浮点仿真和定点仿真, 给出了相应的仿真结果。从算法上验证了 DPD 算法的性能。尤其是算法的定点仿真, 不仅验证了记忆多项式 DPD 算法的可实现性, 还为硬件系统的设计和实现提供必备的理论参考。

第四章 DPD 系统的硬件解决方案

4.1 硬件平台关键芯片简介

4.1.1 FPGA 芯片

一：FPGA 芯片简介

FPGA 是在 PAL、GAL、EPLD、CPLD 等可编程器件的基础上进一步发展的产物。它是作为 ASIC 领域中的一种半定制电路而出现的，即解决了定制电路的不足，又克服了原有可编程器件门电路有限的缺点。

FPGA 是一类高集成度的可编程逻辑器件，起源于美国的 Xilinx 公司，该公司于 1985 年推出了世界上第一块 FPGA 芯片。在这二十年的发展过程中，FPGA 的硬件体系结构和软件开发工具都在不断的完善，日趋成熟。从最初的 1200 个可用门，90 年代时几十万个可用门，发展到目前数百万门至上千万门的单片 FPGA 芯片，Xilinx、Altera 等世界顶级厂商已经将 FPGA 器件的集成度提高到一个新的水平。FPGA 结合了微电子技术、电路技术、EDA 技术，使设计者可以集中精力进行所需逻辑功能的设计，缩短设计周期，提高设计质量。

典型的 FPGA 通常包含三类基本资源：可编程逻辑功能块、可编程输入/输出块和可编程互连资源。可编程逻辑功能块是实现用户功能的基本单元，多个逻辑功能块通常规则地排成一个阵列结构，分布于整个芯片；可编程输入/输出块完成芯片内部逻辑与外部管脚之间的接口，围绕在逻辑单元阵列四周；可编程内部互连资源包括各种长度的连线线段和一些可编程连接开关，它们将各个可编程逻辑块或输入/输出块连接起来，构成特定功能的电路。用户可以通过编程决定每个单元的功能以及它们的互连关系，从而实现所需的逻辑功能。不同厂家或不同型号的 FPGA，在可编程逻辑块的内部结构、规模、内部互连的结构等方面经常存在较大的差异。

除了上述构成 FPGA 基本结构的三种资源以外，随着工艺的进步和应用系统需求的发展，一般在 FPGA 中还可能包含以下可选资源：存储器资源（块 RAM、分布式 RAM）、数字时钟管理单元（分频/倍频、数字延迟、时钟锁定）、算数运算单元（高速硬件乘法器、乘加器）、多电平标准兼容的 I/O 接口、高速串行 I/O 接口、特殊功能模块（以太网 MAC 等硬 IP 核）、微处理器（PowerPC405 等硬处理器 IP 核）。

目前绝大部分 FPGA 都采用查找表（Look Up Table, LUT）技术，如 Altera

的 ACEX、APEX、Cyclone、Stratix 系列，Xilinx 的 Spartan、Virtex 系列等。这些 FPGA 中的最基本逻辑单元都是由 LUT 和触发器组成的。查找表简称为 LUT，本质上就是一个 RAM。目前 FPGA 中多使用 4 输入的 LUT，所以每一个 LUT 可以看成是一个有 4 位地址线的 16x1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路以后，FPGA 开发软件会自动计算逻辑电路的所有可能的结果，并把结果事先写入 RAM。这样，每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出该地址对应的内容，然后输出即可。

传统的观点认为 FPGA 用来创建原型比较好，但是应用于大规模的数字系统开发就过于昂贵而且功耗过大。数字信号处理器（DSP）从根本上讲是适合串行算法的，多处理器系统是很昂贵的，而且只适合粗粒度的并行运算；FPGA 可以在片内实现细粒度，高度并行的运算结构。FPGA 和 DSP 两者各有所长。实现时，一般的配合是 DSP 做主处理器，利用 FPGA 的高并行度和可重配置做 FFT、FIR 等等协处理器。

目前，这一不足已有了明显改善，FPGA 在成本和功耗上已经超越了 DSP。例如 Xilinx 公司的 Spartan-3A DSP 系列，它移入了高端 Virtex-5 系列的 DSP 性能，而卖价最高才 20 美元。而 TI 公司的 C64x 系列和 AD 公司的 Blackfin 系列处理器，其价格一般都在 5 到 30 美元之间。新的趋势已经很明朗：FPGA 已经能够依靠价格来和主流的 DSP 竞争。此外，FPGA 的计算能力比 DSP 的性能更加强大。例如，20 美元的 Spartan-3ADSP 性能可高达每秒 200 亿条乘法累加操作（GMACs），同样单价 30 美元的 600MHzC64xDSP，其每秒的累加操作仅仅是 25 亿条，后者在性能上差距了一个数量级。简言之，目前各 FPGA 生产商的主流芯片已打破了 FPGA 所有的旧标准，在系统实现和芯片选择时，应当从算法结构等更深层次的角度出发。

二：系统所用的 FPGA 芯片

根据上述分析，记忆多项式 DPD 算法需要大量的运算，并且需要存储大量的训练数据，因此在选择核心处理器时，其硬核乘法器和硬核块 RAM 是主要的考核指标。经过芯片处理能力和价格的综合考虑，选择了 Xilinx 公司 Virtex 4 系列的 XC4VSX35-12 芯片，最高工作频率可以达到 500MHz。此外，其主要技术指标如下所列^[5]。

- (1) 逻辑资源 (Slices): 15360,
- (2) 最大可用的片内分布式 RAM (Max Distributed RAM): 240 (Kb)
- (3) 18 比特硬核乘加器 (Xtreme DSP Slices): 192
- (4) 18 Kb Blocks 硬核块 RAM (Block RAM): 192
- (5) 数字时钟管理模块 (DCMs): 8
- (6) 可用管脚 (Max User I/O): 448。

从各个方面都满足 WCDMA 系统 DPD 模块的开发，包括处理器资源和处理带宽。



Table 1: Virtex-4 FPGA Family Members (Continued)

Device	Configurable Logic Blocks (CLBs) ¹ :				XtremeDSP Slices ² :	Block RAM		DCMs	PMCDs	PowerPC Processor Blocks	Ethernet MACs	RocketIO Transceiver Blocks	Total I/O Banks	Max User I/O
	Array ³ Row x Col	Logic Cells	Slices	Max Distributed RAM (Kb)		18 Kb Blocks	Max Block RAM (Kb)							
XC4VSX25	64 x 40	23,040	10,240	160	128	128	2,304	4	0	N/A	N/A	N/A	9	320
XC4VSX35	96 x 40	34,560	15,360	240	192	192	3,456	8	4	N/A	N/A	N/A	11	448
XC4VSX55	128 x 48	55,296	24,576	384	312	320	5,760	8	4	N/A	N/A	N/A	13	640
XC4VFX12	64 x 24	12,312	5,472	86	32	36	648	4	0	1	2	N/A	9	320
XC4VFX20	64 x 36	19,224	8,544	134	32	68	1,224	4	0	1	2	8	9	320
XC4VFX40	96 x 52	41,904	18,624	291	48	144	2,592	8	4	2	4	12	11	448
XC4VFX60	128 x 52	56,880	25,280	395	128	232	4,176	12	8	2	4	16	13	576
XC4VFX100	160 x 68	94,896	42,176	659	160	376	6,768	12	8	2	4	20	15	768
XC4VFX140	192 x 84	142,128	63,168	987	192	552	9,936	20	8	2	4	24	17	896

Notes:

1. One CLB = Four Slices = Maximum of 64 bits
2. Each XtremeDSP slice contains one 18 x 18 multiplier, an adder, and an accumulator
3. Some of the row/column array is used by the processors in the FX devices

图 4-1 Virtex-4 Family Overview

4.1.2 主链路 AD 芯片

硬件主链路系统的 AD 芯片选择了美国 ADI 公司的 AD6655。该芯片是一款集成了 AD 功能和 DDC 功能的多用途 ASIC 芯片，其内部集成的 ADC 最高采样速率为 150MSPS^[2]。

AD6655 是 ADI 公司的一款高度集成的分集接收机，内置有低延迟的峰值检测器、RMS 信号功率监测器、两个 14bit 的 A/D 转换器以及一个数字下变频转换器(DDC)。AD6655 采用 1.8 V 和 3.3 V 供电电源；当工作在 32.7~70 MHz 带宽内，采样速率为 150 MS/s 时，SNR 为 74.0 dBc；而在 70MHz 带宽内，SFDR 为 84 dBc。因此，该器件适用于 TD-SCDMA、WCDMA、CDMA2000、WIMAX、GSM 等多种制式接收机系统^[2]。

AD6655 内部结构框图如图 4-2 所示。AD6655 内部包含丰富的信号监测系统，每个通道都有 4-bit 的信号检测位，允许监控数据以串行方式输出^[2]。

AD6655 的主要功能模块是 14-bit 的 A/D 转换器和 DDC。信号经采样保持器进入 A/D 转换器，再通过 DDC 下变频，最后通过输出缓存输出数据。其中 DDC 包括 32-bit 数控振荡器(NCO)、低通/高通半带滤波器、FIR 滤波器和 fDAC/8 NCO 等模块。这 4 个模块除半带滤波器外，其余均为可选单元。因此，通过配置寄存器，DDC 具有 5 种工作模式：半带滤波器工作模式，输出实信号数据；半带滤波器+FIR 滤波器，输出实信号数据；32-bit NCO+半带滤波器模式，输出复信号数据；32-bit NCO+半带滤波器+FIR 滤波器；输出复信号数据；32-bit NCO+半带滤波器+FIR 滤波器+fDAC/8 NCO 模式，输出实信号数据。用户可根据输入信号的频率、频谱宽度以及输出信号的要求来选择恰当的工作模式^[2]。

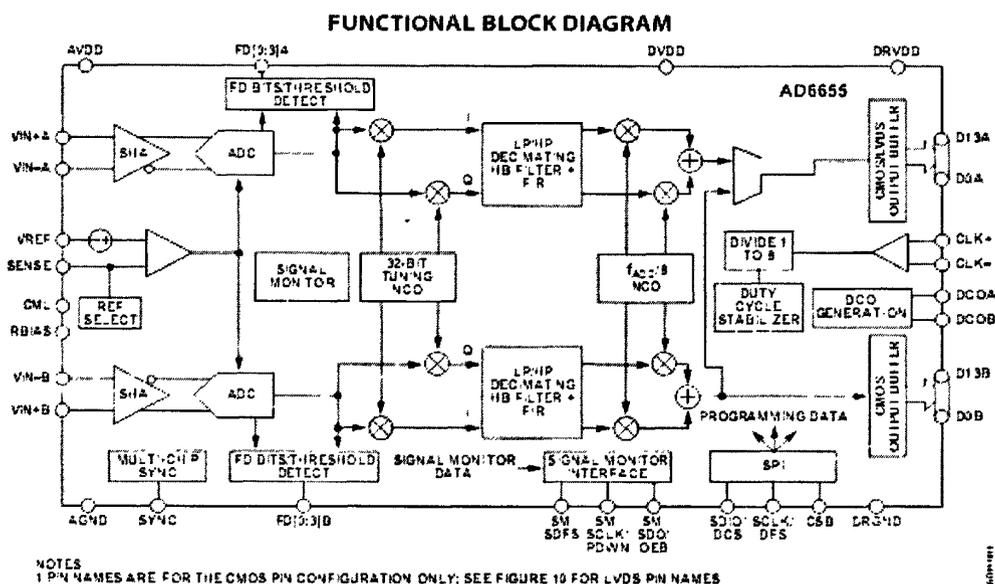


图 4-2 AD6655 的内部结构框图

4.1.3 反馈链路的 AD 芯片

反馈支路主要用于取样功放的非线性特征，只要采样速率匹配即可，对 ADC 的采样位宽要求不高，因此选择了美国 ADI 公司的 AD80141 芯片。其基本特征如下^[4]：

- (1) 微分非线性 (DNL): ± 0.15 LSB
- (2) 无寄生动态范围 (SFDR): 85 dBc (至 70 MHz 输入)
- (3) 低功耗: 395 mW (125 MSPS)
- (4) 差分输入、650 MHz 带宽
- (5) 片内基准电压源和采样保持放大器
- (6) 提供 11 位 140 MSPS 器件 (AD80141)
- (7) 可编程时钟与数据对准

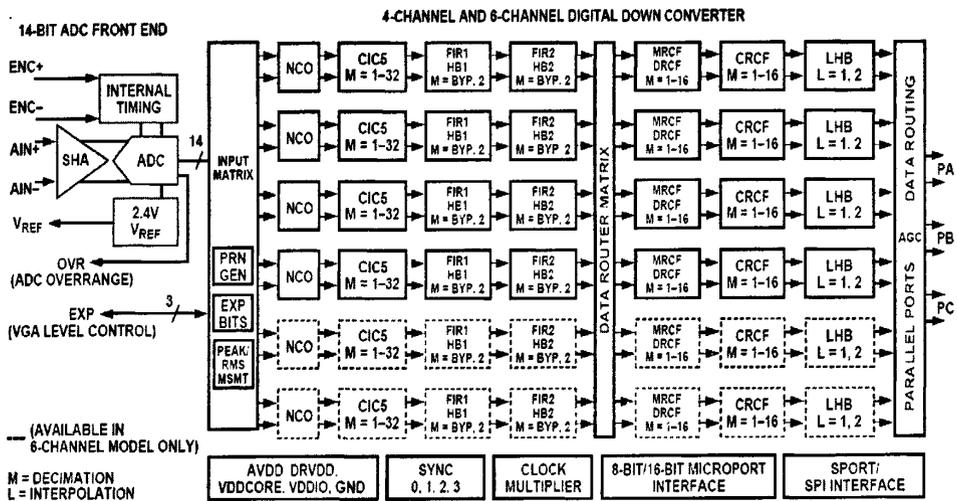


图 4-3 AD80141 的内部结构框图

4.1.4 主链路的 DA 芯片

DPD 应用系统中还需要上变频功能。因为 DPD 模块是一个非线性模块，不能对其输出进行拆分，只能把多载波 DPD 输出信号当成一个整体来进行上变频，因此利用带调制功能的 DAC 芯片是最佳选择。美国 ADI 公司的 AD9779 就满足系统需求。该芯片是一款高性能的双通道 DAC 芯片，其基本特点如下^[3]：

- (1) 16 比特双通道输入，最高输出采样率 1GSPS；
- (2) 1.8V/3.3V 电源，1.0W@1GSPS，600mW@500MSPS；
- (3) SFDR=78dBc， $f_{out}=100\text{MHz}$ ；
- (4) 单载波 WCDMA ACLR=79dBc@80MHz IF；
- (5) 模拟输出范围：8.7mA~31.7mA， $R_L=200\sim 500\Omega$ ；
- (6) 2×，4×，8×插值/粗调制，可以允许载波配置在 DAC 频段的任意位置；
- (7) 多芯片同步接口；
- (8) 内嵌高性能低噪声 PLL 时钟乘法器。
- (9) 输出为两路差分输出模拟信号。

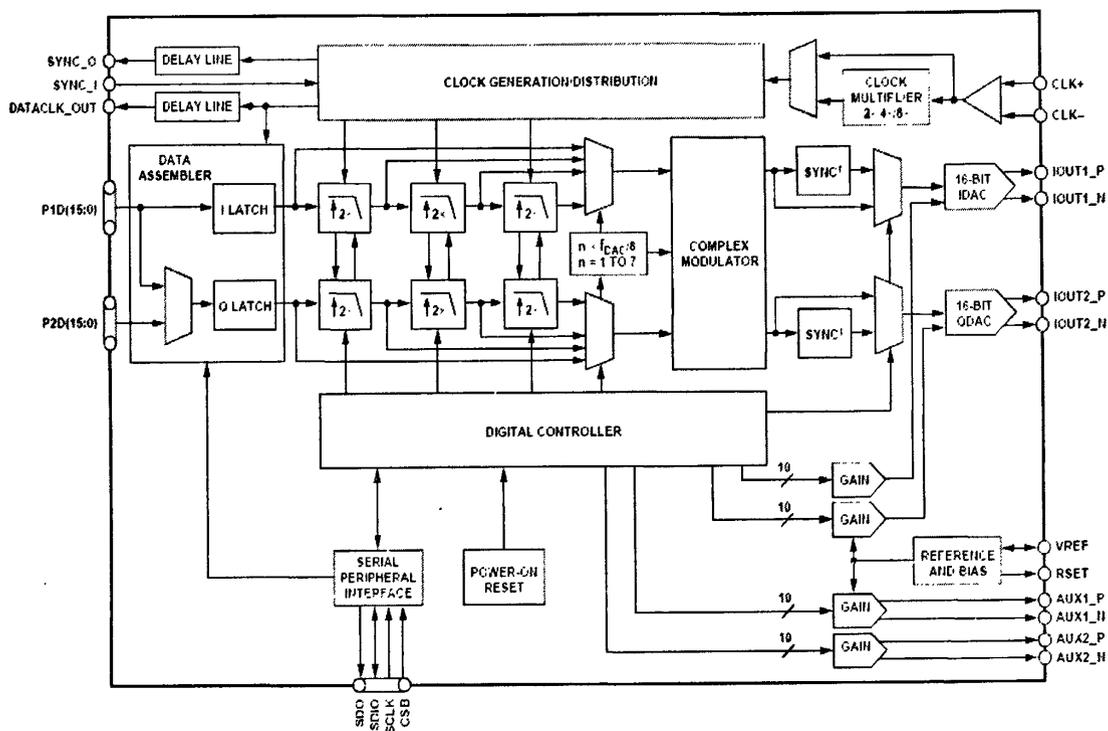


图 4-4 AD9779 的内部结构框图

4.2 DPD 系统的整体架构

DPD 的整体硬件系统主要包括 ADC/DDC 芯片、DUC 芯片、DAC 芯片以及主功能芯片,如图 9-5 所示。其中,主链路 ADC/DDC 芯片选择 ADI 公司的 AD6655 芯片,DAC 芯片选择 ADI 公司的 AD9779 芯片,反馈链路 ADC 芯片选择美国 ADI 公司的 AD80141 芯片,主功能芯片选择 Xilinx 公司的 XC4VSX35 FPGA 芯片。

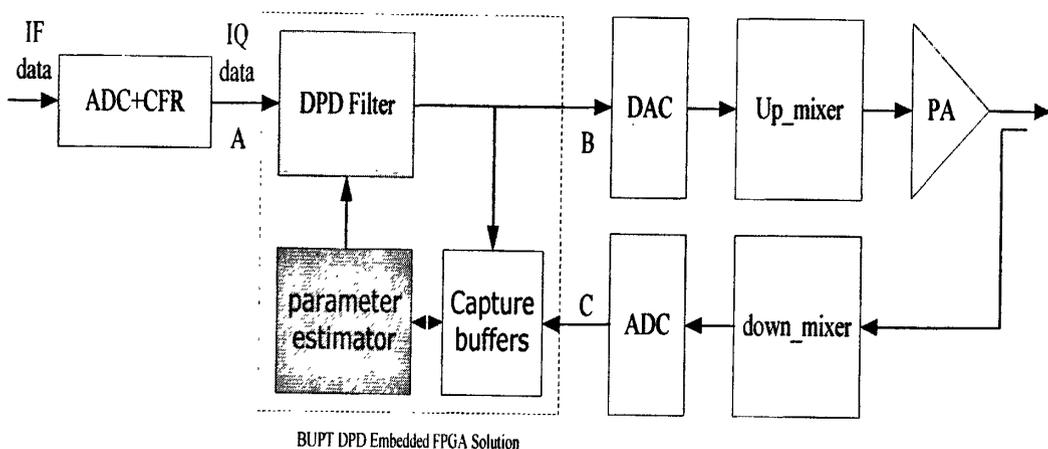


图 4-5 DPD 系统整体架构

从图 4-5 中可以看出,整个 DPD 应用系统是一个单芯片的 FPGA 嵌入式解决方案,主要包括 3 个部分,分别是:

- DPD 滤波器
- 捕获 RAM
- 参数估计

DPD 滤波器的输入是前端的 CFR 模块的输出信号,在 FPGA 内通过查找表(LUT)的方式来实现。

DPD 的参数估计部分是在 FPGA 内的嵌入式 CPU——MACROBLAZE 上完成的,算法部分采用 LS 算法,用标准 C 实现的。

捕获 RAM 主要是负责存储 DPD 训练需要的主链路和反馈链路的数据,同时对 FPGA 于软核的数据交互提供支持,在本应用系统中我们选择 4k 作为存储深度。

在整个 FPGA 的实现部分中需要考虑两个关键因素。

◆ 输入信号的采样率

由于我们是要把该算法在数字域上做实现,即必然涉及到一个信号速率的问题,由于该算法目的就是要消除功放的非线性,也就是至少要抵消掉功放的非线性所产生 3~5 次互调分量,它大概在主信号带宽的 2~3 倍的位置上,所以根据乃奎斯特采样定理,信号的速率必须至少在信号带宽的 5~6 倍以上,才能有效地抵消功放的 3~5 次谐波分量,换句话说对于 WCDMA 的 3 载波系统,总带宽为

15MHZ, 信号的速率必须至少在 90MHZ 以上, 这里我们把主链路和反馈链路的信号的速率定在 122.88MHZ。由于 AD6655 接口模块输出数据的数据速率只能到 61.44MHZ, 所以需要插值滤波模块将主链路的数据速率提升至 122.88MHZ。

◆ 系数训练的周期

由于功放非线性是慢时变的, 所以系数的训练并不是实时的, 而是周期性的, 所以我们只需要周期性的收集功放输入和输出信号的样值, 然后通过最小二乘法估计出相应的系数即可, 由上节可知系数的估计本质上是一个线性方程组的求解, 在得到最小二乘解的过程中涉及到复杂的矩阵运算, 考虑到实现的效率, 可以在 CPU 上通过软件的方式计算得到系数。CPU 可以选用外部的 DSP 或者 FPGA 上的嵌入式处理器。

DPD 滤波器的实现我们采用查找表方式在 FPGA 上实现^[5, 6, 7], 系数的估计部分我们在 V4SX35 芯片内部的嵌入式软核 (macroblaze) 上实现^[5, 6, 7]

4.3 DPD 系统的 FPGA 部分详细设计

本节主要给出 DPD 系统中的 FPGA 部分的详细设计，但不包括 DPD 滤波器和参数估计两部分，这两部分是整个 DPD 系统中 FPGA 实现中最核心的部分，这两内容的详细设计将在 4.4 节和 4.5 节中分别单独详细阐述

4.3.1 DPD 系统的 FPGA 的顶层设计

整个 DPD 应用系统的 FPGA 设计部分主要分为 8 个子模块，除了 4.2 节提到的 3 个关键模块，还有 3 个 AD 芯片的接口模块，分别是 AD6655 接口模块，AD80141 接口模块，AD9779 接口模块，以及还有插值模块，时钟模块。时钟模块为其余 7 个模块提供时钟输入。

除参数估计部分，所有模块均在 Xilinx ISE 10.1.03 的平台下，采用 Verilog 语言开发完成^[5, 6, 7]，并最终在 modsim6.5a 的平台下完成功能和时序仿真实验验证。参数估计的硬件部分是在 Xilinx EDK 10.1.03 的平台下通过例化和配置 MACROBLAZE 完成^[5, 7]，软件部分是用标准 C 完成开发设计的。

图 4-6 为 DPD 应用系统的 FPGA 顶层设计结构示意图

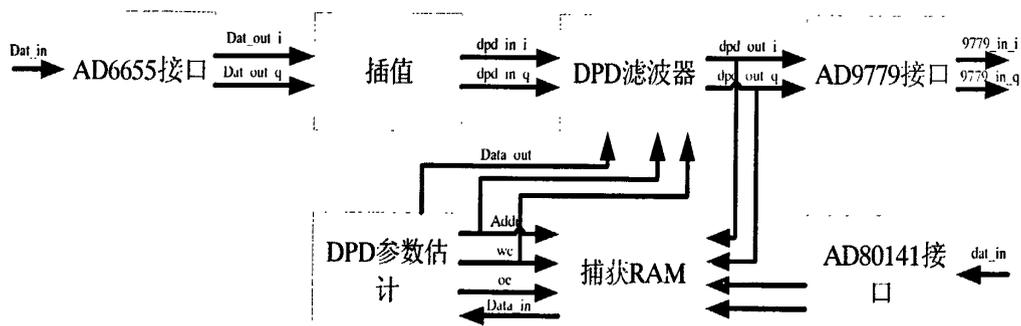


图 4-6 DPD 系统的 FPGA 顶层设计结构示意图

4.3.2 时钟模块

该模块主要是为 DPD 应用系统中其余所有模块提供各种不同频率的时钟信号，其输入为板上晶振的差分时钟，在实现方式上是通过例化 FPGA 内部的 DCM 的 IP 核产生 4 路时钟信号，分别是 15.36MHZ，61.44MHZ，122.88MHZ，245.76MHZ。

参数说明见表 4-1:

表 4-1 时钟模块的端口信号说明

参数名	参数方向	位宽	功能说明
CLKIN_N_IN	input	1	板上晶振的差分输入时钟，负
CLKIN_P_IN	input	1	板上晶振的差分输入时钟，正
RST_IN	input	1	单片机给的硬复位信号
CLKDV_OUT	output	1	15.36MHZ 的时钟信号
CLKFX_OUT	output	1	61.44MHZ 的时钟信号
CLK0_OUT	output	1	122.88MHZ 的时钟信号
CLK2X_OUT	output	1	245.76MHZ 的时钟信号

4.3.3 AD6655 接口模块

该模块为 AD6655 芯片与 FPGA 的接口模块，负责将 AD6655 的串行输出转换成 I/Q 两路并行信号，输出速率为 61.44MHZ。参数说明见表 4-2:

表 4-2 IO-AD6655 模块的端口信号说明

参数名	参数方向	位宽	功能说明
rst_n	input	1	系统复位信号
sample_clk	input	1	6655 输出的采样时钟，61.44MHZ
dat_out_clk	input	1	Fpga 本地产生的时钟，61.44MHZ
dat_in	input	14	6655 输出的数据信号
dat_out_i	output	16	模块输出的 i 路信号
dat_out_q	output	16	模块输出的 q 路信号

4.3.4 插值滤波模块

该模块主要负责将主链路信号的数据速率从 61.44MHZ 提高到 122.88MHZ, 即 16 倍采样提高到 32 倍采样。该模块的输入是 AD6655 接口模块的输出详细参数说明见表 4-3:

表 4-3 插值滤波模块的端口信号说明

参数名	参数方向	位宽	功能说明
clk;	input	1	245.76MHZ 的时钟信号
dat_clk	input	1	61.44MHZ 的时钟信号
dat_out_clk	input	1	122.88MHZ 的时钟信号
dout_i	output	16	插值滤波 i 路输出, 速率 122.88MHZ,32 倍采样
dout_q	output	16	插值滤波 q 路输出, 速率 122.88MHZ,32 倍采样
din_i	input	16	i 路输入, 速率 61.44MHZ,16 倍采样
din_q	input	16	q 路输入, 速率 61.44MHZ,16 倍采样

细节说明: 插值方式采用插零法, 即在每个采样数据点后补一个零, 由于插值会带来频谱镜像, 所以需要对插值后数据进行低通滤波, 根据信号处理的基本知识可知镜像频谱的位置会在 $F_s/2$ 处, 即 61.44M 的位置上, 这个低通滤波器的设计参数为

- 采样率 F_s : 122.88MHZ
- 通带: 30.72MHZ
- 阻带: 53.94MHZ
- 带内抖动: 1db
- 带外抑制: 80db

滤波器设计工具采用 MATLAB 开发环境提供的 fdatool, 我们只需将滤波器设计参数输入, 即可得到相应的归一化滤波器浮点系数, 然后再做 16bit 的满量程定点量化, 即可得到系数定点文件。

滤波器的 FPGA 实现方式采用 IP 核实现, 因为 Xilinx 提供了 FIR 滤波器的 IP 核, 其实现结构非常的高效, 在使用上只需做一些常规参数的配置, 滤波器系数文件的指定即可

4.3.5 AD80141 接口模块

该模块为 DPD 应用系统中的反馈链路的 AD80141 芯片与 FPGA 的接口模块，主要负责将 AD80141 输出的单路数据解调到基带，并转换成 I/Q 两路信号，在通过一个低通滤波器最终输出，送至捕获 RAM 模块作为 DPD 训练的反馈链路的数据存储。该模块的输出信号的数据速率为 122.88MHZ。参数说明见表 4-4:

表 4-4 feedback_proc 模块的端口信号说明

参数名	参 数 方向	位宽	功能说明
clk_245p76MHz	Input	1	245.76MHZ 的全局时钟
clk_122p88MHz,	Input	1	Dcm 输出的 122.88MHZ 的 时钟
clk_61p44MHz	Input	1	Dcm 输出的 61.44MHZ 的时 钟
sample_clk	Input	1	AD80141 芯片给出的采样时 钟, 122.88MHZ
rst_n	Input	1	全局复位信号, 低复位
dat_in	Input	11	AD80141 输出的数据总线
Dout_i	Output	16	反馈回路 I 路输出
Dout_q	Output	16	反馈回路 Q 路输出

细节说明：由于射频系统下混频后的中频位置在 153.6MHZ，即 AD80141 芯片的输入中频信号为 153.6MHZ，A/D 的采样率为 122.88MHZ，故输出信号的中频位置在 30.72MHZ，但是 DPD 训练要求数据信号的频谱必须在基带，所以必须在 FPGA 里实现一个 30.72MHZ 的下变频。具体的实现方式是调用 Xilinx 公司提供的 DDS 的 IP 核，产生相应的载波复信号（sin 和 cos 两路），然后和数据做复数乘法，即完成将信号下变频到基带。

此模块还有一个关键的地方就是反馈链路的滤波器设计。因为 DPD 训练要求反馈回路的数据在频域上要至少要保留由于功放的非线性所产生的 3 次互调分量，故将反馈链路的滤波器设计为

- 采样率 Fs: 122.88MHZ
- 通带: 22.5MHZ
- 阻带: 30.72MHZ
- 带内抖动: 1db
- 带外抑制: 80db

滤波器的实现方式同插值滤波模块

4.3.6 AD9779 接口模块

该模块主要负责将 DPD 滤波器模块的输出信号进行上变频，然后通过 FIFO 输出给 AD9779 芯片。参数说明见表 4-5。

表 4-5 AD9779 模块的端口信号说明

参数名	参数方向	位宽	功能说明
clk_122p88MHz	Input	1	Dcm 输出的 122.88MHZ 的时钟
Reset_n	Input	1	全局复位信号，低复位
Dini	Input	16	Dpd 模块输出的 i 路信号
Dinq	Input	16	Dpd 模块输出的 q 路信号
clk_from_9779	Input	1	AD9779 芯片输出的采样时钟，122.88MHZ
Douti	Input	16	AD9779 芯片的 i 路输入
Doutq	Input	16	AD9779 芯片的 q 路输入
cos_30p72	Input	16	30.72MHZ 的 dds
sin_30p72	Input	16	30.72MHZ 的 dds

细节说明：由于 AD9779 的芯片配置为上变频搬移 $F_s(122.88\text{MHZ})$ ，但是射频系统要求输入中频为 153.6MHZ ，故需要在 FPGA 里做 30.72MHZ 的上变频，同时由于 AD80141 接口模块已经产生了 30.72MHZ 的 DDS，故不需要在重复产生了，只需做复用即可。

另一方面由于 DPD 滤波器输出的数据与 AD9779 芯片输出的采样时钟的属于不同的时钟域，即涉及到跨时钟域操作，这里我们的处理方式是采用 FIFO 做隔离，FIFO 的实现方式是调用 Xilinx 公司提供的 FIFO 的 IP 核。FIFO 的写侧挂的是本地的 122.88MHZ 的时钟，读侧接的是 AD9779 芯片的采样时钟。

4.3.7 捕获 RAM 模块

该模块为 MACROBLAZE 与 FPGA 之间交互数据的接口模块，主要由 4 块真双口 RAM 组成，分别存储的是 DPD 训练需要的主链路 I,Q 路数据和反馈链路 I,Q 路数据，每块双口 RAM 的存储深度为 4Kbyte。双口 RAM 的写侧与 FPGA 的 4 路数据源直接相连，读侧通过一个地址翻译模块与 MACROBLAZE 的地址数据总线相连。参数说明见表 4-6:

表 4-6 捕获 RAM 模块的端口信号说明

参数名	参 数 方向	位 宽	功能说明
Generic_External_Memory_Mem_DQ_I_pin	Output	16	软核的输入数据总线
Generic_External_Memory_Mem_DQ_O_pin	Input	16	软核的输出数据总线
fpga_0_Generic_External_Memory_Mem_A_pin	Input	32	软核的地址总线
fpga_0_Generic_External_Memory_Mem_WEN_pin	Input	1	软核的写信号，低有效
fpga_0_Generic_External_Memory_Mem_OEN_pin	Input	1	软核的读使能信号
clk_122p88MHz	Input	1	122.88MHZ 的时钟信号
data_main_i	Input	16	Dpd 模块输出的 i 路信号
data_main_q	Input	16	Dpd 模块输出的 q 路信号
data_feed_i	Input	16	AD80141 接口模块输出的 i 路信号
data_feed_q	Input	16	AD80141 接口模块输出的 q 路信号
dpd_nonneed_flag	Output	1	Dpd 模块旁路指示信号
new_coe_coming	Output	1	LUT 更新完成指示信号

细节说明：在程序中我们定义了两个信令用于软核与 FPGA 之间的交互，即 FPGA 把主辅两路数据存满后，会往地址单元 0x845ffe00 写入控制字 AAAA。软核程序的入口处就是读这个地址，当读到 AAAA 时才开始真正的训练。即每次的训练都是等到读到 AAAA 后才开始。而软核更新完 LUT 后会往地址 0x845ffe04 写入控制字 FFFF，FPGA 侧则是不停的读这个地址，读到 FFFF 时就会拉高 new_coe_coming 信号，作为 LUT 更新完成指示信号。

4.4 DPD 滤波器的 FPGA 设计

4.4.1 DPD 滤波器实现架构

根据等式 (3-1), DPD 滤波器的实现需要计算信号的幅度的各阶多项式, 然而要在 FPGA 上直接实现多项式计算, 不仅运算量是巨大的, 而且所耗费的 FPGA 资源也是巨大的, 因此我们采用查找表 (LUT) 方式实现各阶多项式的计算。图 4-7 为 $Q=3$ 时的 DPD 滤波器的查找表实现框图。

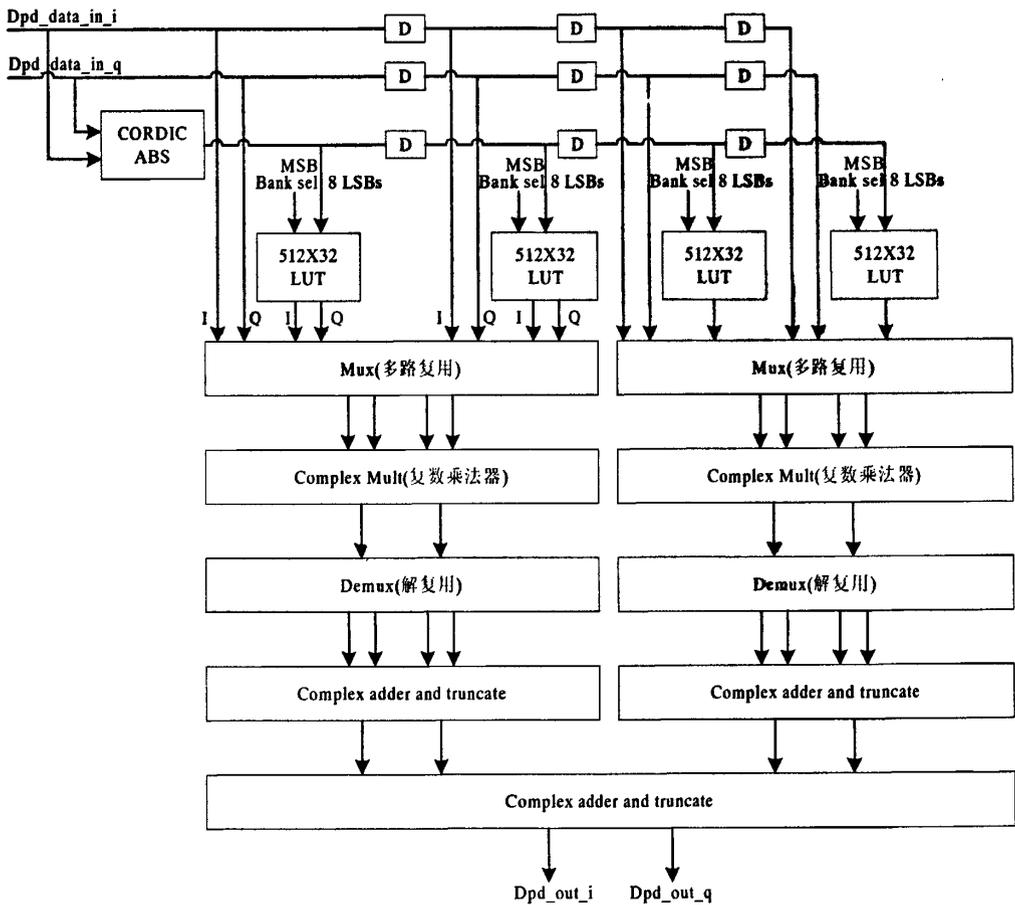


图 4-7 $Q=3$ 时的 DPD 滤波器的查找表实现框图

图 4-7 中的 D 为信号的延时单元, 信号的幅度采用 cordic 算法实现, 而且只需计算一次, 整个信号幅度的各级延时链作为 LUT 组的读口地址的低 8bit, 高位的片选信号用于每个 LUT 内部 bank 的切换。

复数乘法器采用 Xilinx 公司提供的 DSP48 的硬核实现, 对于 $Q=3$ 的设计, 由于数据速率为 122.88MHZ, 全局时钟采用 245.76MHZ, 正好可以实现 2 倍复用, 即只需用两个复数乘法器即可实现 4 路的复数乘法。

4.4.2 LUT 地址空间分配设计

每个 LUT 的空间为 512X32bit, 分为上下两个 bank, 每个 bank 的大小就是 256X32bit, 由地址最高位来片选上下两个 bank, 每个 LUT 都需要 2 块相同的 bank 空间是为了避免在读取时更新过程中新旧数据的交替所产生的错误, 即我们把奇数次更新的数据写在每块 LUT 的上 bank 上, 偶数次更新的数据写在每块 LUT 的下 bank 上, 读取也是根据奇偶交替读取。只有在某个 bank 全部更新完毕后, 才对其进行相应的读取, 否则依然是读取相邻 bank 的数据。

由于我们将 LUT 的数据的实部和虚部分开存储所以需要 2Q 个 LUT, 即对于 Q=3 的设计我们需要 8 块 512X32bit 大小的双口 blockram 作为 LUT 的实现, 如图 4-8 所示。

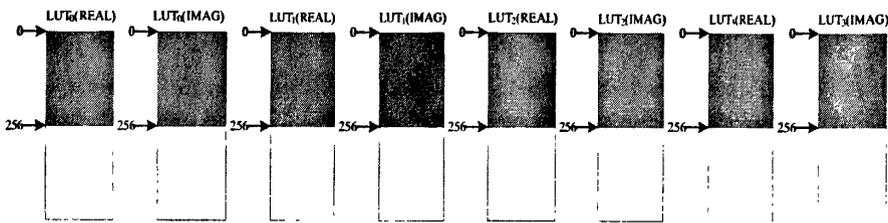


图 4-8 DPD 滤波器的 LUT 结构

将等式 (3-1) 做相应的分解可以得到

$$F[x(n)] = \sum_{q=0}^Q x(n-q) * LUT_q(x) \quad (4-1)$$

$$LUT_q(i) = \sum_{k=1}^K a_{kq} * (i/256)^{k-1} \quad (4-2)$$

很明显, LUT 中的数据就是系数和信号的各阶多项式的线性组合的结果。这也正是本设计的巧妙之处, 即把信号各阶多项式的计算和系数做融合, 正好有效的避免了在 FPGA 里去耗费大量的资源去实现信号的各阶多项式的计算, LUT 表的计算可以在软核里用 c 语言实现, 然后通过 macroblaze 的存储器控制接口写回 FPGA, 即完成一次 LUT 数据的更新。i 为信号的幅度, 我们在计算完信号的幅度后, 将其截位为 8bit, 即取值范围为 0~255, 作为 LUT 组读口地址的低 8bit, 高位 (MSB) 就是前面提到的 bank 切换信号 lut_switch, 在 fpga 内通过简单的编程实现周期性的高低变化, 即可实现上下 bank 的切换。

由于所有的 LUT 的写侧的信号（地址线，数据线和写使能）都是与 microblaze 的 PLB 总线上的外部存储器控制器接口相连的，所以对所有的 LUT 进行地址空间的分配，我们在 EDK10.1^[7]的环境下把外部存储器控制器映射在整个软核地址空间的地址 0xA45f0000 处，具体分配如表 4-7 所示。

表 4-7 LUT 的地址空间分配

	地址	大小
LUT0(REAL)	0xA45f0000——0xA45f07ff	2048KB
LUT0(IMAG)	0xA45f0800——0xA45f0fff	2048KB
LUT1(REAL)	0xA45f1000——0xA45f17ff	2048KB
LUT1(IMAG)	0xA45f1800——0xA45f1fff	2048KB
LUT2(REAL)	0xA45f2000——0xA45f27ff	2048KB
LUT2(IMAG)	0xA45f2800——0xA45f2fff	2048KB
LUT3(REAL)	0xA45f3000——0xA45f37ff	2048KB
LUT3(IMAG)	0xA45f3800——0xA45f3fff	2048KB

4.4.3 资源清单

DPD 滤波器所需的逻辑资源列表如图 4-9 所示

Device Utilization Summary				[1]
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	2,798	30,720	9%	
Number of 4 input LUTs	1,635	30,720	5%	
Logic Distribution				
Number of occupied Slices	1,613	15,360	10%	
Number of Slices containing only related logic	1,613	1,613	100%	
Number of Slices containing unrelated logic	0	1,613	0%	
Total Number of 4 input LUTs	1,698	30,720	5%	
Number used as logic	945			
Number used as a route-thru	63			
Number used as Shift registers	690			
Number of bonded IOBs				
Number of bonded	181	448	40%	
Number of BUFG/BUFGCTRLs	1	32	3%	
Number used as BUFGs	1			
Number of FIFO16/RAMB16s	14	192	7%	
Number used as RAMB16s	14			
Number of DSP48s	38	192	19%	

图 4-9 DPD 滤波器的资源列表示意图

4.5 DPD 参数估计的 FPGA 设计

4.5.1 MICROBLAZE 的配置

我们在 Xilinx EDK10.1.03 的平台上完成了 MICROBLAZE 的配置，配置的过程是采用图形界面的向导模式，由于向导对话框较多，限于篇幅不方便一一贴上，不过最终关于 MICROBLAZE 的配置的所有硬件方面的参数会写在一个后缀名为.MHS 的文件中。

在本项目中在 MICROBLAZE 上挂了两个重要的外设，一个是 SRAM 控制器，一个是异步 UART，SRAM 控制器用于和 FPGA 内的 BRAM 做数据接口，关键是提供地址翻译，异步 UART 用于调试时，将中间过程的数据和变量都能方便的打印出来，所有挂在 MICROBLAZE 上的外设的配置上只需给一个基地址，同时将需要的端口映射在 MICROBLAZE 上的外部端口上即可，配置非常方便，外设的地址分配如图 4-9 所示

Instance	Name	Base Address	High Address	Size	Bus Interface(s)	Bus Conn
dlmb_cntlr	C_BASEADDR	0x00000000	0x0001ffff	128K	✓ SLMB	dlmb
ilmb_cntlr	C_BASEADDR	0x00000000	0x0001ffff	128K	✓ SLMB	ilmb
debug_module	C_BASEADDR	0x840a0000	0x840bffff	128K	✓ SPLB	mb_plb
mb_plb	C_BASEADDR			1	✓ Not Applicable	
xps_uartlite_0	C_BASEADDR	0x84000000	0x8400ffff	64K	✓ SPLB	mb_plb
Generic_External_Memory	C_MEMO_BASEADDR	0x84500000	0x845fffff	1M	✓ SPLB MCH0 MCH1	

图 4-10 MICROBLAZE 的外设地址分配

上图中 Generic_External_Memory 即为 Sram 控制器，xps_uartlite_0 即为异步串口，dlmb 和 ilmb 分别是数据的本地存储器接口和指令的本地存储器接口

外设的总线连接情况见图 4-10

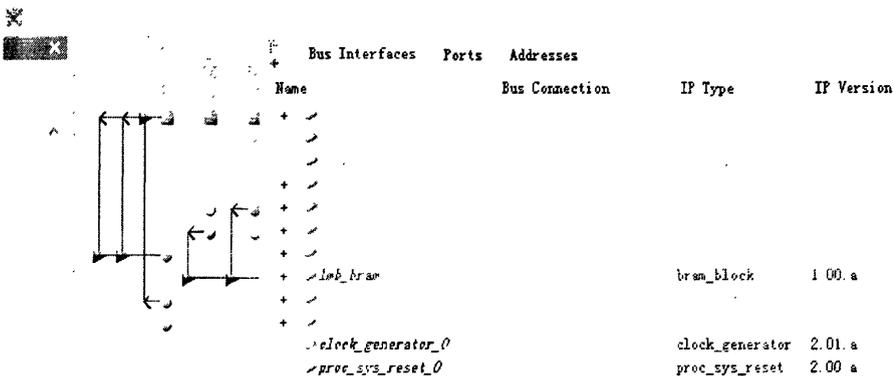


图 4-11 MICROBLAZE 的外设总线连接

4.5.2 DPD 参数估计流程图

由于 xilinx 的 v4 芯片内部的嵌入式软核 microblaze 支持浮点运算单元，所以我们将 dpd 滤波器的系数训练部分放在了 microblaze 上实现，最终在 SDK10.1 的平台上用 ANSY C 语言完成了系数训练部分的软件设计，流程图如图 4-11 所示

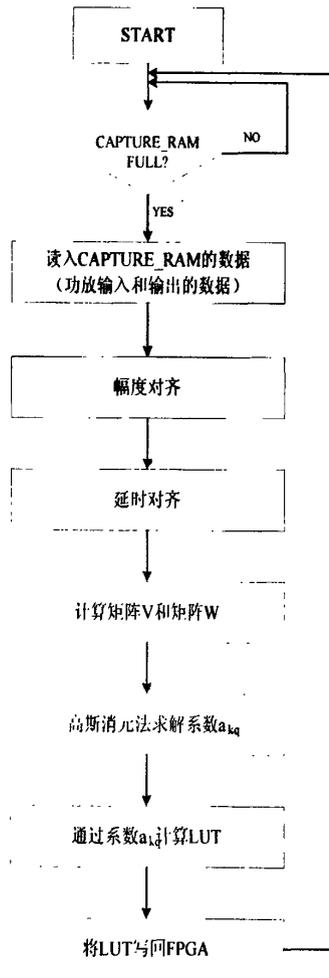


图 4-12 DPD 训练算法的软件流程图

4.5.3 关键程序说明

根据上节中的流程图可以看到整个训练算法的完整实现流程，每个方框可以认为是一个函数或是一个子程序，这里延时对齐之后的过程都在 3.1 节中给出了详细的解释和说明，这里只想解释一下幅度对齐和延时对齐这两个子函数

1.幅度对齐

功能说明：该函数负责计算当前存储的主链路数据和辅链路数据的功率，并进行功率统计，最后计算 2 路的功率比例因子 **factor**。

细节说明：该函数实现比较简单，就是逐个读取当前存储的主辅链路数据，进行功率累加，同时对每个采样点会进行功率门限的判断，我们将功率门限定在 8192，会对超过此门限的采样点进行计数。只要大于 0，就当前采样的数据功率不合适，即不做 dpd 训练，整个训练程序提前退出。只有等于 0，才进行 dpd 训练。**Factor** 值的计算就是主链路功率除以辅链路数据的平方根，用于函数 **dpdcoeff_partition**（）中做功率补偿，将辅链路的功率归到主链路的功率上。

2.延时对齐

功能说明：该函数负责计算当前存储的主链路数据和反馈链路数据的延时值 **delay_num**，采用的方法就是串行相关。

细节说明：由于主链路的反馈链路的数据在 **FPGA** 里是对齐存储的，但实际中 **FPGA** 内部的各种滤波器以及功放，上变频，下变频都会产生附加的延时，我们需要在软件里把这个延时值给估出来。根据信号相关性原理，当两路信号严格对齐时，会有一个明显的峰值。对应的在程序里就是逐个计算反馈链路数据延时链上的相关值，找到最大相关值的位置即可找到延时的样值。程序里设的相关长度是 2000，用宏 **cor_len** 定义的。图 4-12 为实际采样到的数据绘制的相关值曲线。

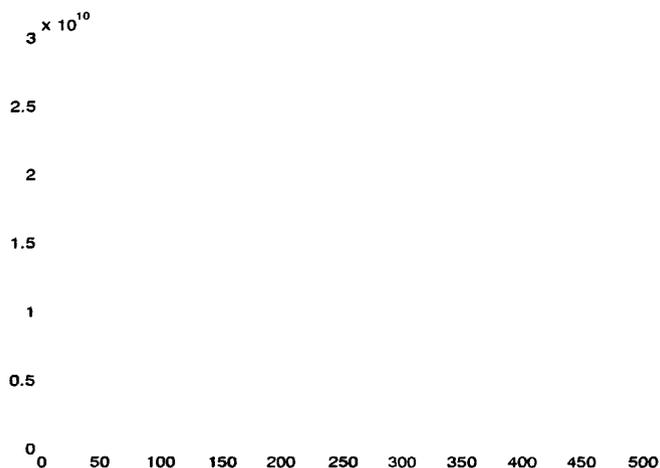


图 4-13 DPD 训练主辅链路数据的相关值曲线

4.6 FPGA 设计中的关键 IP 核的介绍与说明

整个 DPD 系统的 FPGA 设计涉及到很多 Xilinx 的 IP 核资源，正式由于这些 IP 核的调用才使得整个 FPGA 设计更为的紧凑和可靠，其中主要包括硬核乘法器，复数乘法器，cordic 计算器（用于求取数据的平方根），FIR 滤波器，DDS 频率综合器。下面分别对其进行说明

4.6.1 硬核乘法器

硬核乘加器是 Xilinx XtremeDSP 解决方案的核心组成部分，从而可以独立实现 450MHz 的性能，或在整合到一系列中时实现 DSP 功能，支持 40 多个动态控制的操作模式，包括乘法器、乘法器-累加器、乘法器-加法器/减法器、三输入加法器、桶形移位器、宽总线多路复用器或宽计数器，其组成结构如图 4-14 所示^[16]。此外，级联硬核乘加器，无需使用 FPGA 逻辑和路由资源。

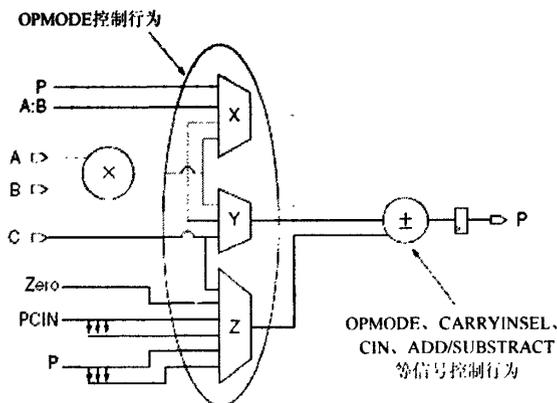


图 4-14 硬核乘加器的组成结构

图 4-14 中的 OPMODE 是乘加器工作模式配置输入，可在 ISE 中通过软件方式指定。硬核乘加器的乘法器和加法器可以单独使用，但对于一个乘加器资源，只使用了其乘法器或加法器，则另外的加法器或乘法器就不能再被使用。

核乘法器 IP Core 可以完成有符号数、以及无符号数的乘法，还能够完成输出数据的位宽截取，支持流水线操作，功能强大。其用户操作界面如图 4-15 所示^[16]，点击“Next”按钮进入下一页，可以让用户选择是使用 FPGA 芯片上的硬乘法器（Use Mults），还是用 Slice 来构建乘法器（Use LUTs）。

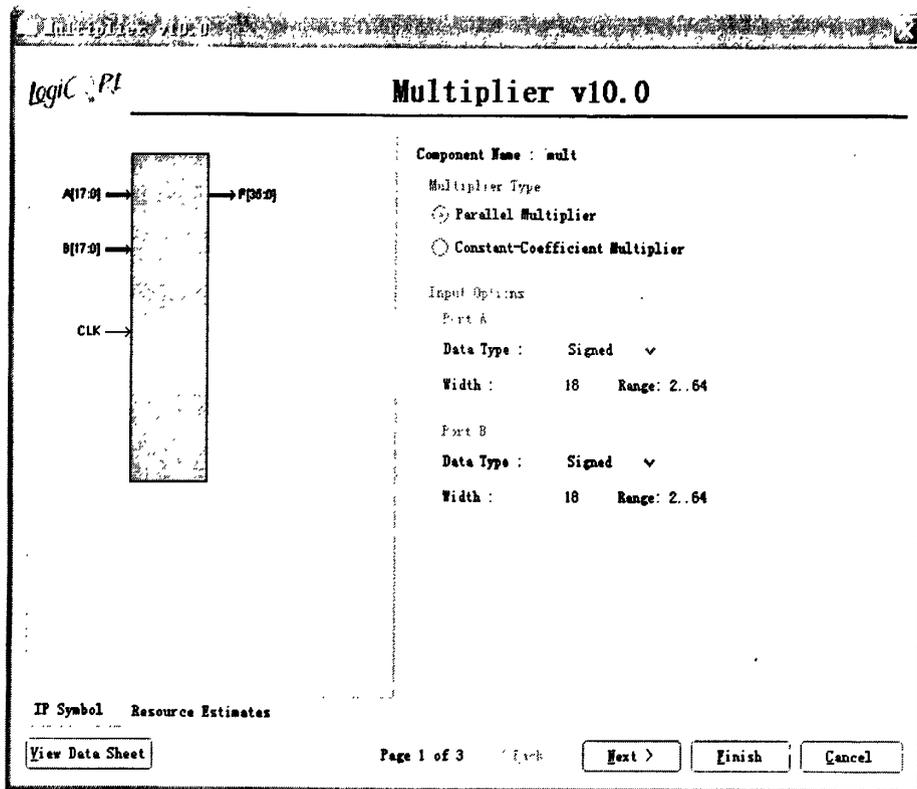


图 4-15 硬核乘法器 IP core 用户操作界面

硬核乘法器 modsim 仿真结果如图 4-16 所示。从中可以看出，硬核乘法器只要一个时钟即可计算出结果。当然，用户也可以在 IP Core 配置中添加流水线，可选有 1~32 级，最佳选择为 3 级流水线^[16]。

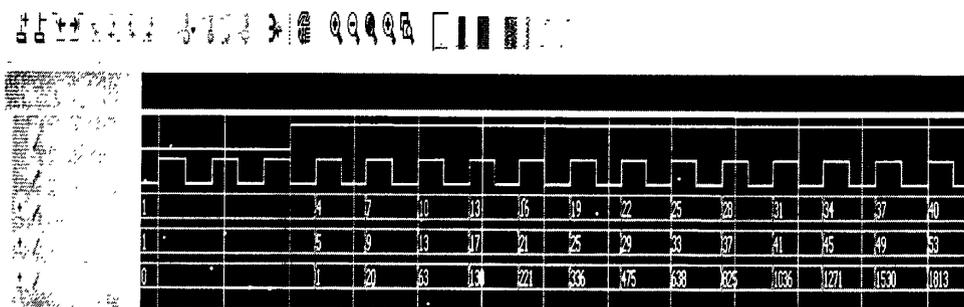


图 4-16 乘法器 IP core 的仿真波形

4.6.2 cordic 计算器

CORDIC 是用于计算广义矢量旋转的一种迭代方法，由 J.D.Volder 于 1959 年提出，主要用于三角函数、双曲函数、指数和对数的运算。Cordic 算法可以将多种难以用硬件电路直接实现的复杂运算分解为统一的简单的移位、加迭代运算，而且结构规则、运算周期可以预测、适合于 VLSI 实现^[17]。

在 ISE 10.1 版本中，提供了 Cordic 算法的 IP core，可以完成多种复杂函数的计算，包括坐标旋转、所有三角函数以及其反三角函数和求平方根。输入的有效位宽为 [8, 48]，有效输出位宽的范围为 [8, 48]，引入了最佳流水线操作，以满足用户不同的速率需要。支持串行结构和并行结构，具有丰富的握手信号，计算功能十分强大，其配置界面如图 4-17 所示^[17]。

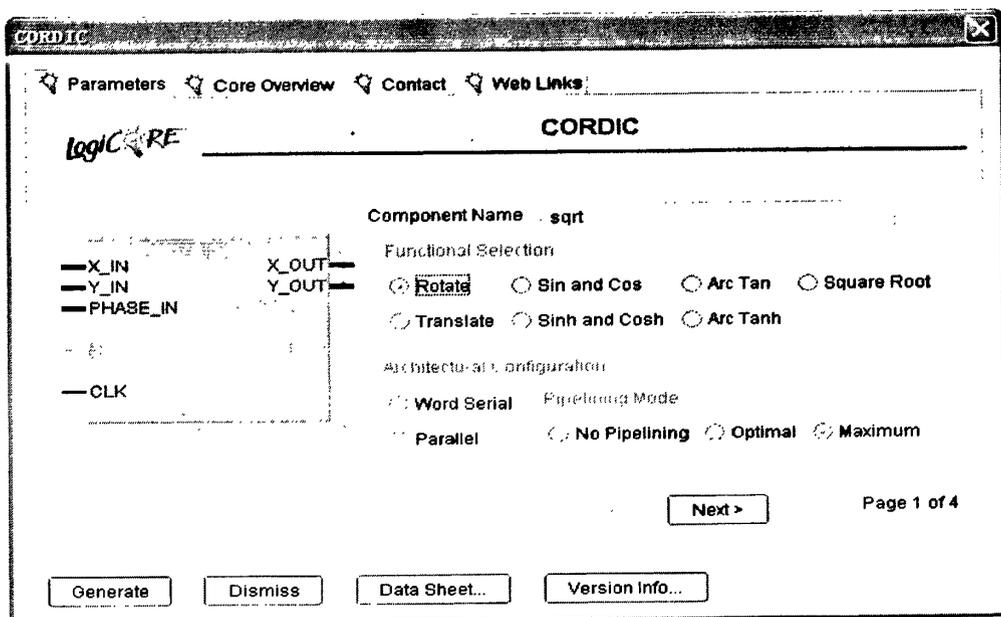


图 4-17 Cordic 算法 IP Core 的用户界面

本项目我主要用 CORDIC 算法来实现开方，即计算数据的平方根，产生一段完全平方数的数据源作为 IPCORE 的输入，通过 modsim 仿真可以看到仿真结果如图 4-18 所示，从中可以看出，输出结果相对于输入数据延时了 19 个时钟周期，之所以延时了 19 个时钟周期是因为将 pipeline 选项选择为最大 pipeline。

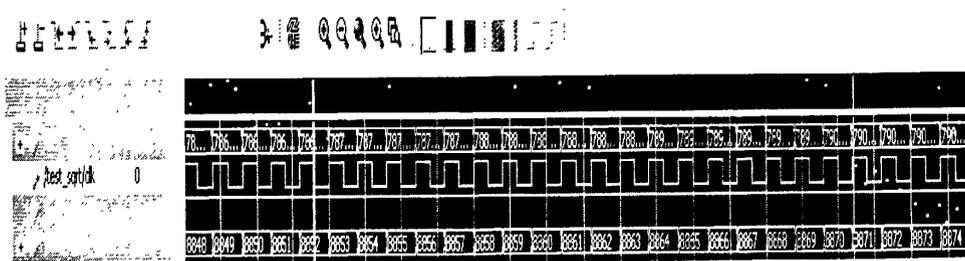


图 4-18 Cordic 算法的 modsim 的仿真结果

4.6.3 FIR 滤波器

在 ISE 10.1 版本中, Xilinx 公司为用户提供了 FIR 滤波器的图形化配置接口, 用户通过这个配置接口可以生成各种需求的高性能 FIR 滤波器, 实现方式可以是基于乘加结构或是分布式结构, 滤波器的类型可以配置为单速率, 插值抽取滤波器, 多相等。用户只需完成相关参数的配置即可使用, 非常方便, 其配置界面如图 4-19, 4-20 所示^[18]。

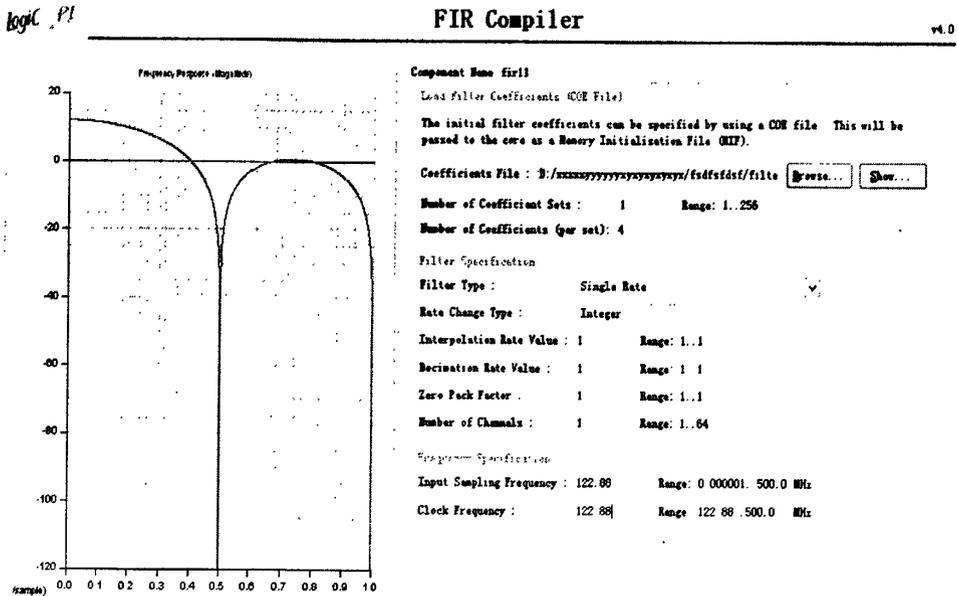


图 4-19 FIR 的用户界面 1

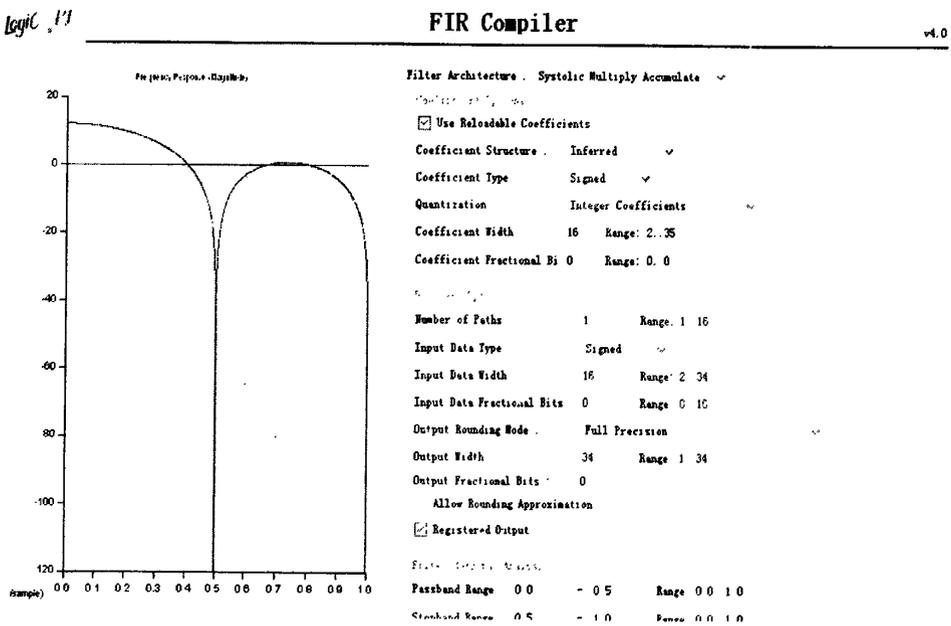


图 4-20 FIR 的用户界面 2

总所周知传统的 N 阶 FIR 滤波器的计算公式如式 (4-3) 所示^[18]

$$y(k) = \sum_{n=0}^{N-1} a(n)x(k-n) \quad k=0,1,\dots \quad (4-3)$$

然而 Xilinx 的 FIR 的内部 FPGA 实现并不是完全按照 (4-3) 式来实现的, 对于基于乘加结构实现的 FIR 滤波器, IP 核的内部会根据滤波器的抽头系数的个数 (N) 自动分配乘加单元的数量, 这个分配原则是根据目前抽头系数的个数计算出来的一个所需的的最少的乘加单元的数量。图 4-21 所示为 IP 核内部单个乘加单元的实现结构示意图。^[18]

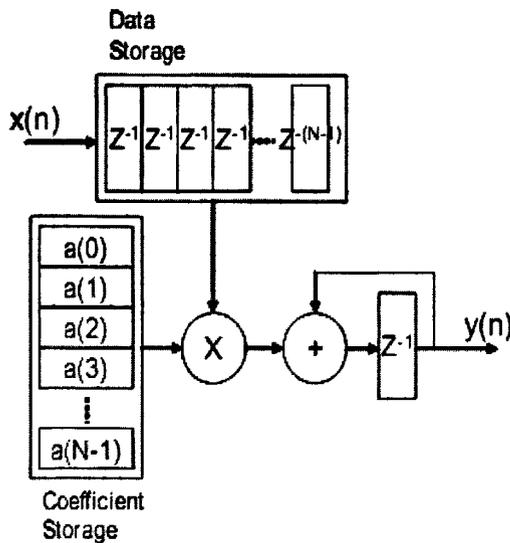


图 4-21 单个乘加结构示意图

以滤波器输入数据源为自然数序列 $x(n) = n \quad n = 1, 2, 3, \dots$, 系数为 $a(n) = (1, 1, 1, 1)$ 为例, modsim 的仿真结构如图 4-22 所示:

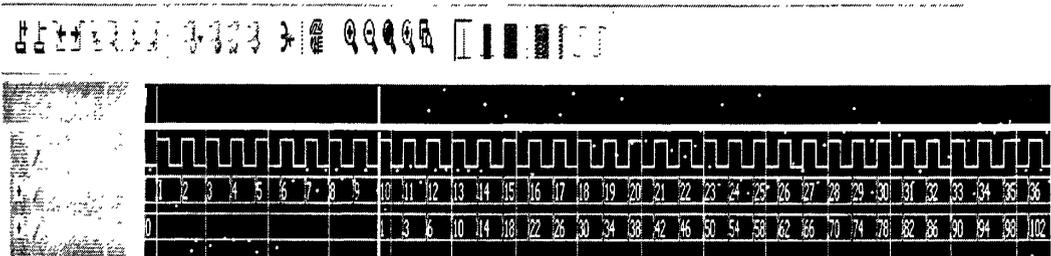


图 4-22 FIR 的 IP 核的 modsim 仿真结果

4.6.4 DDS 频率综合器

DDS 或是 NCO 是数字通信系统中非常重要的组成部分，常用于数字解调，以及上下变频中，在本项目中，主要是要在 FPGA 里实现上下变频，DDS 的输出其实就是产生两路正交的载波（sin 和 cos），在 ISE 10.1 版本中，Xilinx 公司提供了高精度的，多通道的，基于查找表的 DDS 的 IP 核，用户只需通过图形化的配置界面完成一些参数的配置即可使用，DDS 的 IP 核的配置界面如图 4-23，4-24 所示^[19]

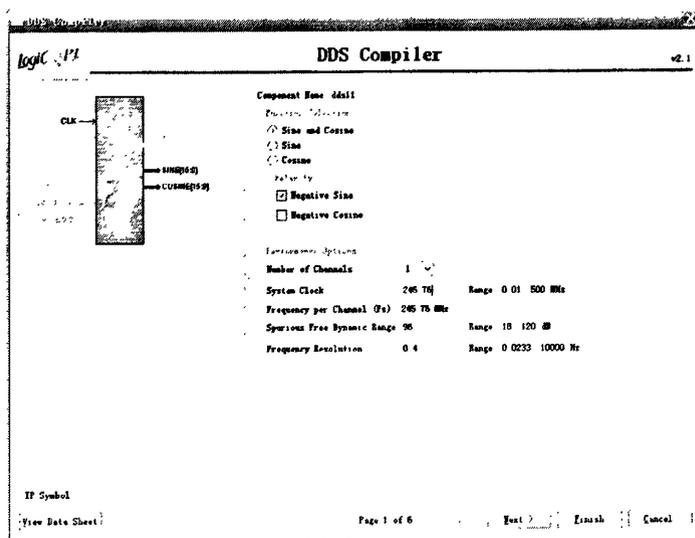


图 4-23 DDS 的 IP 核的用户界面 1

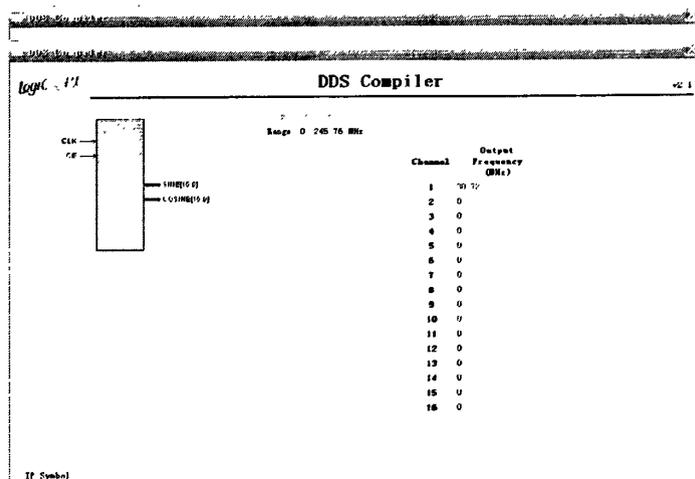


图 4-24 DDS 的 IP 核的用户界面 2

IP 核内部的 FPGA 实现结构如图 4-25 所示^[19]

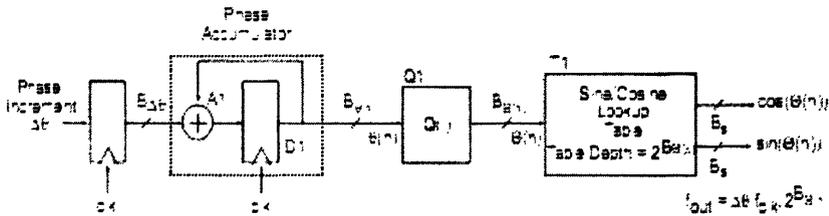


图 4-25 DDS 的 IP 核的 FPGA 内部实现结构

根据图 4-25 所示的结构可知 DDS 输出波形的频率 f_{out} 是系统时钟频率 f_{clk} ，相位累加器宽度 B ，和相位累加增量 $\Delta\theta$ 的函数，即 $f_{out} = f(f_{clk}, B, \Delta\theta)$ ，具体的计算公式为式 (4-4)^[19]

$$f_{out} = \frac{f_{clk} * \Delta\theta}{2^B} \text{ Hz} \quad (4-4)$$

从式 (4-4) 中我们可以得到 DDS 频率综合器的分辨率为^[19]

$$\Delta f = \frac{f_{clk}}{2^B} \text{ Hz} \quad (4-5)$$

即如果系统时钟频率为 120MHz，相位累加器宽度为 32bit，那么根据式 (4-5) 该综合器的分辨率为^[19]

$$\Delta f = \frac{f_{clk}}{2^B} = \frac{120 * 10^6 \text{ Hz}}{2^{32}} = 0.0279 \text{ Hz}$$

IP 核的 modsim 仿真结果如图 4-26 所示，其中时钟频率为 245.76MHz，输出波形频率为 30.72MHz。

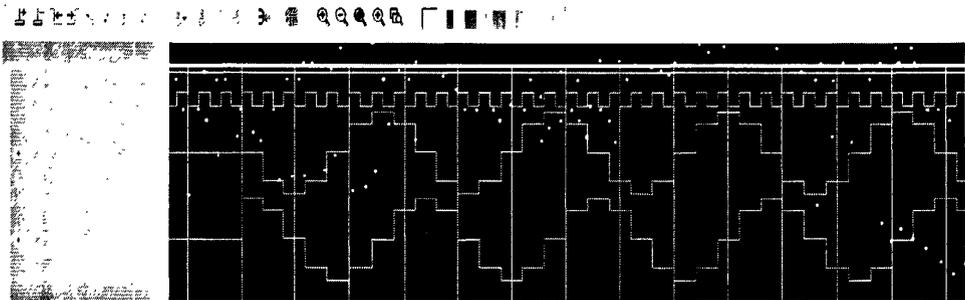


图 4-26 DDS 的 IP 核的 modsim 仿真结果

4.6.5 复数乘法器

本项目中复数乘法器的主要用途是，通过数据和载波信号的复乘完成上下变频，Xilinx 公司提供了复数乘法器的 IP 核，该 IP 核利用了简单的数学技巧，使一个复数乘法所需的实数乘法器由 4 个降为 3 个。其原理如图 4-27 所示^[20]。

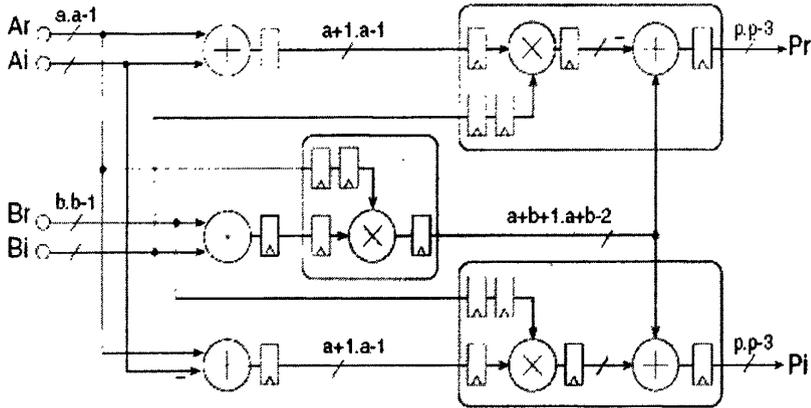


图 4-26 复数乘法器的 IP 核的 FPGA 内部结构示意图

对于复数 p , a 和 b , 且 $p=ab$ 。

$$p = p_r + p_i = ab = (a_r + a_i)(b_r + b_i) \quad (4-6)$$

其中：

$$p_r = a_r b_r - a_i b_i = a_r (b_r + b_i) - (a_r + a_i) b_i \quad (4-7)$$

$$p_i = a_r b_i + a_i b_r = a_r (b_r + b_i) + (a_i - a_r) b_r \quad (4-8)$$

如(4-7), (4-8)所示，通过增加一个加法，我们节省了一个乘法器。

该 IP Core 的配置界面如图 4-27 所示。

由 IP Core 的 GUI 界面上可以看到一个复数乘法器需要 3 个实数乘法器，且有 4 个 CLK 的时延，这一点在图 4-28 的功能仿真中也可以看出来。

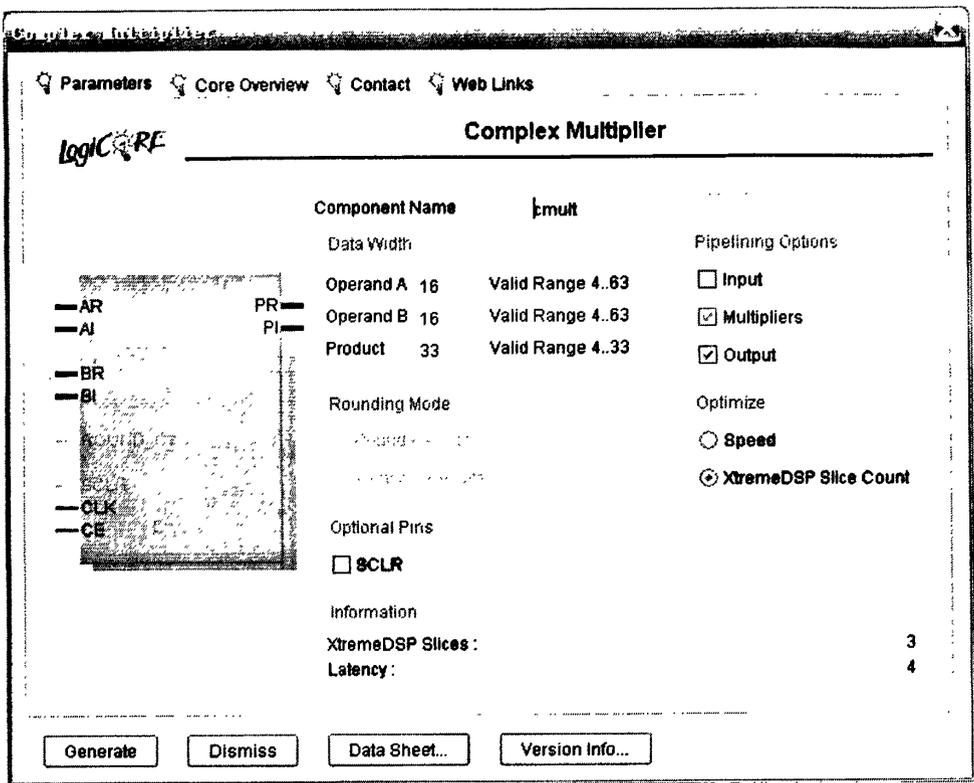


图 4-27 复数乘法器的 IP 核的用户界面

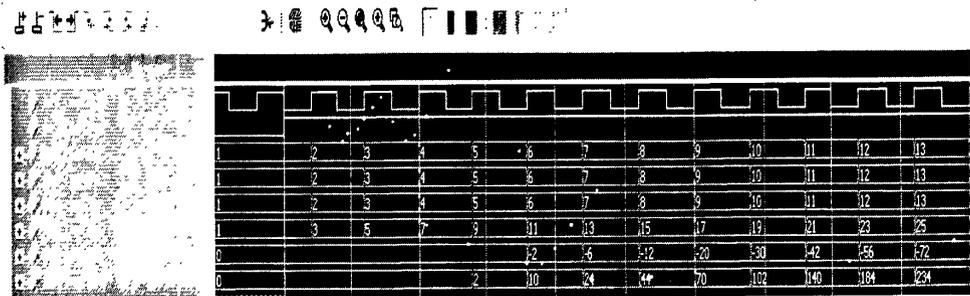


图 4-28 复数乘法器的 IP 核的 modsim 仿真结果

第五章 DPD 硬件系统的性能测试

5.1 测试平台框图

DPD 算法的测试平台如图 5-1 所示，信号发生器采用的是 ROHDE&SCHWARZ 公司的 SMJ100A，测试信源采用协议^[11, 12, 13]规定的 Test Model1 模式，信号的相关参数是通过文件配置的，信号发生器只需加载相应的波形文件即可完成相应的波形输出。这里我们波形文件配置为 3 载波，并且每个载波同相位，频率上每个载波间隔 5MHZ，每个载波均携带 64 个业务信道以及一些控制信道的数据，相当于所有码道全开，勾选预销峰选项，将信号峰均比置为 8.3，绕码选择 0 号绕码。

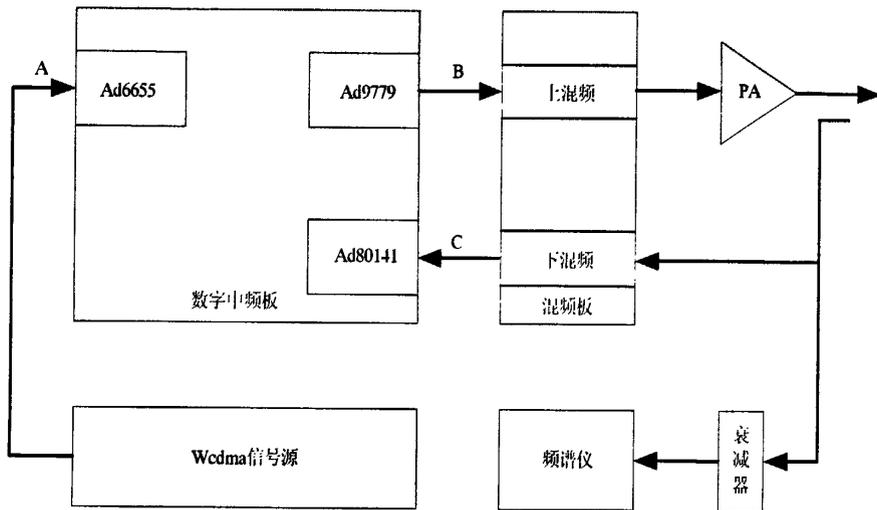


图 5-1 DPD 测试平台框图

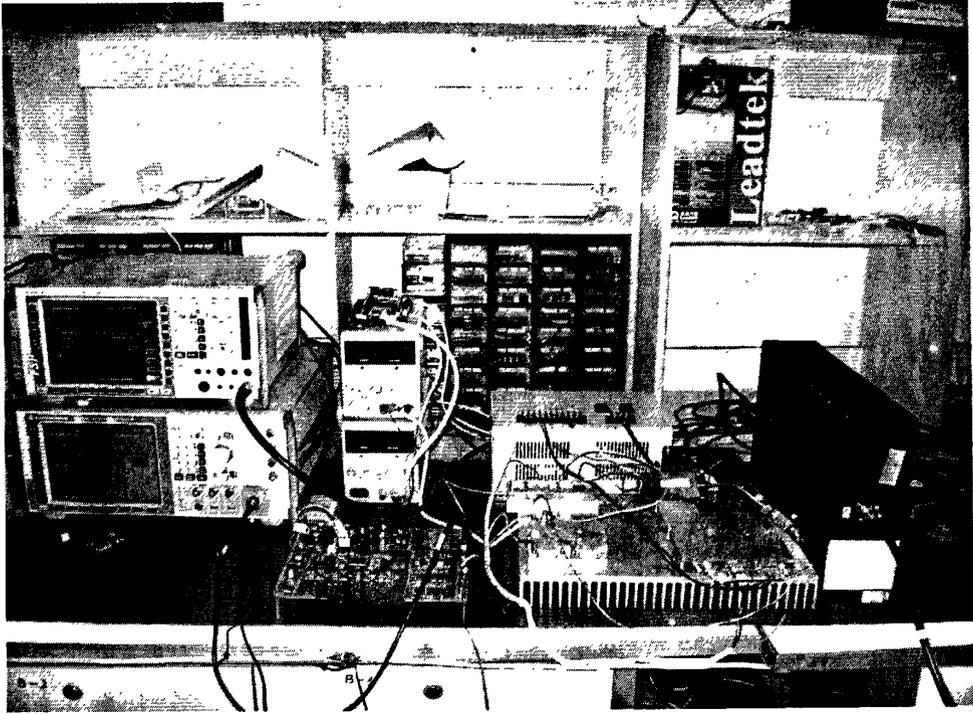
5.2 测试平台仪器仪表清单

表 5-1 测试平台仪器仪表清单

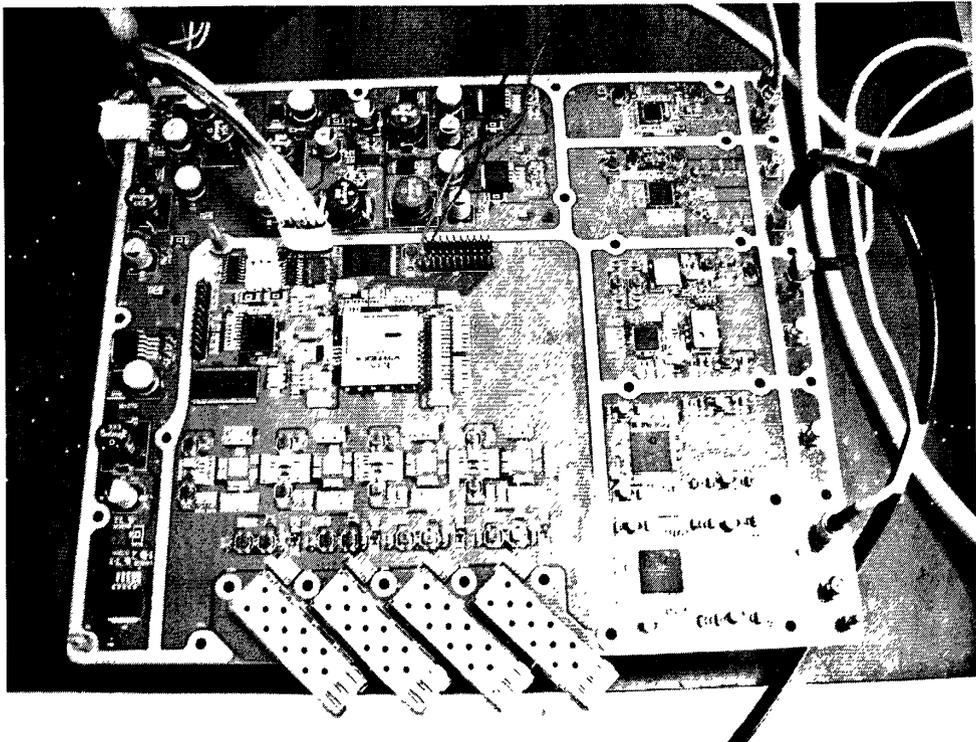
物品	型号
数字中频板	云海公司自制
混频板	云海公司自制
doherty 功放	云海公司自制
Wcdma 信号源	ROHDE&SCHWARZ SMJ100A
频谱仪	ROHDE&SCHWARZ FSP
47db 衰减器	云海公司自制

5.3 测试平台实物照片

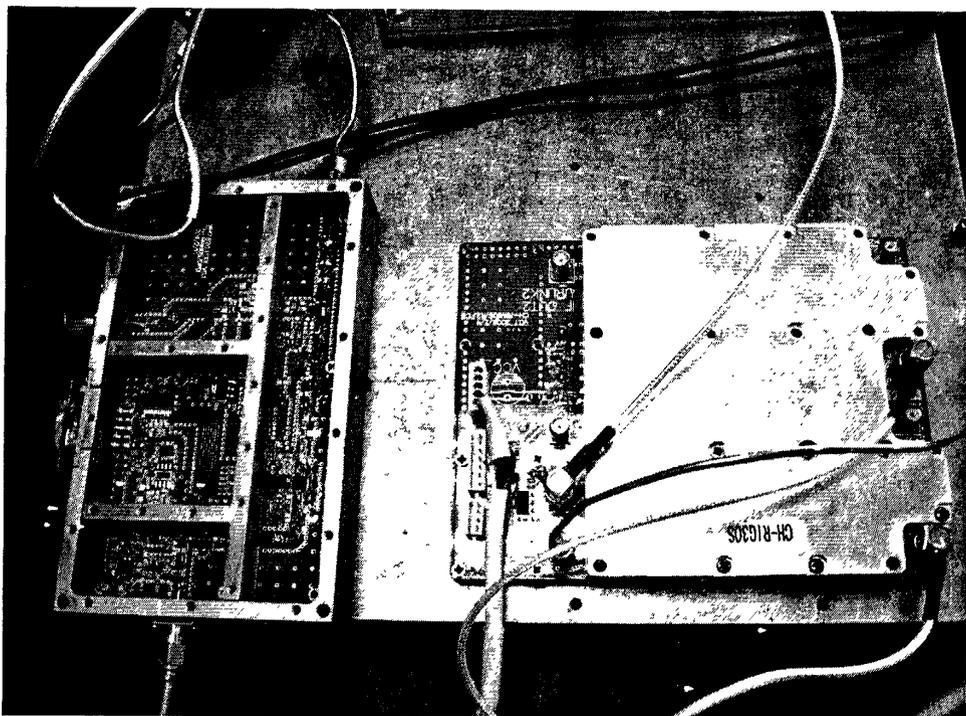
5.3.1 测试平台照片



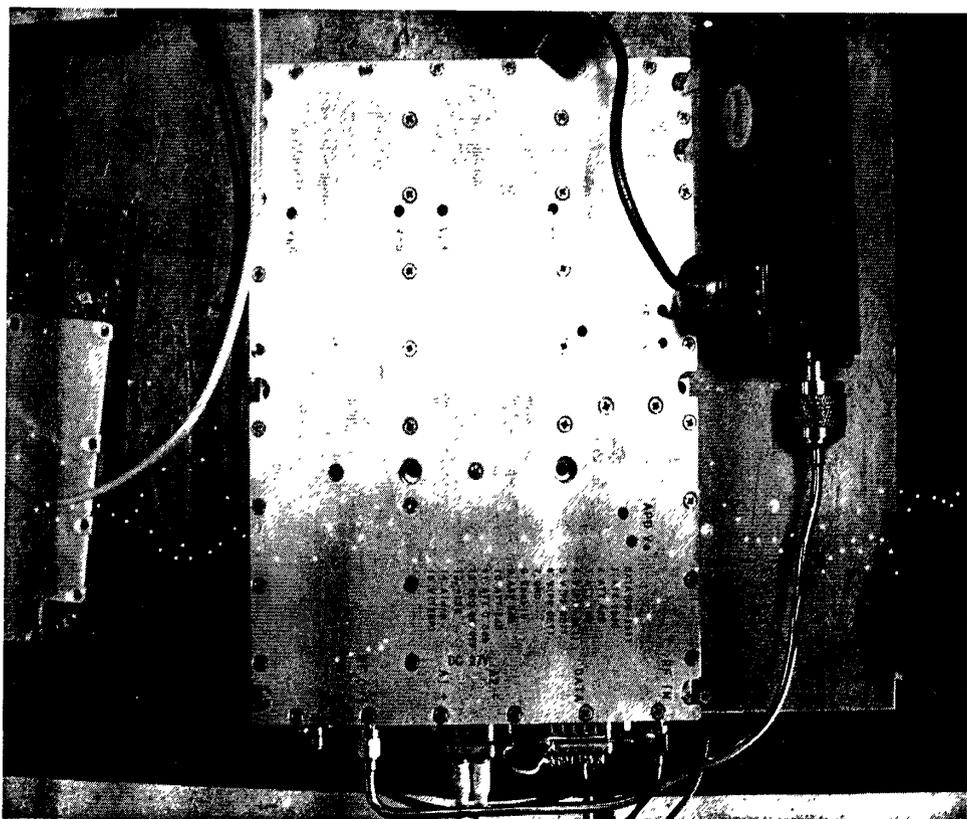
5.3.2 数字中频板照片



5.3.3 上下混频模块实物照片（左为下混频，右为上混频）



5.3.4 doherty 功放照片



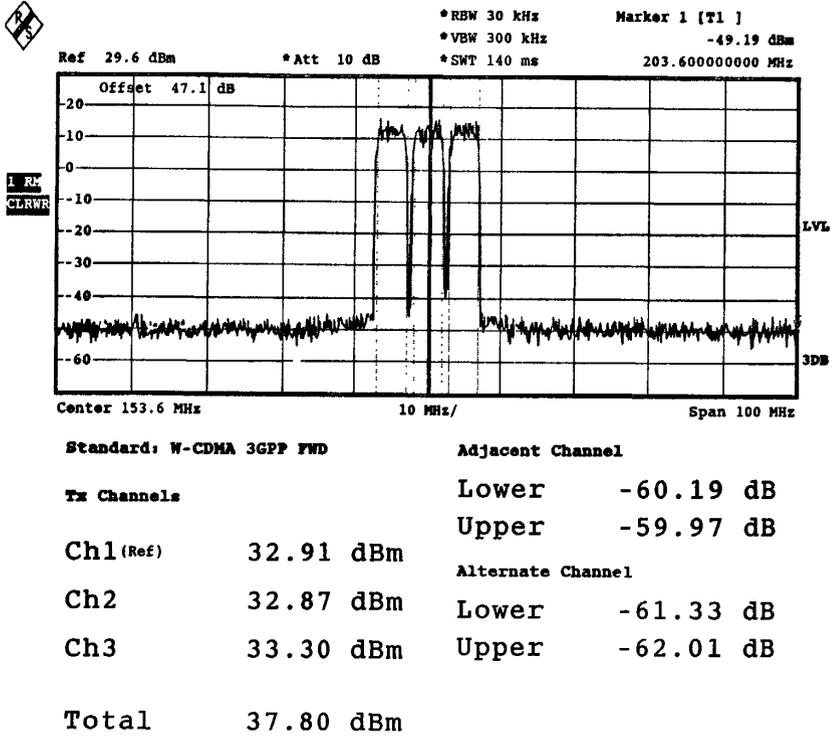
5.4 测试数据表格

表 5-2 DPD 性能实测数据

程序说明	K = 5, Q = 3		
信号源输出 (A)	WCDMA 的 3 载波信号, 中频位置: 153.6MHZ 平均功率: -8.6dbm 峰均比: 8.82dbm		
9779 输出(B)	中频位置: 153.6MHZ 平均功率: -17dbm		
80141 输入 (C)	中频位置: 153.6MHZ 平均功率: 3dbm		
	ACPR(dB)		
输出功率:	Lower	算法生效前	算法生效后
输出功率: 44.8dBm	Adj lower	38	50
	Adj upper	34	50
	Alter lower	42	54
	Alter upper	38	55
功放电流		4.1A	4.1A
功放电压		27V	27V

5.5 测试性能截图

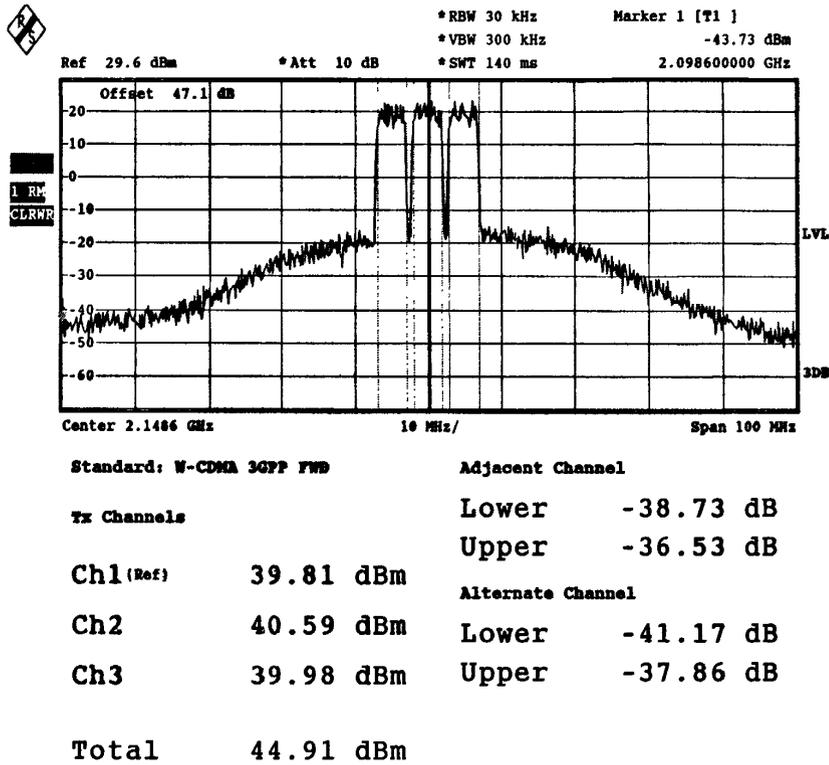
5.5.1 信号源输出的 WCDMA 的 3 载波信号的 PSD 图



Date: 31.AUG.2009 05:34:20

图 5-2 信号源输出的 WCDMA 的 3 载波信号的频谱

5.5.2 不加 DPD 模块的功放输出信号的 PSD 图

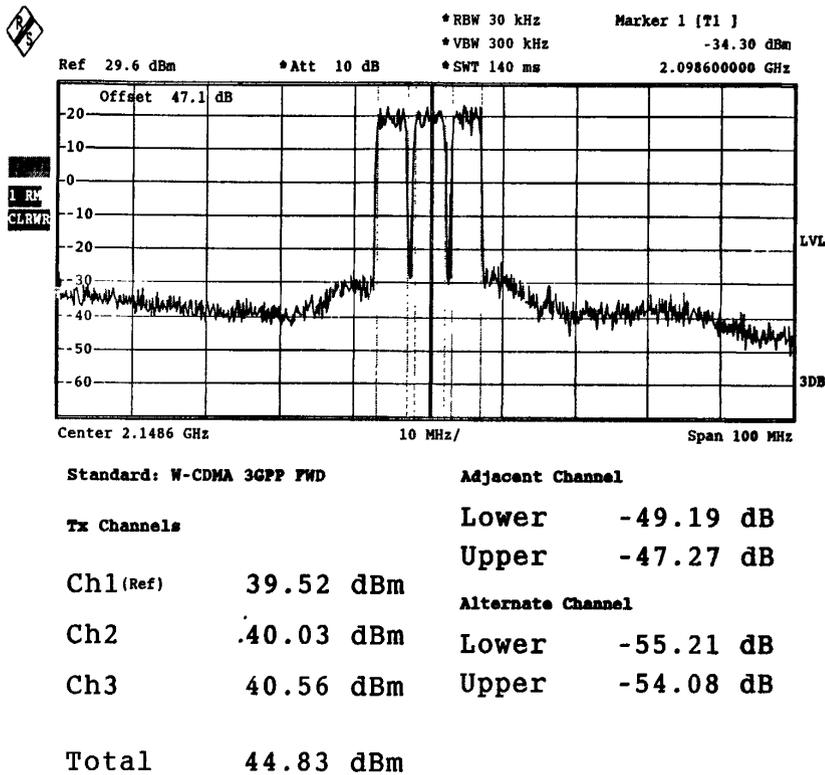


Date: 31.AUG.2009 05:39:56

图 5-3 不加 DPD 模块的功放输出信号的频谱

如图可见，此时ACPR只有38db，已不能满足WCDMA信号的模板

5.5.3 加入 DPD 模块后的功放输出信号的 PSD 图



Date: 31.AUG.2009 05:47:42

图 5-4 加入 DPD 模块的功放输出信号的频谱

如图可见，加入DPD模块后，ACPR已达到49db，已能满足WCDMA信号的模板的要求。WCDMA信号测试模板要求ACPR指标为47db

5.6 测试结论

- ◆ 依照目前算法实现的 DPD 模块对功放输出信号 ACPR 值的改善能达到 15dB 左右(变化 3dB)。EVM 恶化在 1%以内。
- ◆ 根据测试情况，目前的算法加上云海公司的 dohertry 功放能把功放的效率做到 27% (30w/27v*4.1A)。

第六章 论文总结与未来展望

随着移动通信事业的迅猛发展,不论是如今正在商用的 3G 市场还是未来的以 OFDM 为核心物理层技术的 4G (LTE) 通信系统都对功放的线性度提出了越来越高的要求,而功放自身的非线性缺陷已成为制约发展的致命瓶颈。因此功放线性化技术的发展和研究迫在眉睫,就现如今看来,功放线性化技术虽说总类繁多,但总的来看无外乎分为两大类,即前馈法和预失真法,而前馈法由于其附加的硬件成本以及复杂的射频调试技术逐渐在走下历史舞台。预失真法尤其是数字预失真技术已成为近几年无线通信领域内的一项热点技术。本文就是围绕着数字预失真技术的研究和讨论展开,重点讨论了记忆多项式 DPD 算法的性能仿真和硬件实现。

本文主要完成的工作有:

- 完成了大量数字预失真技术方面的论文资料的查找和整理
- 完成了功放原理和功放建模理论方面相关论文资料的查找和整理
- 结合实验室的项目需求对记忆多项式 DPD 算法进行改进和简化
- 在 MATLAB 的平台上搭建了 DPD 系统的性能仿真平台,包括浮点仿真和定点仿真,仿真结果在 PSD 指标和星座图指标方面都体现了记忆多项式 DPD 算法的高性能,尤其是定点仿真的结果不仅论证了算法的可实现性,而且也给算法硬件实现提供了很好的理论依据。
- 根据 DPD 定点仿真的定出的算法定点结构,提出了基于 Xilinx FPGA 的单芯片嵌入式 FPGA 解决方案,并且完成了三大核心功能模块 DPD 滤波器,DPD 参数估计与捕获 RAM 的代码编写,其中 DPD 滤波器与捕获 RAM 用 Verilog hdl 语言完成逻辑编写,DPD 参数估计由于是在 FPGA 的嵌入式 CPU 上实现的,故采用 C 语言完成算法编写。
- 最终和项目合作方一起完成了 DPD 应用系统的整机测试

最后附上本人目前研究工作的不足,希望在后续的研究工作中加以改进

- DPD 系统前端应配合 CFR 模块,能更好的改善功放的非线性和提高功放效率,目前的测试情况并不涉及 CFR,只是 DPD 单独作用的结果
- 功放的辨识。希望后续的研究中,能加入对功放特性的辨识处理,做到真正的自适应
- 目前的训练算法还过于复杂。希望后续的研究能进一步简化目前的训练算法

参考文献

- [1] L. Ding, Digital Predistortion of Power Amplifiers for Wireless Applications, [Ph. D Dissertation], Georgia Institute of Technology, Mar. 2004.
- [2] 《AD6655 datasheet》[Z]. Analog Devices co., 06 年。
- [3] 《AD9779 datasheet》[Z]. Analog Devices co., 05 年。
- [4] 《AD80141 datasheet》[Z]. Analog Devices co., 05 年。
- [5] Virtex-4 FPGA User Guide, <http://www.xilinx.com/support/documentation/index.htm>.
- [6] Virtex-4 Libraries Guide for HDL Designs, <http://www.xilinx.com/support/documentation/index.htm>.
- [7] ISE10.1 and EDK 10.1 Tools Documentation, <http://www.xilinx.com/support/documentation/index.htm>.
- [8] P. B. Kenington, High-Linearity RF Amplifier Design, Arrech House, Boston, London, 2000.
- [9] Theodore S. Rappaport, Wireless Communications Principles and Practice, Second Edition, Publishing House of Electronics Industry, Beijing, 2004.
- [10] Fraedric J Harris, Multirate Signal processing for Communication Systems, Prentice Hall PTR, 2004.
- [11] UE Radio Transmission and Reception (FDD), 3GPP 25.101.
- [12] UTRA (BS) FDD; Radio transmission and Reception, 3GPP 25.104.
- [13] Base station conformance testing (FDD), 3GPP 25.141.
- [14] Spreading and modulation (FDD), 3GPP 25.213.
- [15] 基于 AD6655 的数字直放站系统的设计 , http://www.21ic.com/app/analog/200905/43245_3.htm
- [16] Multiplier v10.1, <http://www.xilinx.com/support/documentation/index.htm>.
- [17] CORDIC v3.0, <http://www.xilinx.com/support/documentation/index.htm>.
- [18] DDS Compiler v2.1, <http://www.xilinx.com/support/documentation/index.htm>.
- [19] FIR Compiler v4.0, <http://www.xilinx.com/support/documentation/index.htm>.
- [20] Complex Multiplier v2.1, <http://www.xilinx.com/support/documentation/index.htm>.

致谢

三年的硕士研究生学习生活即将结束，回首既往，自己一生最宝贵的时光能于这样的校园之中，能在众多学富五车、才华横溢的老师们的熏陶下度过，实是荣幸之极。在这三年的时间里，我在学习上和思想上都受益非浅。这除了自身努力外，与各位老师、同学和朋友的关心、支持和鼓励是分不开的

这里我首先要感谢两位老师，一位是我的导师罗新龙教授，另一位是直放站项目组的负责人林家儒教授，正是由于罗老师的大力推荐和林老师的认可，我才有参与 DPD 项目的机会。我很珍惜这个来之不易的机会，在平时的研究工作中，勤勤恳恳，矜矜业业，刻苦钻研，从进入项目组起几乎投入了全部的时间和精力在这个项目上，然后这一切都是值得的，项目最终的圆满成功一方面让我获得了信心和成就感，另一方面让我觉得很欣慰没有辜负两位老师对我的信任。

在 DPD 项目研究工作开展的过程中我还要感谢两位老师，一位还是林家儒教授，另一位是牛凯教授，两位老师渊博的学识、严谨的治学态度和积极向上的精神一直给予我潜移默化的熏陶和感染，使我受益匪浅，每次在项目处在危难的时刻，都是两位老师主动提出了中肯的意见和指导方针，才保证了项目的顺利进展。可以说没有两位老师的耐心指导就不会有 DPD 项目的巨大成功。我由衷的感谢两位老师在项目中给我的耐心指导和帮助。

我还要感谢实验室的徐文波师姐、于光炜师兄在平时学习和项目中的指导和帮助；感谢项目组的田耘，胡彬、谷涛、王慧颖、彭勇，刘鑫等同学。因为从我进入项目组工作以来，我得到来自他们所有人各种各样的帮组和支持。限于篇幅，实在无法一一列举，但是可以肯定的是没有他们，没有这个团队，同样不会有这个项目的成功。

在这个项目成功的背后我还想感谢两个跟我战斗在调试现场一线的两个人，一个是项目组的彭勇同学，一个是云海公司钟英东工程师，回想起在深圳参与项目调试的岁月，经历了无数次的失败与挫折，正是由于他们对我的鼓励，支持和帮助，无数次让我重拾信心，迎难而上。钟英东工程师确实在项目的调试过程中帮我承担和实施了很多的工作，他对这个项目的贡献也是毋庸置疑的。

最后，还要特别感谢我的父母，他们对我的期望和鼓励永远是我永不枯竭的力量源泉。从他们身上，我读懂了责任，学会了坚强、奋斗和自信。祝愿我的父母生活美满，寿比南山。