

自我检测题

- [T1.1] $(1011111.01101)_2 = (137.32)_8 = (5F.68)_{10}$
- [T1.2] $(26.125)_{10} = (11010.001)_2 = (1A.2)_{16}$
- [T1.3] $(499)_{10} = (0100\ 1001\ 1001)_{8421BCD}$
- [T1.4] $(5.14)_{10} = (0101.00010100)_{8421BCD}$
- [T1.5] $(10010011)_{8421BCD} = (93)_{10}$
- [T1.6] 基本逻辑运算有与、或、非 3 种。
- [T1.7] 两输入与非门输入为 **01** 时, 输出为 1。
- [T1.8] 两输入或非门输入为 **01** 时, 输出为 0。
- [T1.9] 当变量 ABC 分别为 **100** 时, $AB+BC = \underline{0}$, $(A+B)(A+C) = \underline{1}$, $(A+B)AB = \underline{0}$ 。
- [T1.10] 描述逻辑函数各个变量取值组合和函数值对应关系的表格叫 真值表。
- [T1.11] 用与、或、非等运算表示函数中各个变量之间逻辑关系的代数式叫 逻辑表达式。
- [T1.12] 逻辑变量和逻辑函数只有 0 和 1 两种取值, 而且它们只是表示两种不同的逻辑状态。
- [T1.13] 约束项是 不会出现 的变量取值所对应的最小项, 其值总是等于 **0**。
- [T1.14] 逻辑函数表达式 $F = (A+B)(A+B+C)(AB+CD) + E$, 则其对偶式 $F' = \underline{(AB+ABC+(A+B)(C+D))E}$ 。
- [T1.15] 写出函数 $Z = ABC + (A+BC)(A+C)$ 的反函数 $\bar{Z} = \underline{(\bar{A} + \bar{B} + \bar{C})(\bar{A}\bar{B}\bar{C} + \bar{A}\bar{C})}$ 。
- [T1.16] 函数 $Y = AB + \bar{B}D$ 的最小项表达式为 $Y = \underline{\sum m(1, 3, 9, 11, 12, 13, 14, 15)}$ 。(列真值表)
- [T1.17] $Y = ABC + \bar{C} + ABDE$ 的最简与-或式为 $Y = \underline{AB + \bar{C}}$ 。
- [T1.18] 下列各组数中, 是 6 进制的是 。
- (A) 14752 (B) 62936 (C) 53452 (D) 37481
- [T1.19] 十进制数 62 对应的十六进制数是 。
- (A) $(3E)_{16}$ (B) $(36)_{16}$ (C) $(38)_{16}$ (D) $(3D)_{16}$
- [T1.20] 下列四个数中与十进制数 $(163)_{10}$ 不相等的是 。
- (A) $(A3)_{16}$ (B) $(10100011)_2$
- (C) $(000101100011)_{8421BCD}$ (D) $(100100011)_8$
- [T1.21] 已知二进制数 **11001010**, 其对应的十进制数为 。
- (A) 202 (B) 192 (C) 106 (D) 92
- [T1.22] 十进制数 78 所对应的二进制数和十六进制数分别为 。
- (A) **1100001B**, 61H (B) **1001110B**, 4EH
- (C) **1100001B**, C2H (D) **1001110B**, 9CH
- [T1.23] 和八进制数 $(166)_8$ 等值的十六进制数和十进制数分别为 。

(A) 76H, 118D (B) 76H, 142D (C) E6H, 230D (D) 74H, 116D

[T1.24] 十进制数 118 对应的 16 进制数为_____。

(A) 76H (B) 78H (C) E6H (D) 74H

[T1.25] 和二进制数 (1100110111.001)₂ 等值的十六进制数是_____。

(A) (337.2)₁₆ (B) (637.1)₁₆ (C) (1467.1)₁₆ (D) (C37.4)₁₆

[T1.26] 下列数中最大数是_____。

(A) (100101110)₂ (B) (12F)₁₆ (C) (301)₁₀ (D) (10010111)_{8421BCD}

[T1.27] 用 0、1 两个符号对 100 个信息进行编码, 则至少需要_____。

(A) 8 位 (B) 7 位 (C) 9 位 (D) 6 位

[T1.28] 相邻两组编码只有一位不同的编码是_____。

(A) 2421BCD 码 (B) 8421BCD 码 (C) 余 3 码 (D) 格雷码

[T1.29] 下列几种说法中与 BCD 码的性质不符的是_____。

(A) 一组 4 位二进制数组成的码只能表示一位十进制数

(B) BCD 码是一种人为选定的 0~9 十个数字的代码

(C) BCD 码是一组 4 位二进制数, 能表示十六以内的任何一个十进制数

(D) BCD 码有多种

[T1.30] 一只四输入端与非门, 使其输出为 0 的输入变量取值组合有_____种。

(A) 15 (B) 8 (C) 7 (D) 1

[T1.31] 一只四输入端或非门, 使其输出为 1 的输入变量取值组合有_____种。

(A) 15 (B) 8 (C) 7 (D) 1

[T1.32] 下列逻辑代数式中值为 0 的是_____。

(A) $A \oplus A$ (B) $A \oplus 1$ (C) $A \oplus 0$ (D) $A \oplus \bar{A}$

[T1.33] 与逻辑式 $XY + Y\bar{Z} + YZ$ 相等的式子是_____。

(A) $XY + Y$ (B) Y (C) $XY + Y\bar{Z}$ (D) $Y\bar{Z} + YZ$

[T1.34] 与逻辑式 $\bar{A} + ABC$ 相等的式子是_____。

(A) ABC (B) $1 + BC$ (C) A (D) $\bar{A} + BC$

[T1.35] 与逻辑式 $ABC + \overline{ABC}$ 相等的式子是_____。

(A) ABC (B) A (C) \overline{ABC} (D) $ABC + \overline{BC}$

[T1.36] 下列逻辑等式中不成立的有_____。

(A) $A + BC = (A + B)(A + C)$ (B) $AB + \overline{AB} + \overline{AB} = 1$

(C) $\bar{A} + \bar{B} + AB = 1$ (D) $A \overline{ABD} = \overline{ABD}$

[T1.37] 下列逻辑等式中不成立的是_____。

(A) $\overline{A+B} = \bar{A}\bar{B}$ (B) $\overline{AB} = \bar{A} + \bar{B}$

(C) $\bar{A} + AB = A + B$ (D) $A + AB = A$

[T1.38] 若已知 $XY + Y\bar{Z} + YZ = XY + Y$, 判断等式 $(X + Y)(Y + \bar{Z})(Y + Z) = (X + Y)Y$ 成

立的最简单方法是依据以下_____规则:

- (A) 代入规则; (B) 对偶规则; (C) 反演规则; (D) 互补规则。

[T1.39] 逻辑函数 $F = \overline{AB} + CD$ 的反函数 $\overline{F} =$ _____。

- (A) $\overline{AB + CD}$ (B) $\overline{(A+B)(C+D)}$ (C) $(A+B) + (\overline{C} + \overline{D})$ (D) $\overline{A + BC + D}$

[T1.40] 逻辑函数 $F = AB + B\overline{C}$ 的对偶式 $F' =$ _____。

- (A) $(\overline{A+B})(\overline{B+C})$ (B) $(A+B)(B+\overline{C})$
(C) $\overline{A+B+C}$ (D) $\overline{AB+B\overline{C}}$

[T1.41] 函数 $F = AB + BC$, 使 $F=1$ 的输入 ABC 组合为_____。

- (A) $ABC = 000$ (2) $ABC = 010$ (3) $ABC = 101$ (4) $ABC = 110$

[T1.42] 已知 $F = \overline{ABC} + \overline{CD}$, 下列组合中, _____ 可以肯定使 $F=0$ 。

- (A) $A=0, BC=1$; (B) $B=1, C=1$; (C) $C=1, D=0$; (D) $BC=1, D=1$

[T1.43] 在下列各组变量取值中, 能使函数 $F(A, B, C, D) = \sum m(0, 1, 2, 4, 6, 13)$ 的值为 1 是_____。

- (A) 1100 (B) 1001 (C) 0110 (D) 1110

[T1.44] 已知某电路的真值表如表 T1.44 所示, 该电路的逻辑表达式为_____。

- (A) $F=C$ (B) $F=ABC$ (C) $F=AB+C$ (D) 都不是

表 T1.44

A	B	C	F	A	B	C	F
0	0	0	0	1	0	0	0
0	0	1	1	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

[T1.45] 以下说法中, _____ 是正确的?

- (A) 一个逻辑函数全部最小项之和恒等于 1
(B) 一个逻辑函数全部最大项之和恒等于 0
(C) 一个逻辑函数全部最小项之积恒等于 1
(D) 一个逻辑函数全部最大项之积恒等于 1

[T1.46] 逻辑函数 $F(A, B, C) = \sum m(0, 1, 4, 6)$ 的最简与非-与非式为_____。

- (A) $F = \overline{\overline{AB} \cdot \overline{AC}}$ (B) $F = \overline{\overline{AB} \cdot \overline{AC}}$ (C) $F = \overline{\overline{AB} \cdot \overline{AC}}$ (D) $F = \overline{\overline{AB} \cdot \overline{AC}}$

[T1.47] 布尔量 A 、 B 、 C 存在下列关系吗?

- (1) 已知 $A+B=A+C$, 问 $B=C$ 吗? 为什么?
(2) 已知 $AB=AC$, 问 $B=C$ 吗? 为什么?
(3) 已知 $A+B=A+C$ 且 $AB=AC$, 问 $B=C$ 吗? 为什么?

$$(4) \quad \overline{ABC} + BD + \overline{BC} + \overline{C} \overline{D} + \overline{ACE} + \overline{BE} + CDE = DB + E\overline{AC} + \overline{D} \overline{C} + \overline{BE}$$

(5) 最小项 m_{115} 与 m_{116} 可合并。

(1) \times , 因为只要 $A=1$, 不管 B 、 C 为何值, 上式均成立。

(2) \times , 不成立, 因为只要 $A=0$, 不管 B 、 C 为何值, 上式均成立。

(3) \checkmark , 当 $A=0$ 时, 根据 $A+B=A+C$ 可得 $B=C$; 当 $A=1$ 时, 根据 $AB=AC$ 可得 $B=C$ 。

(4) \checkmark

$$\overline{ABC} + BD + \overline{BC} + \overline{C} \overline{D} + \overline{ACE} + \overline{BE} + CDE$$

$$= \overline{BC} + BD + \overline{C} \overline{D} + \overline{ACE} + \overline{BE} + CDE$$

$$= BD + \overline{C} \overline{D} + \overline{ACE} + \overline{BE} + CDE$$

$$= BD + \overline{C} \overline{D} + \overline{ACE} + \overline{BE}$$

(5) \times $115=1110011B$ $116=1110100B$ 逻辑不相邻

习 题

[P1.1] 用 4 位循环码表示 0、1、2、…、8、9 十个数, 要求相邻两个数 (例 2 与 3 或 9 与 0) 都只有一位代码是不同的。固定用 0000 四位代码表示数 0, 试写出三种循环码表示形式。

解:

$ABCD$	$ABCD$	$ABCD$
0000	0000	0000
0001	0010	0100
0011	0110	1100
0010	0100	1000
0110	0101	1001
1110	0111	1011
1111	1111	1010
1101	1101	1110
1100	1100	0110
1000	1000	0010

[P1.2] 列出逻辑函数 $Y = \overline{\overline{AB} + BC}$ 的真值表。

$$\text{解: } Y = \overline{\overline{AB} + BC} = \overline{\overline{AB}} \cdot \overline{BC} = AB(\overline{B} + \overline{C}) = AB + AB\overline{C} = \overline{ABC} + \overline{AB\overline{C}}$$

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

[P1.3] 用公式法证明: $\overline{AB} + \overline{BC} + \overline{CA} = \overline{AB} + \overline{BC} + \overline{CA}$

解: $Y_1 = \overline{AB} + \overline{BC} + \overline{CA} = \overline{ABC} + \overline{AB}C + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} = m(1,2,3,4,5,6)$

$Y_2 = \overline{AB} + \overline{BC} + \overline{CA} = \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} = m(1,2,3,4,5,6)$

$\therefore Y_1 = Y_2$

[P1.4] 如果存在某组基本运算, 使任意逻辑函数 $f(x_1, x_2, \dots, x_n)$ 均可用它们表示, 则称该组基本运算组成完备集。已知与、或、非三种运算过程完备集, 试证明与、异或运算组成完备集。

解: 将异或门的其中一输入端接高电平即转化为非门, 与门和非门又可以构成或门。

[P1.5] 已知逻辑函数 $F = ABC + \overline{ABC} + \overline{BC}$, 求: 最简与-或式、与非-与非式、最小项表达式。

解: 最简与-或式:

$$F = ABC + \overline{ABC} + \overline{BC} = AB + \overline{BC}$$

与非-与非式:

$$F = \overline{\overline{AB + \overline{BC}}} = \overline{\overline{AB} \cdot \overline{BC}}$$

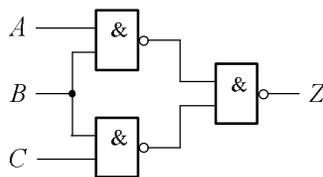
最小项之和:

$$F = ABC + \overline{ABC} + \overline{ABC}$$

[P1.6] 试用与非门实现逻辑函数 $L = \overline{AB + BC}$ 。

解: $L = \overline{\overline{AB + BC}} = \overline{\overline{AB} \cdot \overline{BC}}$

逻辑电路图



[P1.7] 写出如图 P1.7 所示逻辑电路的与-或表达式, 列出真值表。

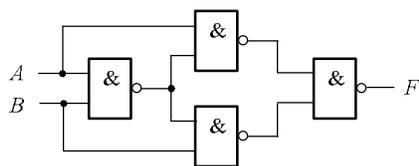


图 P1.7

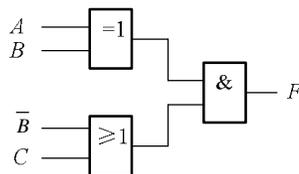


图 P1.8 (图要改)

解: $F = \overline{\overline{A} \overline{B} \overline{A} \overline{B}} = \overline{\overline{A} \overline{B}} + \overline{\overline{A} \overline{B}} = \overline{A} \overline{B} + \overline{A} \overline{B} = A \oplus B$

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

[P1.8] 写出如图 P1.8 所示逻辑电路的与-或表达式, 列出真值表。

解: 表达式

$$F = (\overline{A} + \overline{A} \overline{B})(\overline{B} + C) = \overline{A} \overline{B} + \overline{A} \overline{B} C + \overline{A} \overline{B} C = \overline{A} \overline{B} C + \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C$$

真值表

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

[P1.9] 用公式法化简逻辑函数 $F = AB + \overline{A}C + \overline{B}C + \overline{A}BCD$ 。

$$\begin{aligned} \text{解 } F &= AB + \overline{A}C + \overline{B}C + \overline{A}BCD = AB + \overline{A}C + \overline{B}C \\ &= AB + (\overline{A} + \overline{B})C = AB + \overline{A}BC = AB + C \end{aligned}$$

[P1.10] 用公式法化简逻辑函数 $F = AB + \overline{A}C + \overline{B}C + \overline{C}D + \overline{D}$ 。

$$\begin{aligned} \text{解: } F &= AB + \overline{A}C + \overline{B}C + \overline{C}D + \overline{D} \\ &= AB + \overline{A}C + \overline{B}C + \overline{C} + \overline{D} \\ &= AB + C\overline{A} + \overline{C} + \overline{D} = AB + C + \overline{C} + \overline{D} = 1 \end{aligned}$$

[P1.11] 证明不等式 $\overline{A}C + BC + \overline{A}B + D \neq \overline{B}C + \overline{A}B + AC + D$ 。

解: 令 $Y_1 = \overline{A}C + BC + \overline{A}B + D$

$$Y_2 = \overline{BC} + \overline{AB} + AC + D$$

当 $D=0$ 时, $Y_1 = \overline{AC} + BC + \overline{AB}$, $Y_2 = \overline{BC} + \overline{AB} + AC$

列出函数真值表:

A	B	C	Y_1	Y_2
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	1	1
1	0	0	1	1
1	0	1	1	1
1	1	0	0	1
1	1	1	1	1

从真值表可知:

$$Y_1 \neq Y_2$$

[P1.12] 试用卡诺图法将逻辑函数化为最简与-或式:

- (1) $F(A, B, C) = \sum m(0, 1, 2, 4, 6)$
- (2) $F(A, B, C) = \sum m(0, 1, 2, 4, 5, 7)$
- (3) $F(A, B, C) = \sum m(1, 3, 4) + \sum d(5, 6, 7)$
- (4) $F(A, B, C, D) = \sum m(4, 5, 6, 7, 8, 9, 10, 11, 12, 13)$
- (5) $F(A, B, C, D) = \sum m(5, 6, 7, 8, 9) + \sum d(10, 11, 12, 13, 14, 15)$
- (6) $F(A, B, C, D) = \sum m(0, 2, 4, 5, 6, 7, 12) + \sum d(8, 10)$
- (7) $L(A, B, C, D) = \sum m(5, 7, 13, 14) + \sum d(3, 9, 10, 11, 15)$.

解: (1)

	BC	00	01	11	10
F	A	0	1	0	1
		1	0	0	1

$$F = \overline{A}\overline{B} + \overline{C}$$

(2)

F	BC	00	01	11	10
A	0	1	1	0	1
	1	1	1	1	0

$$F(A, B, C) = \bar{B} + \bar{A}\bar{C} + AC$$

(3)

F	BC	00	01	11	10
A	0	0	1	1	0
	1	1	×	×	×

$$F(A, B, C) = A + C$$

(4)

F	CD	00	01	11	10
AB	00	0	0	0	0
	01	1	1	1	1
	11	1	1	0	0
	10	1	1	1	1

$$F = \bar{A}B + A\bar{B} + B\bar{C}$$

(5)

F	CD	00	01	11	10
AB	00	0	0	0	0
	01	0	1	1	1
	11	×	×	×	×
	10	1	1	×	×

$$F = A + BD + BC$$

(6)

(6)

F	AB	CD			
		00	01	11	10
	00	1	0	0	1
	01	1	1	1	1
	11	1	0	0	0
	10	×	0	0	×

$$F(A, B, C, D) = \overline{C}\overline{D} + \overline{A}B + \overline{B}\overline{D}$$

(7)

L	AB	CD			
		00	01	11	10
	00	0	0	×	0
	01	0	1	1	0
	11	0	1	×	1
	10	0	×	×	×

$$L = BD + AC$$

[P1.13] 将下列逻辑函数化简成最简与-或表达式:

$$\begin{cases} Y = B\overline{C}D + \overline{A}BCD + \overline{A}\overline{B}\overline{C}D \\ CD + \overline{C}\overline{D} = 0 \end{cases}$$

解:

Y	AB	CD			
		00	01	11	10
	00	×	0	×	0
	01	×	1	×	0
	11	×	1	×	0
	10	×	1	×	0

$$Y = BD + AD$$

[P1.14] 有两个函数 $F=AB+CD$ 、 $G=ACD+BC$ ，求 $M=F \cdot G$ 及 $N=F+G$ 的最简与-或表达式。

解: 画出 F 和 G 的卡诺图如下:

F	CD				
	AB	00	01	11	10
	00	0	0	1	0
	01	0	0	1	0
	11	1	1	1	1
10	0	0	1	0	

G	CD				
	AB	00	01	11	10
	00	0	0	0	0
	01	0	0	1	1
	11	0	0	1	1
10	0	0	1	0	

函数在进行与或运算时，只要将图中编号相同的方块，按下述的运算规则进行运算，即可求得它们的逻辑与、逻辑或等函数。其运算规则如表所示。

.	0	1	×		+	0	1	×
0	0	0	0		0	0	1	×
1	0	1	×		1	1	1	1
×	0	×	×		×	×	1	×

M	CD				
	AB	00	01	11	10
	00	0	0	0	0
	01	0	0	1	0
	11	0	0	1	1
10	0	0	1	0	

N	CD				
	AB	00	01	11	10
	00	0	0	1	0
	01	0	0	1	1
	11	1	1	1	1
10	0	0	1	0	

$$M = ABC + ACD + BCD$$

$$N = AB + BC + CD$$

[P1.15] 有两个函数， $F_1(A, B, C, D) = \sum m(0, 2, 7, 8, 10, 13) + \sum d(1, 4, 9)$ ， $F_2(A, B, C, D) = \prod M(1, 2, 6, 8, 10, 12, 15) \cdot \prod D(4, 9, 13)$ ，其中 m 、 M 表示最小项和最大项， d 、 D 表示无关项，试用卡诺图求：

(1) $P_1 = \overline{F_1} \cdot F_2$ 的最简与-或表达式；

(2) $P_2 = F_1 \oplus F_2$ 的最简或-与表达式。

解：先将 F_2 转化为最小项之和的形式：

$$\begin{aligned} \overline{F_2(A, B, C, D)} &= \prod M(1, 2, 6, 8, 10, 12, 15) \cdot \prod D(4, 9, 13) \\ &= m_1 + m_2 + m_6 + m_8 + m_{10} + m_{12} + m_{15} + d_4 + d_9 + d_{13} \end{aligned}$$

$$F_2(A, B, C, D) = m_0 + m_3 + m_5 + m_7 + m_{11} + m_{14} + d_4 + d_9 + d_{13} = \sum m(0, 3, 5, 7, 11, 14) + \sum d(4, 9, 13)$$

画出 F_1 和 F_2 的卡诺图：

F_1	CD	00	01	11	10
AB	00	1	×	0	1
	01	×	0	1	0
	11	0	1	0	0
	10	1	×	0	1

F_2	CD	00	01	11	10
AB	00	1	0	1	0
	01	×	1	1	0
	11	0	×	0	1
	10	0	×	1	0

画出 P_1 和 P_2 的卡诺图:

P_1	CD	00	01	11	10
AB	00	0	1	1	1
	01	×	1	0	1
	11	1	×	1	1
	10	1	×	1	1

P_2	CD	00	01	11	10
AB	00	0	×	1	1
	01	×	1	0	0
	11	0	×	0	1
	10	1	×	1	1

$$P_1 = A + \overline{C}D + C\overline{D} + \overline{A}BC$$

$$\overline{P_2} = \overline{A}C\overline{D} + BC\overline{D} + BCD + \overline{A}BC$$

[P1.16] 根据图 P1.16 所示波形图, 用原变量和反变量:

- (1) 写出逻辑关系表达式 $Z=f(A, B, C)$;
- (2) 将上述表达式简化成最简与-或-非表达式;
- (3) 把上述表达式简化成最简或非-或非表达式。

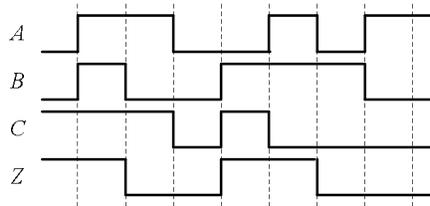


图 P1.16

解: 根据波形图列出真值表

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0

1	0	1	0
1	1	0	1
1	1	1	1

$$Z = AB + \overline{AC}$$

$$= \overline{\overline{A+C} + \overline{A+B}}$$

或非-或非表达式

$$= \overline{A \cdot C + A \cdot B}$$

与或非表达式

[P1.17] 若两个逻辑变量 X 、 Y 同时满足 $X+Y=1$ 和 $XY=0$ ，则有 $X=\overline{Y}$ 。利用该公理证明： $ABCD + \overline{A}\overline{B}\overline{C}\overline{D} = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{D} + \overline{D}\overline{A}$ 。

$$\text{证：} \because (ABCD + \overline{A}\overline{B}\overline{C}\overline{D})(\overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{D} + \overline{D}\overline{A}) = 0$$

$$\text{且 } ABCD + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{D} + \overline{D}\overline{A}$$

$$= ACD + \overline{A}\overline{C}\overline{D} + \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{D} + \overline{D}\overline{A}$$

$$= AC + \overline{A}\overline{C} + \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{D} + \overline{D}\overline{A}$$

$$= AC + \overline{D}\overline{A} + \overline{C}\overline{D} + \overline{A}\overline{C} + \overline{A}\overline{B} + \overline{B}\overline{C}$$

$$= AC + \overline{D}\overline{A} + C + \overline{A}\overline{C} + \overline{A}\overline{B} + \overline{B}\overline{C}$$

$$= \overline{D}\overline{A} + C + \overline{A} + \overline{A}\overline{B} + B$$

$$= C + \overline{A} + A + B = 1 + C + B = 1$$

\therefore 原等式成立。

自我检测题

[T2.1] CMOS 传输门可以用来传输数字信号或模拟信号。

[T2.2] CMOS 门电路的静态功耗很低。随着输入信号频率的增加,功耗也会增加。

[T2.3] TTL 与非门多余输入端的处理方法是接高电平,接电源,与其他引脚连在一起或悬空。

[T2.4] TTL 或非门多余输入端的处理方法是接低平,接地,与其他引脚连在一起。

[T2.5] TTL 与非门输出端采用推拉式输出的主要作用是提高速度,改善负载特性。

[T2.6] TTL 与非门的灌电流负载发生在输出低电平情况下,负载电流越大,则输出电平越高。

[T2.7] 在 TTL 门电路中,输出端能并联使用的电路有OC 门和三态门;

[T2.8] 三态逻辑门有三种状态:0 态、1 态和高阻态。

[T2.9] 当多个三态门的输出端连在一条总线上时,应注意任何时刻只能有一个门电路处于工作状态。

[T2.10] OC 门在使用时输出端应接上拉电阻和电源。

[T2.11] OC 门和三态门有什么特点?在使用中应注意什么?

解: OC 门可以线与,使用时应加上拉电阻。三态门输出有 3 种状态: 0 态、1 态、高阻态。当使能端电平有效时,处于工作状态;当使能端无效时,输出高阻态。挂在同一条总线上的三态门在任何时刻只能有一个门处于工作状态。

[T2.12] 当 CMOS 和 TTL 两种门电路互连时,要考虑哪几个电压和电流参数?这些参数应满足怎样的关系?

解:

$$V_{OH(\min)} \geq V_{IH(\min)}$$

$$V_{OL(\max)} \leq V_{IL(\max)}$$

$$|I_{OH(\max)}| \geq nI_{IH(\max)}$$

$$I_{OL(\max)} \geq m|I_{IL(\max)}|$$

[T2.13] 对 CMOS 门电路,以下 说法是错误的:

(A) 输入端悬空会造成逻辑出错

(B) 输入端接 $510\text{k}\Omega$ 的大电阻到地相当于接高电平

(C) 输入端接 510Ω 的小电阻到地相当于接低电平

(D) 噪声容限与电源电压有关

[T2.14] 已知图 T2.14 所示,各 MOSFET 管的 $|V_T|=2\text{V}$,若忽略电阻上的压降,则电路 中的管子处于导通状态。

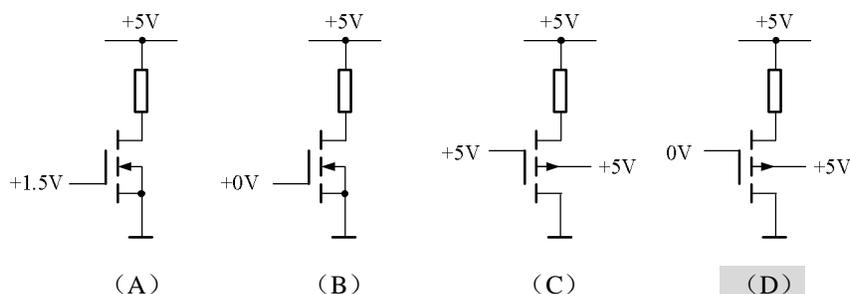


图 T2.14

[T2.15] 若将一个 TTL 异或门（设输入端为 A 、 B ）当作反相器使用，则 A 、 B 端应连接。

(A) A 或 B 中有一个接高电平 1 ； (B) A 或 B 中有一个接低电平 0 ；

(C) A 和 B 并联使用； (D) 不能实现。

[T2.16] 对 LSTTL 与非门电路，以下_____说法是错误的：

(A) 输入端悬空会造成逻辑出错

(B) 输入端接 $510\text{k}\Omega$ 的大电阻到地相当于接高电平

(C) 输入端接 510Ω 的小电阻到地相当于接低电平

(D) 输入端接低电平时有电流从门中流出

[T2.17] 某集成电路芯片，查手册知其最大输出低电平 $V_{OL(\max)}=0.5\text{V}$ ，最大输入低电平 $V_{IL(\max)}=0.8\text{V}$ ，最小输出高电平 $V_{OH(\min)}=2.7\text{V}$ ，最小输入高电平 $V_{IH(\min)}=2.0\text{V}$ ，则其低电平噪声容限 $V_{NL}=\underline{\hspace{2cm}}$ 。

(A) 0.4V (B) 0.6V (C) 0.3V (D) 1.2V

[T2.18] TTL 与非门的低电平输入电流为 1.0mA ，高电平输入电流为 $10\mu\text{A}$ ，最大灌电流为 8mA ，最大拉电流为 $400\mu\text{A}$ ，则其扇出系数为 $N=\underline{\hspace{2cm}}$ 。

(A) 8 (B) 10 (C) 40 (D) 20

[T2.19] 设图 T2.19 所示电路均为 CMOS 门电路，实现 $F = \overline{A+B}$ 功能的电路是_____。

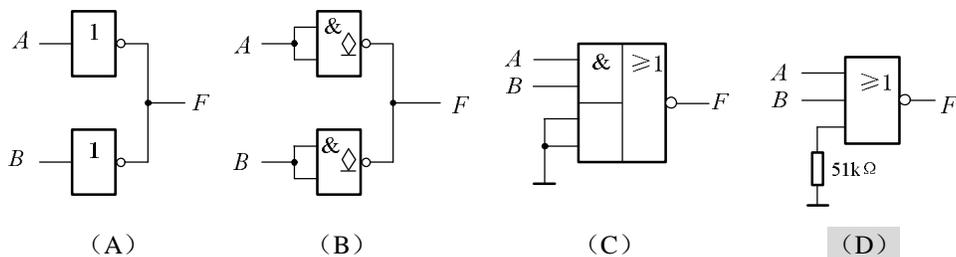


图 T2.19

[T2.20] 设图 T2.20 所示电路均为 LSTTL 门电路，能实现 $F = \overline{A}$ 功能的电路

是_____。

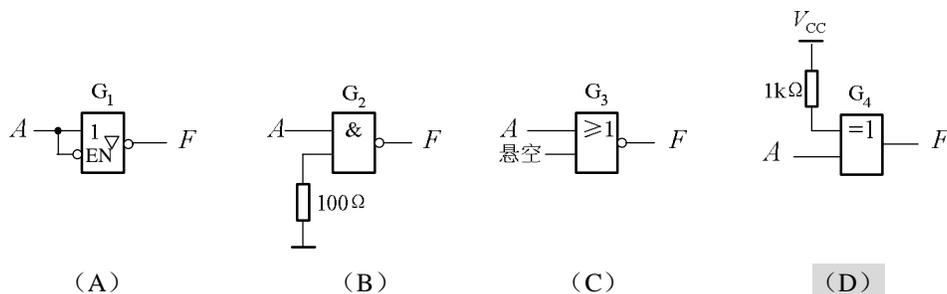


图 T2.20

[T2.21] 如图 T2.21 所示 LSTTL 门电路, 当 $\overline{EN}=0$ 时, F 的状态为_____。

- (A) $F = \overline{AB}$ (B) $F = A\overline{B}$ (C) $F = AB$ (D) $F = \overline{A\overline{B}}$

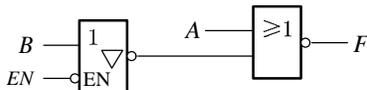


图 T2.21

[T2.22] OC 门组成电路如图 T2.22 所示, 其输出函数 F 为_____。

- (A) $F = AB + BC$ (B) $F = \overline{AB} + \overline{BC}$
 (C) $F = (A+B)(B+C)$ (D) $F = \overline{AB \cdot BC}$

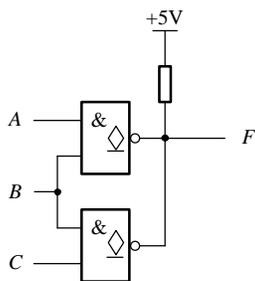


图 T2.22

习 题

[P2.1] 分别写出如图 P2.1 (a) (b) 所示电路的逻辑表达式, 说明是什么逻辑电路。

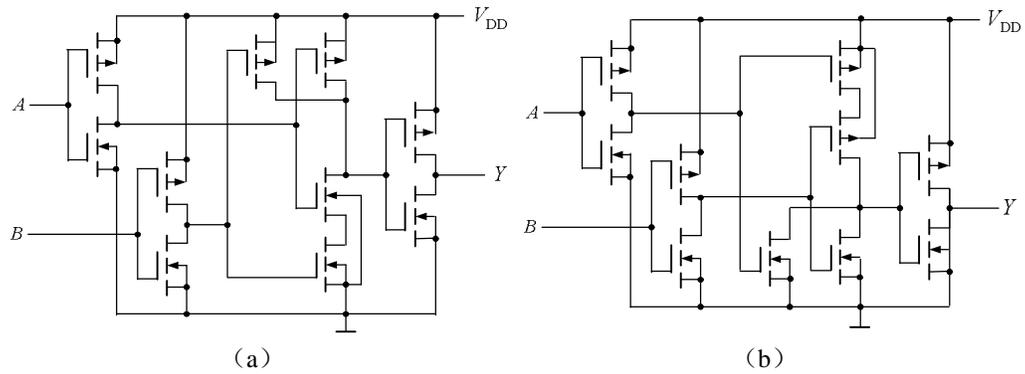


图 P2.1

解：(1) $Y = \overline{A+B}$ (2) $Y = \overline{A \cdot B}$

[P2.2] 分析如图 P2.2 (a)、(b) 所示电路的逻辑功能，写出电路输出函数 S 的逻辑表达式。

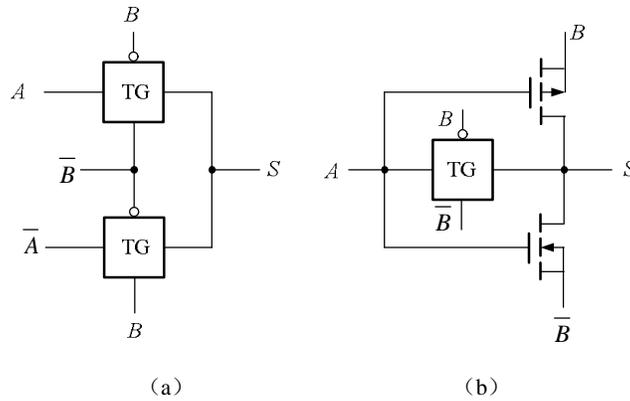


图 P2.2

解：

(1)

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

输出 S 都是 A 和 B 的异或函数，即 $S = A \oplus B$

(2)

A	B	S
0	0	0

0	1	1
1	0	1
1	1	0

输出 S 都是 A 和 B 的异或函数, 即 $S = A \oplus B$

[P2.3] 双互补对与反相器引出端如图 P2.3 所示, 试将其分别连接成: (1) 三个反相器; (2) 3 输入端与非门; (3) 3 输入端或非门; (4) 实现逻辑函数 $L = \overline{C(A+B)}$; (5) 一个非门控制两个传输门分时传送。

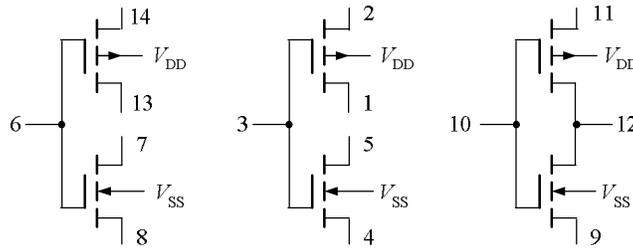
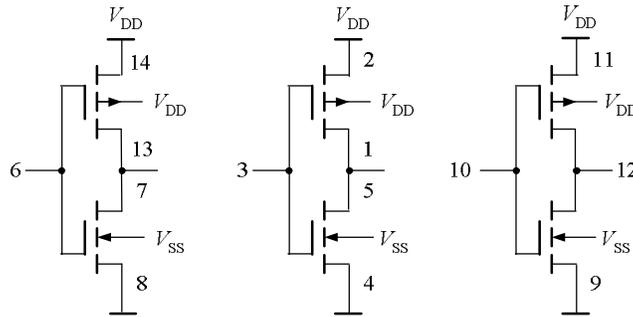
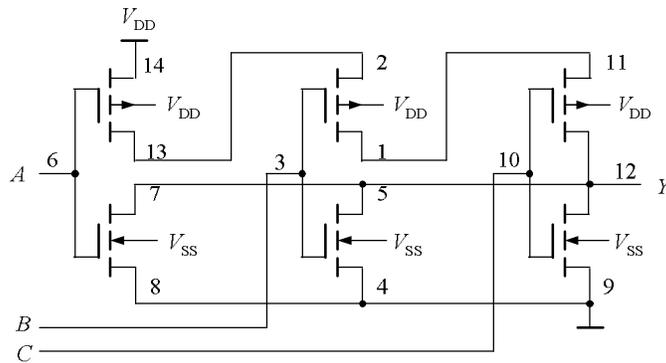


图 P2.3

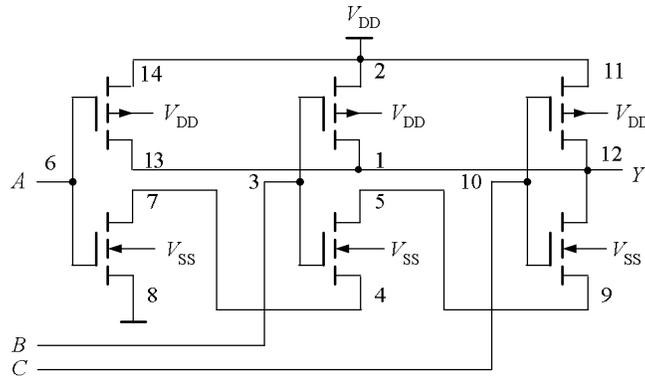
解: (1)



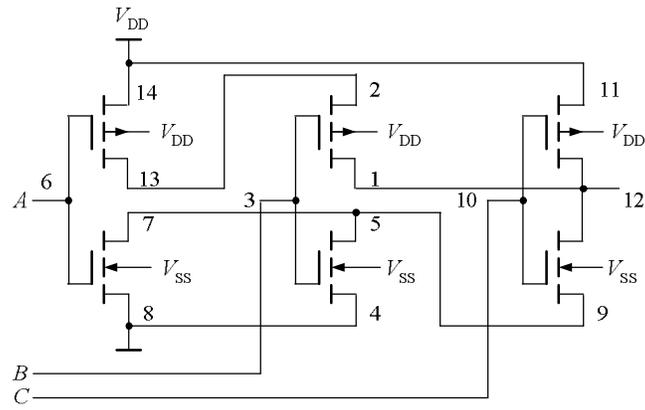
(2)



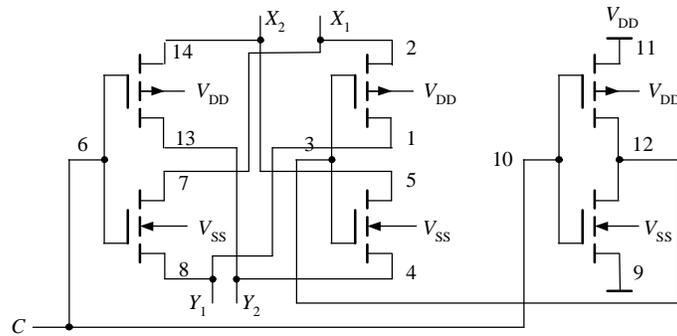
(3)



(4)



(5)



[P2.4] 已知电路如图 P2.4 所示，写出 F_1 、 F_2 、 F_3 和 F 与输入之间的逻辑表达式。

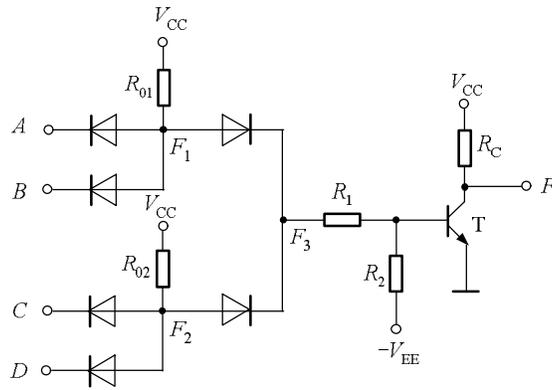


图 P2.4

解: $F_1 = AB$, $F_2 = CD$, $F_3 = AB + CD$, $F = \overline{AB + CD}$

[P2.5] 分析如图 P2.5 所示电路的逻辑功能, 指出是什么门。

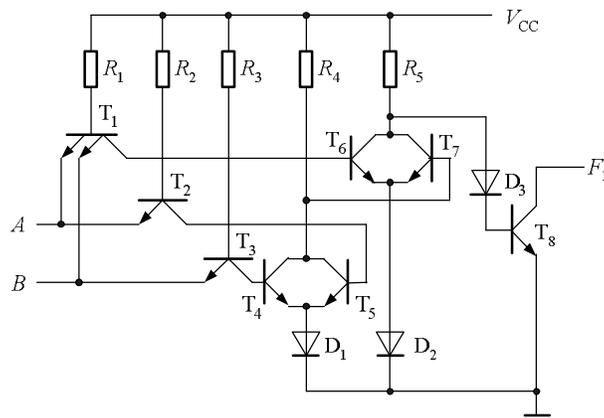


图 P2.5

解: 电路为 OC 输出的同或门

[P2.6] 图 P3.6 中 G_1 、 G_2 、 G_3 为 LSTTL 门电路, G_4 、 G_5 、 G_6 为 CMOS 门电路。试指出各门的输出状态 (高电平、低电平、高阻态?)。

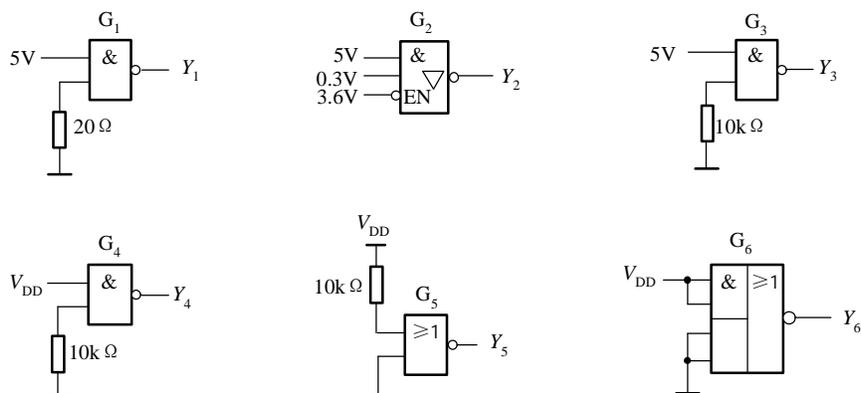


图 P2.6

解：Y₁ 高电平，Y₂ 高阻态，Y₃ 低电平，Y₄ 高电平，Y₅ 低电平，Y₆ 低电平

[P2.7] 图 P2.7 (a) 所示为 LSTTL 门电路，其电气特性曲线如图 P2.7 (b) 所示。请按给定的已知条件写出电压表的读数（填表 P3.7）。假设电压表的内阻 $\geq 100k\Omega$ 。

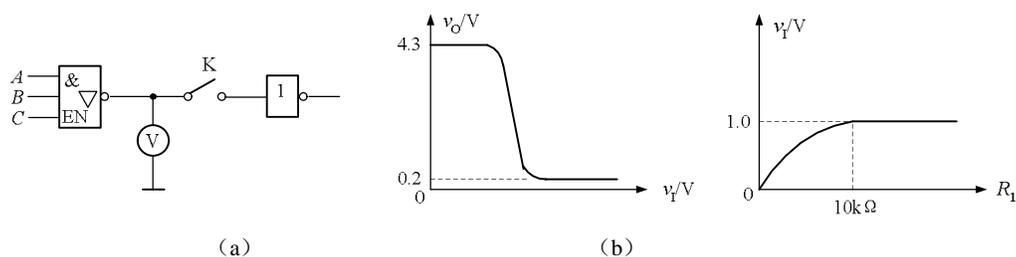


图 P2.7

(注意，曲线图中应为 1.1V)

表 P3.7

A	B	C	K	电压表读数/V
0	0	0	断开	
0	0	1	断开	
1	1	0	闭合	
1	1	1	闭合	

解：

A	B	C	K	电压表读数 (V)
0	0	0	断开	0

0	0	1	闭合	4.3
1	1	0	闭合	1.1
1	1	1	闭合	0.2

[P2.8] 电路如图 P2.8 所示, G_1 、 G_2 均为 TTL 门电路, 其输出高电平 $V_{OH}=3.6V$, 输出低电平 $V_{OL}=0.3V$, 最大允许拉电流 $I_{OH(max)}=0.4mA$, 最大允许灌电流 $I_{OL(max)}=30mA$, 三极管 T 导通时 $V_{BE}=0.7V$, 饱和时 $V_{CES}=0.3V$, 发光二极管正向导通时压降 $V_D=1.4V$ 。

(1) 当输入 A 、 B 、 C 、 D 取何值时, V_D 有可能发光?

(2) 为使 T 管饱和, T 的 β 值应为多少?

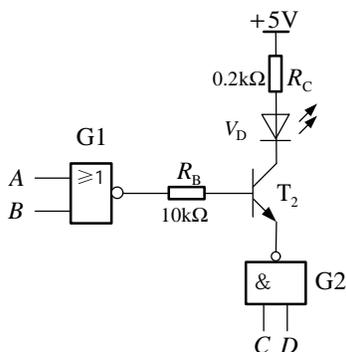


图 P2.8

解: (1) 要使发光二极管 V_D 发光必须使 T 管饱和导通, 要使 T 管饱和导通, 必须使 G_1 输出高电平, G_2 输出低电平, 即 $A=B=0$, $C=D=1$, 因此, 当且仅当 $ABCD=0011$ 时, V_D 才可能发光。

(2) 为使三极管导通时进入饱和状态, 三极管 β 的选择必须满足 $I_B \geq I_{BS}$, 式中

$$I_B = \frac{V_{OH} - V_{BE} - V_{OL}}{R_B} \quad I_{BS} = \frac{V_{CC} - V_D - V_{CES} - V_{OL}}{\beta R_C}$$

代入给定数据后, 可求得 $\beta \geq 75$ 。

[P2.9] 写出如图 P2.9 所示各电路的输出函数表达式。

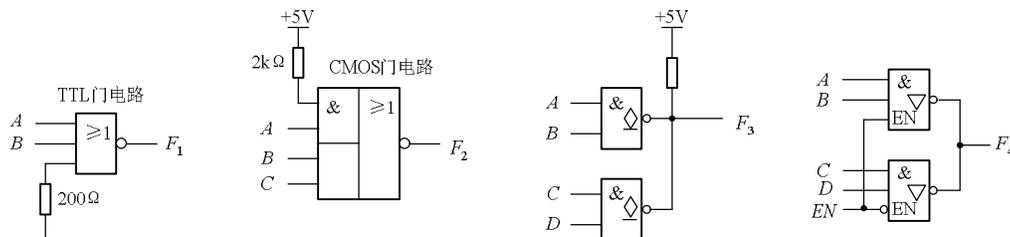


图 P2.9

解: $F_1 = \overline{A+B}$ $F_2 = \overline{A+BC}$ $F_3 = \overline{AB} \overline{CD}$ $F_4 = \overline{AB} \overline{EN} + \overline{CD} \overline{EN}$

[P2.10] 如图 P2.10 所示逻辑电路能否实现所规定的逻辑功能? 如能的在括号内写“Y”, 错的写“N”。

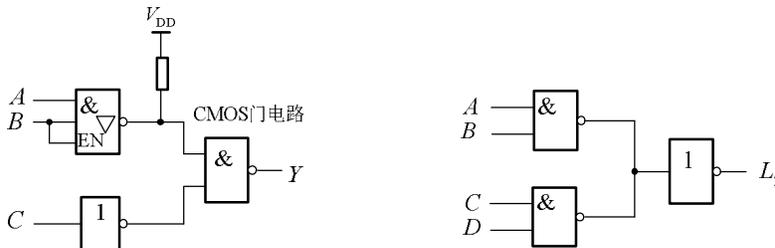


图 P2.10

$$\begin{cases} B=0 \text{ 时, } L_1 = C \\ B=1 \text{ 时, } L_1 = A+C \end{cases} \quad (\quad) \quad \quad L_2 = AB + CD \quad (\quad)$$

解: Y, N

[P2.11] 如图 P2.11 所示逻辑电路能否实现所规定的逻辑功能? 如能的在括号内写“Y”, 错的写“N”。

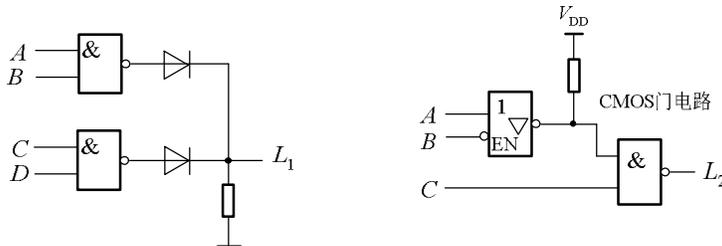


图 P2.11

$$L_1 = \overline{AB} \cdot \overline{CD} \quad (\quad) \quad \quad \begin{cases} B=0 \text{ 时, } L_2 = \overline{AC} \\ B=1 \text{ 时, } L_2 = \overline{C} \end{cases} \quad (\quad)$$

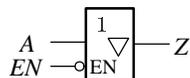
解: N, N

[P2.12] 有一门电路内部电路如图 P2.12 所示, 写出 Z 的真值表, 画出相应的逻辑符号。

解: 真值表

A	EN	Z
0	0	0
0	1	高阻
1	0	1
1	1	高阻

逻辑符号



[P2.13] 判断如图 P2.13 所示电路的逻辑功能，画出其逻辑符号。

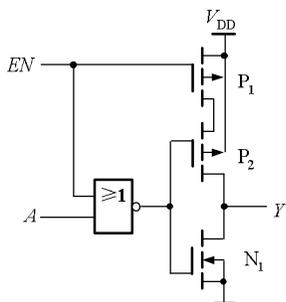


图 P2.12

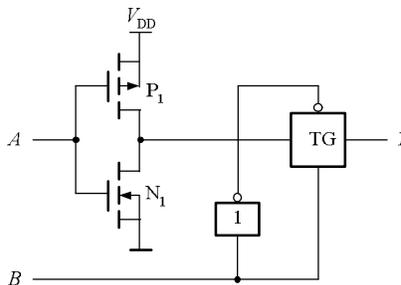
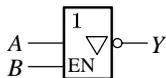


图 P2.13

解：A、B 为电路输入变量，F 为输出变量，只要列出真值表，就可判断其逻辑功能。

A	B	Y
0	0	高阻
0	1	1
1	0	高阻
1	1	0



[P2.14] 由三态门构成的总线传输电路如图 P2.14 所示，图中 n 个三态门的输出接到数据传输总线， $D_0、D_1、\dots、D_{n-1}$ 为数据输入端， $\overline{CS}_0、\overline{CS}_1、\dots、\overline{CS}_{n-1}$ 为片选信号输入端。试问：(1) 片选信号应满足怎样的时序关系，以便数据 $D_0、D_1、\dots、D_{n-1}$ 通过总线进行正常传输？(2) 如果片选信号出现两个或两个以上有效，可能发生什么情况？(3) 如果所有的信号均无效，总线处在什么状态？

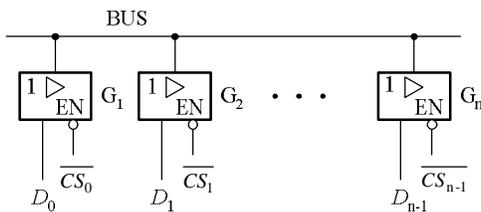


图 P2.14

解：(1) 片选信号任何时刻只能有一个为低电平；

(2) 总线冲突。

(3) 高阻态。

[P2.15] 图 P2.15 中, LSTTL 门电路的输出低电平 $V_{OL} \leq 0.4V$ 时, 最大负载灌电流 $I_{OL} \leq 8mA$, 输出高电平时的漏电流 $I_{OZ} \leq 50 \mu A$; CMOS 或非门的输入电流可以忽略不计。如果要求 Z 点 (即或非门的输入端) 高、低电平 $V_{IH} \geq 4V$ 、 $V_{IL} \leq 0.4V$, 请计算上拉电阻 R_C 的选择范围。

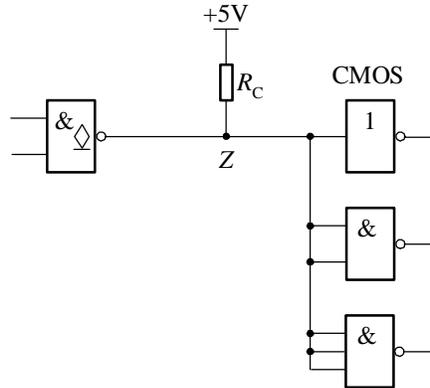


图 P2.17

解: (1) 当 Z 点输出高电平时, 应满足下式:

$$+5V - R_C I_{OZ} \geq 4V$$

$$R_C \leq \frac{1}{50 \times 10^{-6}} \leq 20k \Omega$$

(2) 当 Z 点输出低电平时, 应满足下式:

$$+5V - R_C I_{OL(\max)} \leq 0.4V$$

$$R_C \geq \frac{5 - 0.4}{8 \times 10^{-3}} \geq 5.7k \Omega$$

$$\therefore 5.7k \Omega \leq R_C \leq 20k \Omega$$

自我检测题

[T3.1] 组合逻辑电路任何时刻的输出信号, 与该时刻的输入信号无关, 与电路以前的输入信号无关。

[T3.2] 在组合逻辑电路中, 当输入信号改变状态时, 输出端可能出现虚假过渡干扰脉冲的现象称为竞争冒险。

[T3.3] 8 线—3 线优先编码器 74LS148 的优先编码顺序是 $\overline{I_7}$ 、 $\overline{I_6}$ 、 $\overline{I_5}$ 、 \dots 、 $\overline{I_0}$, 输出 $\overline{Y_2}$ $\overline{Y_1}$ $\overline{Y_0}$ 。输入输出均为低电平有效。当输入 $\overline{I_7}$ $\overline{I_6}$ $\overline{I_5} \dots \overline{I_0}$ 为 **11010101** 时, 输出 $\overline{Y_2}$ $\overline{Y_1}$ $\overline{Y_0}$ 为 **010**。

[T3.4] 3 线—8 线译码器 74LS138 处于译码状态时, 当输入 $A_2A_1A_0=001$ 时, 输出 $\overline{Y_7} \sim \overline{Y_0} = \underline{\mathbf{11111101}}$ 。

[T3.5] 能完成两个一位二进制数相加, 并考虑到低位进位的器件称为全加器。

[T3.6] 实现将公共数据上的数字信号按要求分配到不同电路中去电路叫数据分配器。

[T3.7] 根据需要选择一路信号送到公共数据线上的电路叫数据选择器。

[T3.8] 一位数值比较器, 输入信号为两个要比较的一位二进制数, 用 A 、 B 表示, 输出信号为比较结果: $Y_{(A>B)}$ 、 $Y_{(A=B)}$ 和 $Y_{(A<B)}$, 则 $Y_{(A>B)}$ 的逻辑表达式为 $\underline{A\overline{B}}$ 。

[T3.9] 下列电路中, 不属于组合逻辑电路的是_____。

(A) 译码器 (B) 全加器 (C) 寄存器 (D) 编码器

[T3.10] 译码器 74LS138 的使能端 S_1 $\overline{S_2}$ $\overline{S_3}$ 取值为_____时, 处于允许状态。

(A) **011** (B) **100** (C) **101** (D) **010**

[T3.11] 在二进制译码器中, 若输入有 4 位代码, 则输出有_____个信号。

(A) 2 (B) 4 (C) 8 (D) **16**

[T3.12] 组合逻辑电路中的险象是由于_____引起的。

(A) 电路未达到最简 (B) 电路有多个输出
(C) 电路中的时延 (D) 逻辑门类型不同

[T3.13] 用取样法消除两级与非门电路中可能出现的冒险, 以下说法哪一种是正确的并优先考虑的?

(A) 在输出级加正取样脉冲 (B) 在输入级加正取样脉冲
(C) 在输出级加负取样脉冲 (D) 在输入级加负取样脉冲

[T3.14] 比较两位二进制数 $A=A_1A_0$ 和 $B=B_1B_0$, 当 $A>B$ 时输出 $F=1$, 则 F 表达式是_____。

(A) $F = A_1\overline{B_1}$ (B) $F = A_1\overline{A_0} + B_1 + \overline{B_0}$
(C) $F = A_1\overline{B_1} + A_1 \oplus \overline{B_1}A_0\overline{B_0}$ (D) $F = A_1\overline{B_1} + A_0 + \overline{B_0}$

习 题

[P3.1] 分析图 P3.1 所示组合电路的功能，要求写出逻辑表达式，列出其真值表，并说明电路的逻辑功能。

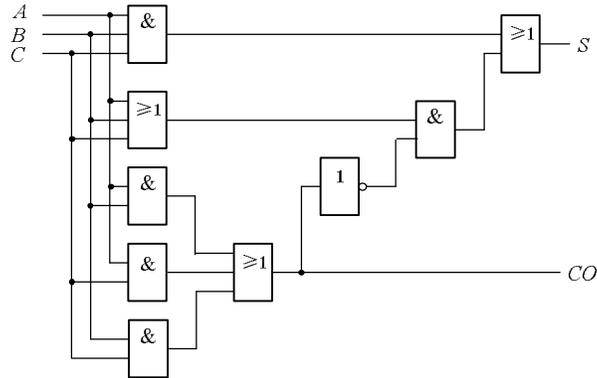


图 P3.1

解： $C_O = AB + BC + AC$

$$S = ABC + (A + B + C)\overline{C_O} = ABC + (A + B + C)\overline{AB + BC + AC}$$

真值表

A	B	C	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

电路功能：一位全加器，S 是相加的和，CO 是进位

[P3.2] 已知逻辑电路如图 P3.2 所示，试分析其逻辑功能。

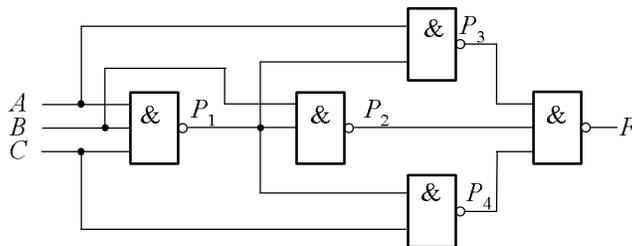


图 P3.2

解: $P_1 = \overline{ABC}$
 $P_2 = \overline{BP_1} = \overline{BABC}$
 $P_3 = \overline{AP_1} = \overline{AABC}$
 $P_4 = \overline{CP_1} = \overline{CABC}$
 $F = \overline{P_2 P_3 P_4}$
 $= \overline{\overline{BABC} \overline{AABC} \overline{CABC}}$
 $= \overline{BABC} + \overline{AABC} + \overline{CABC}$
 $= \overline{ABC} (A + B + C)$
 $= (\overline{A} + \overline{B} + \overline{C})(A + B + C)$
 $= \overline{A} \overline{B} C + \overline{A} B \overline{C} + \overline{A} B C + A \overline{B} \overline{C} + A \overline{B} C + A B \overline{C}$
 真值表为:

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

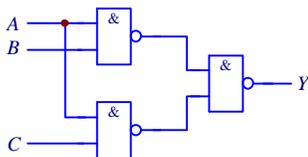
从真值表看出, $ABC=000$ 或 $ABC=111$ 时, $F=0$, 而 A 、 B 、 C 取值不完全相同时, $F=1$ 。故这种电路称为“不一致”电路。

[P3.3] 某组合逻辑电路如图 P3.3 所示:

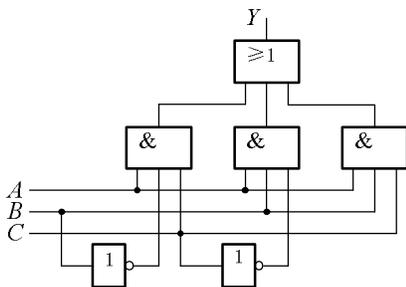
- (1) 写出函数 Y 的逻辑表达式;
- (2) 将函数 Y 化为最简与-或式;
- (3) 用与非门画出其简化后的电路。

解: $Y = \overline{A}BC + A\overline{B}C + ABC = AB + AC$

$$Y = \overline{\overline{AB} + \overline{AC}} = \overline{\overline{AB} \cdot \overline{AC}}$$



[P3.4] 试分析如图 P3.4 所示逻辑电路的功能, 写出逻辑表达式和真值表。



P3.3

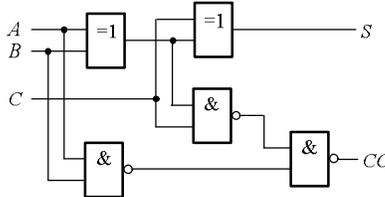


图 P3.4

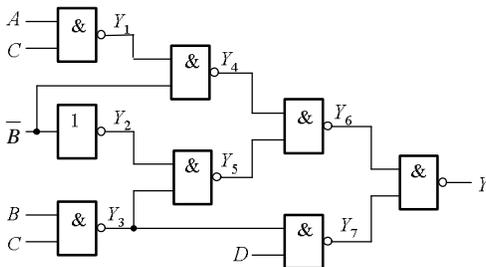
解: $S = A \oplus B \oplus C$

$$CO = \overline{\overline{ABC} (A \oplus B)} = \overline{ABC} (A \oplus B) = \overline{ABC} (\overline{A}B + A\overline{B})$$

$$= \overline{ABC} + \overline{A}BC + A\overline{B}C = \overline{ABC} + \overline{A}BC + A\overline{B}C$$

[P3.5] 与非门组成的电路如图 P3.5 所示:

- (1) 写出函数 Y 的逻辑表达式;
- (2) 将函数 Y 化为最简与-或式;
- (3) 用与非门画出其简化后的电路。



P3.5

解: $Y_1 = \overline{AC}$

$$Y_2 = B$$

$$Y_3 = \overline{BC}$$

$$Y_4 = \overline{Y_1 B} = AC + B$$

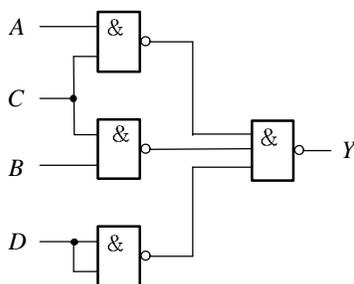
$$Y_5 = \overline{Y_2 Y_3} = \overline{B + BC} = \overline{B} + C$$

$$Y_6 = \overline{Y_4 Y_5} = \overline{(AC + B)(\overline{B} + C)} = \overline{AC + BC}$$

$$Y_7 = \overline{Y_3 D} = BC + \overline{D}$$

$$Y = \overline{Y_6 Y_7} = \overline{AC + BC + BC + \overline{D}} = \overline{AC + BC + \overline{BCD}}$$

$$= AC + BC + D = \overline{\overline{AC} \overline{BC} \overline{D}}$$



[P3.6] 根据图 P3.6 所示 4 选 1 数据选择器，写出输出 Z 的最简与-或表达式。

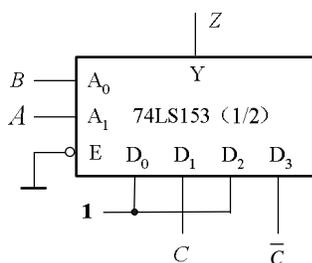


图 P3.6

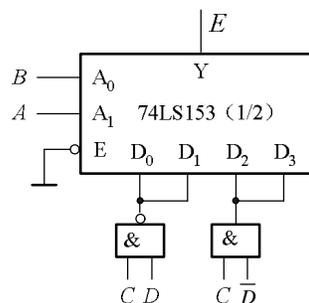


图 P3.7

$$\text{解: } Z = \overline{A}B + \overline{A}BC + A\overline{B} + ABC\overline{C} = \overline{B} + \overline{A}C + AC\overline{C}$$

[P3.7] 由 4 选 1 数据选择器和门电路构成的组合逻辑电路如图 P3.7 所示，试写出其输出 E 逻辑函数表达式，并化简。

$$\text{解: } E = \overline{A}B\overline{C}D + \overline{A}BCD + A\overline{B}C\overline{D} + ABC\overline{D} = \overline{A}C + C\overline{D}$$

[P3.8] 由 4 选 1 数据选择器构成的组合逻辑电路如图 P3.8 所示，请画出在输入信号作用下，L 的输出波形。

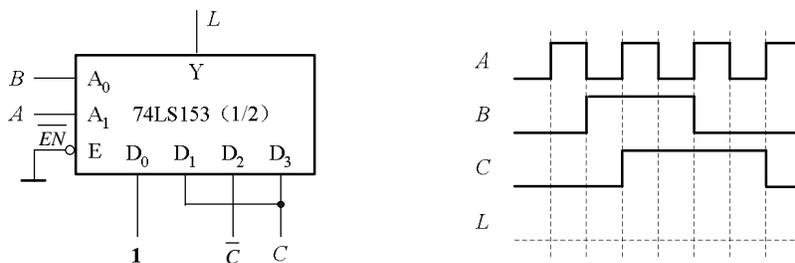


图 P3.8

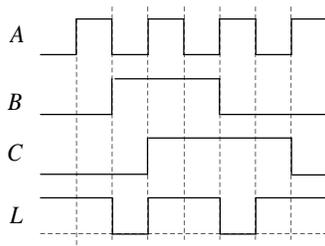
解：4 选 1 数据选择器的逻辑表达式为：

$$Y = \overline{A_1} \overline{A_0} D_0 + \overline{A_1} A_0 D_1 + A_1 \overline{A_0} D_2 + A_1 A_0 D_3$$

将 $A_1=A$, $A_0=B$, $D_0=1$, $D_1=C$, $D_2=\overline{C}$, $D_3=C$ 代入得

$$Y = \overline{A} \overline{B} + \overline{A} B C + A \overline{B} \overline{C} + A B C = \overline{A} \overline{B} C + \overline{A} B \overline{C} + A \overline{B} C + A B C$$

根据表达式可画出波形图：



[P3.9] 已知用 8 选 1 数据选择器 74LS151 构成的逻辑电路如图 P3.9 所示，请写出输出 L 的逻辑函数表达式，并将它化成最简与-或表达式。

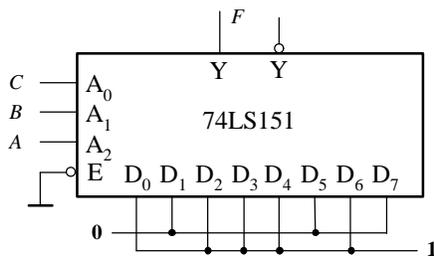


图 P3.9

解：(1) 写出逻辑函数表达式：

$$L = \overline{A} \overline{B} C + \overline{A} B \overline{C} + A B C$$

(2) 用卡诺图化简

L	BC	00	01	11	10
		A			
0		1	1	0	0
1		0	1	0	0

$$L = \bar{A}\bar{B} + \bar{B}C$$

[P3.10] 图 P3.10 所示是用二个 4 选 1 数据选择器组成的逻辑电路，试写出输出 Z 与输入 M 、 N 、 P 、 Q 之间的逻辑函数式。

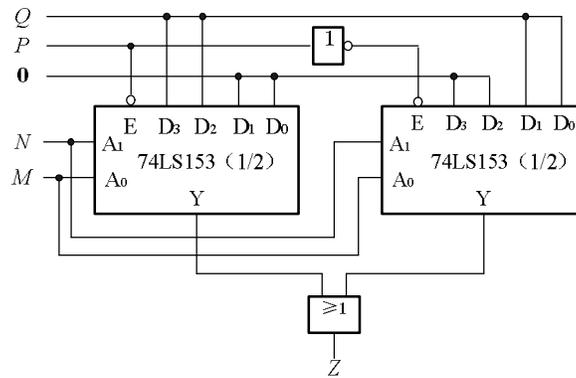


图 P3.1

$$\text{解: } Z = (NMQ + N\bar{M}Q)\bar{P} + (\bar{N}\bar{M}Q + \bar{N}MQ)P$$

$$= NMQ\bar{P} + N\bar{M}Q\bar{P} + \bar{N}\bar{M}QP + \bar{N}MQP$$

$$= NQ\bar{P} + \bar{N}QP$$

[P3.11] 写出图 P3.11 所示电路的逻辑函数，并化简为最简与-或表达式。

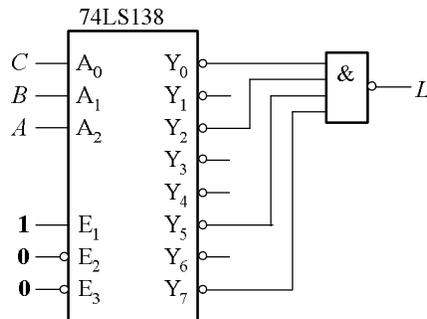


图 P3.11

解：由图 (a) 写出逻辑函数并化简，得

$$L = \overline{Y_0} \overline{Y_2} \overline{Y_5} \overline{Y_7} = Y_0 + Y_2 + Y_5 + Y_7$$

$$= \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + A \overline{B} \overline{C} + A B C = AC + \overline{A} \overline{C}$$

[P3.12] 电路如图 P3.12 所示，图中①~⑤均为 2 线—4 线译码器。

(1) 欲分别使译码器①~④处于工作状态，对应的 C、D 应输入何种状态 (填表 P3.12-1)；

(2) 试分析当译码器①工作时，请对应 A、B 的状态写出 $\overline{Y_{10}} \sim \overline{Y_{13}}$ 的状态 (填表 P3.12-2)；

(3) 说明图 P3.12 的逻辑功能。

表 P3.12-1

处于工作状态 的译码器	C、D 应输入的状态	
	C	D
①		
②		
③		
④		

表 P3.12-2

A	B	$\overline{Y_{10}}$	$\overline{Y_{11}}$	$\overline{Y_{12}}$	$\overline{Y_{13}}$
0	0				
0	1				
1	0				
1	1				

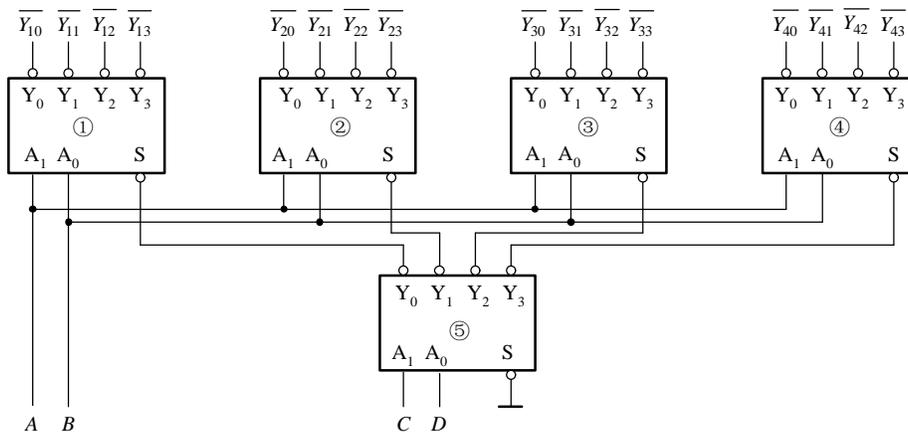


图 P3.12

解：

处于工作状态 的译码器	C、D 应输入的状态	
	C	D
①	0	0
②	0	1
③	1	0

A	B	$\overline{Y_{10}}$	$\overline{Y_{11}}$	$\overline{Y_{12}}$	$\overline{Y_{13}}$
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1

④	1	1	1	1	1	1	0
---	---	---	---	---	---	---	---

逻辑功能：由 74LS139 构成的 4 线—16 线译码器

[P3.13] 试用与非门设计一组合逻辑电路，其输入为 3 位二进制数，当输入中有奇数个 1 时输出为 1，否则输出为 0。要求列出真值表，写出逻辑函数表达式，画出逻辑图（输入变量允许有反变量）。

解：(1) 真值表

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

(2)

$$F = \overline{ABC} + \overline{A}BC + A\overline{B}C + ABC = \overline{\overline{ABC} \cdot \overline{A}BC \cdot A\overline{B}C \cdot ABC}$$

(3) 逻辑图略

[P3.14] 已知 $X = X_2X_1X_0$ 代表 3 位二进制数。设计一个组合电路，当 $X \geq 3$ 时输出 $Y = 1$ ，当 $X < 3$ 时输出 $Y = 0$ 。要求：

- (1) 列出真值表；
- (2) 求 Y 的最简与-或表达式；
- (3) 完全用与非门画出电路图。

解：(1) 列出真值表

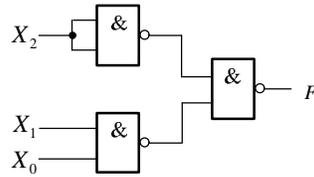
X_2	X_1	X_0	Y	X_2	X_1	X_0	Y
0	0	0	0	1	0	0	1
0	0	1	0	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

(2) 求最简与-或式

		X_1X_0			
		00	01	11	10
X_2	0	0	0	1	0
	1	1	1	1	1

$$F = X_2 + X_1 X_0 = \overline{\overline{X_2 X_1 X_0}}$$

(3) 电路图



[P3.15] 4 位二进制数 E 为 $E_3E_2E_1E_0$, $E \geq 0$, 没有符号位。请设计一个组合逻辑电路实现

$$F = \begin{cases} 1 & 0 \leq E < 8 \text{ 或 } 12 \leq E < 15 \\ 0 & \text{其它} \end{cases}$$

的判别。

解: (1) 真值表:

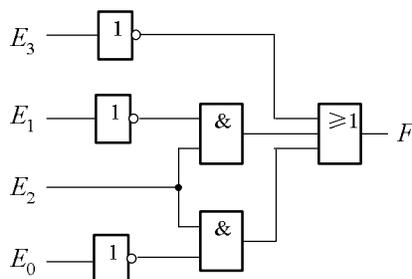
E_3	E_2	E_1	E_0	F	E_3	E_2	E_1	E_0	F
0	0	0	0	1	1	0	0	0	0
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	0
0	0	1	1	1	1	0	1	1	0
0	1	0	0	1	1	1	0	0	1
0	1	0	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0

(2) 表达式

		E_1E_0			
		00	01	11	10
E_3E_2	00	1	1	1	1
	01	1	1	1	1
	11	1	1	0	1
	10	0	0	0	0

$$F = \overline{E_3} + E_2 \overline{E_1} + E_2 \overline{E_0}$$

(3) 电路图



[P3.16] 约翰和简妮夫妇有两个孩子乔和苏，全家外出吃饭一般要么去汉堡店，要么去炸鸡店。每次出去吃饭前，全家要表决以决定去哪家餐厅。表决的规则是如果约翰和简妮都同意，或多数同意吃炸鸡，则他们去炸鸡店，否则就去汉堡店。试设计一组合逻辑电路实现上述表决电路。

解：(1) 逻辑定义： A 、 B 、 C 、 D 分别代表约翰、简妮、乔和苏。 $F=1$ 表示去炸鸡店， $F=0$ 表示去汉堡店。

(2) 真值表

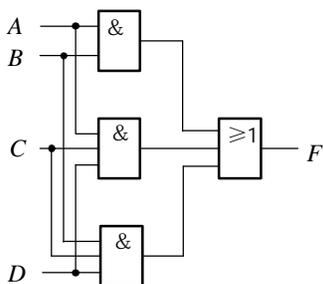
A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	1
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1

(3) 用卡诺图化简

F		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	0	1	0
	11	1	1	1	1
	10	0	0	1	0

$$F=AB+ACD+BCD$$

(4) 逻辑图



[P3.17] 请用最少器件设计一个健身房照明灯的控制电路, 该健身房有东门、南门、西门, 在各个门旁装有一个开关, 每个开关都能独立控制灯的亮暗, 控制电路具有以下功能:

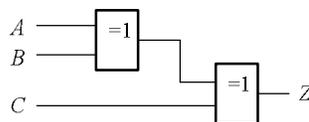
- (1) 某一门开关接通, 灯即亮, 开关断, 灯暗。
- (2) 当某一门开关接通, 灯亮, 接着接通另一门开关, 则灯暗。
- (3) 当三个门开关都接通时, 灯亮。

解: 设东门开关为 A, 南门开关为 B, 西门开关为 C。开关闭合为 1, 开关断开为 0。灯为 Z, 等暗为 0, 灯亮为 1。根据题意列真值表如下:

A	B	C	F	A	B	C	F
0	0	0	0	1	0	0	1
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0
0	1	1	0	1	1	1	1

(2) 画出卡诺图如图所示。

Z	A	BC			
		00	01	11	10
0	0	0	1	0	1
1	1	1	0	1	0



(3) 根据卡诺图, 可得到该逻辑电路的函数表达式:

$$Z = \overline{A}BC + A\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} = A \oplus B \oplus C$$

(3) 根据逻辑函数表达式, 可画出逻辑电路图如图所示。

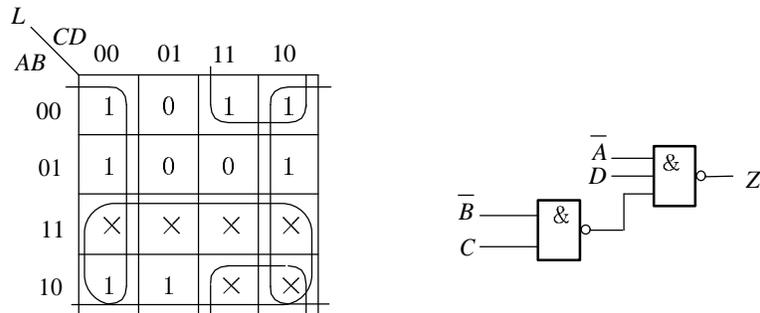
[P3.18] 设计一个能被 2 或 3 整除的逻辑电路, 其中被除数 A、B、C、D 是 8421BCD 编码。规定能整除时, 输出 L 为高电平, 否则, 输出 L 为低电平。要求用最少的与非门实现。(设 0 能被任何数整除)

解: (1) 真值表

A	B	C	D	L	A	B	C	D	L
0	0	0	0	1	1	0	0	0	1
0	0	0	1	0	1	0	0	1	1
0	0	1	0	1	1	0	1	0	×

0	0	1	1	1	1	0	1	1	×
0	1	0	0	1	1	1	0	0	×
0	1	0	1	0	1	1	0	1	×
0	1	1	0	1	1	1	1	0	×
0	1	1	1	0	1	1	1	1	×

(2) 用卡诺图图化简



(3) 逻辑图

[P3.19] 如图 P3.19 所示为一工业用水容器示意图, 图中虚线表示水位, A 、 B 、 C 电极被水浸没时会有信号输出, 试用与非门构成的电路来实现下述控制作用: 水面在 A 、 B 间, 为正常状态, 亮绿灯 G ; 水面在 B 、 C 间或在 A 以上为异常状态, 点亮黄灯 Y ; 面在 C 以下为危险状态, 点亮红灯 R 。要求写出设计过程。

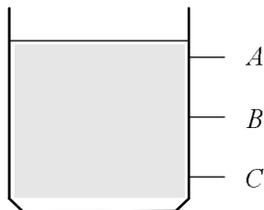
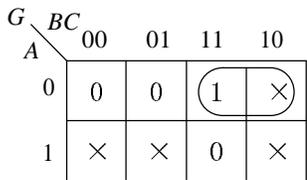


图 P3.19

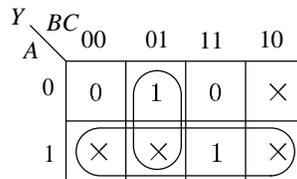
解: (1) 真值表

A	B	C	G	Y	R
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	×	×	×
0	1	1	1	0	0
1	0	0	×	×	×
1	0	1	×	×	×
1	1	0	×	×	×
1	1	1	0	1	0

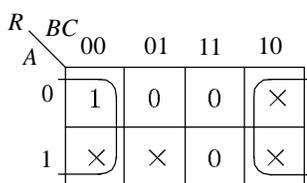
(2) 卡诺图化简



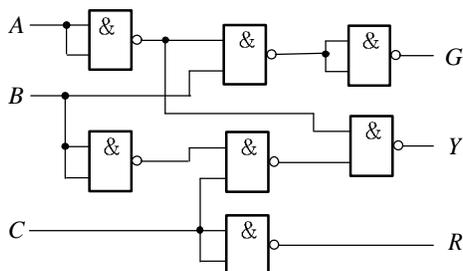
$$G = \overline{AB} = \overline{\overline{AB}}$$



$$Y = \overline{BC} + A = \overline{\overline{\overline{BC} \cdot A}}$$



$$R = \overline{C}$$

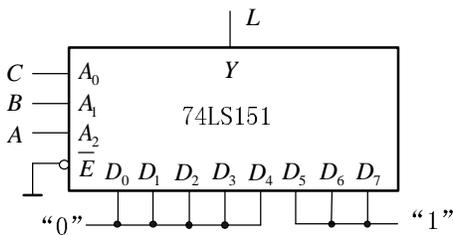


(3) 逻辑图

[P3.20] 试用 8 选 1 数据选择器 74LS151 实现逻辑函数 $Y = AC + \overline{A}BC + ABC$ 。

解: $Y = AC + \overline{A}BC + ABC = \overline{A}BC + ABC + ABC$

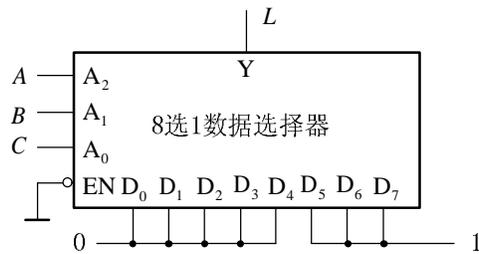
连线图:



[P3.21] 试用 8 选 1 数据选择器 74LS151 实现逻辑函数 $L=AB+AC$ 。

解:

$$L = AB + AC = \overline{A}BC + ABC + \overline{A}BC + ABC = m7 + m6 + m5$$



[P3.22] 用 8 选 1 数据选择器 74LS151 设计一个组合电路。该电路有 3 个输入 A 、 B 、 C 和一个工作模式控制变量 M ，当 $M=0$ 时，电路实现“意见一致”功能（ A 、 B 、 C 状态一致时输出为 1，否则输出为 0），而 $M=1$ 时，电路实现“多数表决”功能，即输出与 A 、 B 、 C 中多数的状态一致。

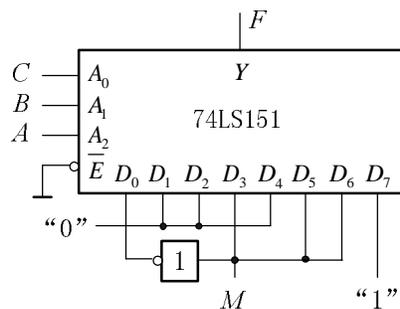
解：

M	A	B	C	F	M	A	B	C	F
0	0	0	0	1	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1

$$F = \overline{M} \overline{A} \overline{B} \overline{C} + \overline{M} \overline{A} B \overline{C} + \overline{M} \overline{A} B C + \overline{M} A \overline{B} \overline{C} + \overline{M} A \overline{B} C + \overline{M} A B \overline{C} + \overline{M} A B C$$

$$= \overline{M} \overline{A} \overline{B} \overline{C} + \overline{M} \overline{A} B C + \overline{M} A \overline{B} C + \overline{M} A B \overline{C} + \overline{M} A B C$$

电路图



[P3.23] 用二个 4 选 1 数据选择器实现函数 L ，允许使用反相器。

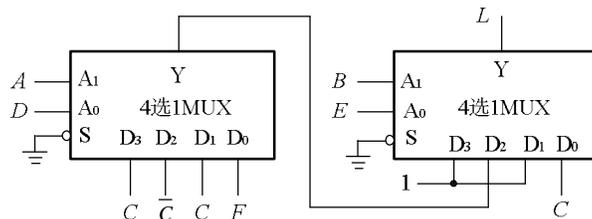
$$L = \overline{E} + \overline{A} \overline{B} C D E + \overline{A} B \overline{C} D E + \overline{A} B C \overline{D} E + \overline{A} B C D \overline{E} + \overline{A} B C D E + A B D E F + B C E$$

解： $L = \overline{E} + \overline{A} \overline{B} C D E + \overline{A} B \overline{C} D E + \overline{A} B C \overline{D} E + \overline{A} B C D \overline{E} + \overline{A} B C D E + A B D E F + B C E$

$$= \overline{B}\overline{E} + B\overline{E} + \overline{B}E (\overline{A}\overline{C}\overline{D} + \overline{A}\overline{C}D + A\overline{C}\overline{D} + A\overline{C}D) + BEC$$

$$= \overline{B}\overline{E} + B\overline{E} (\overline{A}\overline{D}\overline{C} + \overline{A}\overline{D}C + A\overline{D}\overline{C} + A\overline{D}C) + \overline{B}E + BEC$$

电路图



[P3.24] 设计一个 8 位符号 $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0$ 的奇偶码校验电路，当信号具有奇数个 0 时，输出 $F=1$ ，否则 $F=0$ 。

解： $F = a_7 \oplus a_6 \oplus a_5 \oplus a_4 \oplus a_3 \oplus a_2 \oplus a_1 \oplus a_0$

[P3.25] 某一组合电路如图 P3.25 所示，输入变量 (A, B, D) 取值为 $(0, 1, 0)$ 为不可能发生输入组合。分析它的竞争冒险现象，如存在，则用最简单的电路改动来消除之。

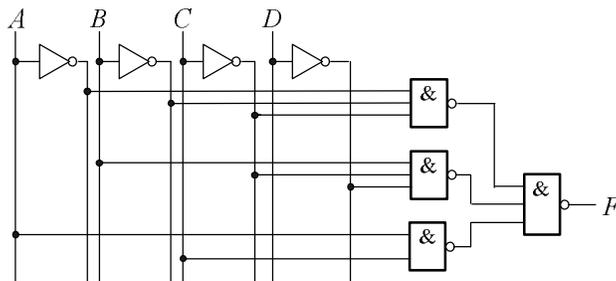


图 P3.25

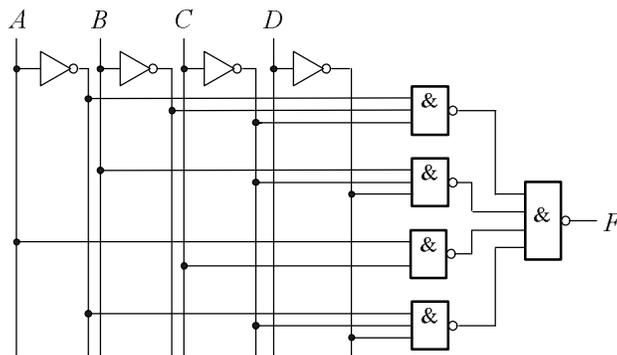
解： $F = \overline{A}\overline{B}\overline{C} + B\overline{C}\overline{D} + AC$

卡诺图为

		CD			
		00	01	11	10
AB	00	1	1	0	0
	01	×	0	0	×
	11	1	0	1	1
	10	0	0	1	1

$$F = \overline{A}\overline{B}\overline{C} + \overline{B}\overline{C}\overline{D} + AC + \overline{A}\overline{C}\overline{D}$$

电路图为：



自我测验题

[T4.1] 图 T4.1 所示为由或非门构成的基本 SR 锁存器，输入 S 、 R 的约束条件是_____。

- (A) $SR=0$ (B) $SR=1$ (C) $S+R=0$ (D) $S+R=1$

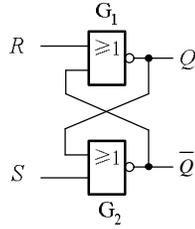


图 T4.1

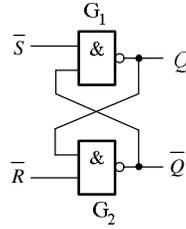


图 T4.2

[T4.2] 图 T4.2 所示为由与非门组成的基本 SR 锁存器，为使锁存器处于“置 1”状态，其 $\bar{S} \cdot \bar{R}$ 应为_____。

- (A) $\bar{S} \cdot \bar{R}=00$ (B) $\bar{S} \cdot \bar{R}=01$ (C) $\bar{S} \cdot \bar{R}=10$ (D) $\bar{S} \cdot \bar{R}=11$

[T4.3] 有一 T 触发器，在 $T=1$ 时，加上时钟脉冲，则触发器_____。

- (A) 保持原态 (B) 置 0 (C) 置 1 (D) 翻转

[T4.4] 假设 JK 触发器的现态 $Q^n=0$ ，要求 $Q^{n+1}=0$ ，则应使_____。

- (A) $J=\times, K=0$ (B) $J=0, K=\times$ (C) $J=1, K=\times$ (D) $J=K=1$

[T4.5] 电路如图 T4.5 所示。实现 $Q^{n+1} = \overline{Q^n} + A$ 的电路是_____。

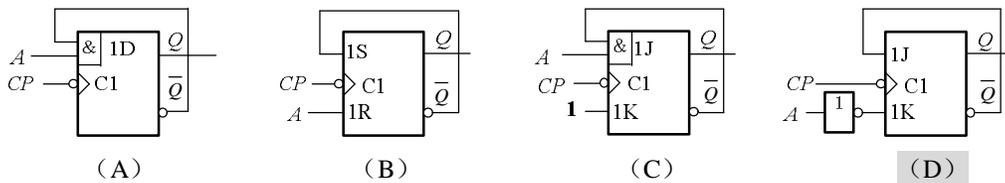
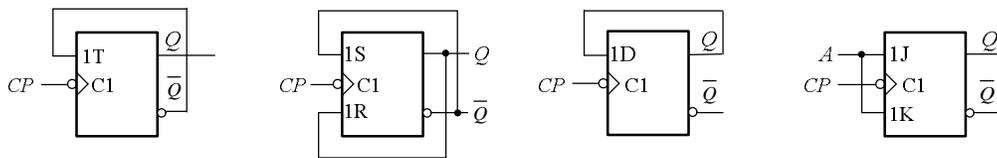


图 T4.5

[T4.6] 电路如图 T4.6 所示。实现 $Q^{n+1} = \overline{Q^n}$ 的电路是_____。



(A) (B) (C) (D)

图 T4.6

[T4.7] 米里型时序逻辑电路的输出是_____。

- (A) 只与输入有关
 (B) 只与电路当前状态有关
 (C) 与输入和电路当前状态均有关
 (D) 与输入和电路当前状态均无关

[T4.8] 穆尔型时序逻辑电路的输出是_____。

- (A) 只与输入有关
 (B) 只与电路当前状态有关
 (C) 与输入和电路当前状态均有关
 (D) 与输入和电路当前状态均无关

[T4.9] 用 n 只触发器组成计数器, 其最大计数模为_____。

- (A) n (B) $2n$ (C) n^2 (D) 2^n

[T4.10] 4 位移位寄存器, 现态为 **1100**, 经左移 1 位后其次态为_____。

- (A) **0011** 或 **1011** (B) **1000** 或 **1001** (C) **1011** 或 **1110** (D) **0011** 或 **1111**

[T4.11] 下列电路中, 不属于时序逻辑电路的是_____。

- (A) 计数器 (B) 全加器 (C) 寄存器 (D) 分频器

[T4.12] 下列功能的触发器中, _____不能构成移位寄存器。

- (A) SR 触发器 (B) JK 触发器 (C) D 触发器 (D) T 和 T' 触发器。

[T4.13] 一个 5 位的二进制加计数器, 由 **00000** 状态开始, 经过 75 个时钟脉冲后, 此计数器的状态为_____:

- (A) **01011** (B) **01100** (C) **01010** (D) **00111**

[T4.14] 一个四位串行数据, 输入四位移位寄存器, 时钟脉冲频率为 1kHz, 经过_____可转换为 4 位并行数据输出。

- (A) 8ms (B) 4ms (C) 8 μ s (D) 4 μ s

[T4.15] 图 T4.15 所示为某时序逻辑电路的时序图, 由此可判定该时序电路具有的功能是_____。

- (A) 十进制计数器 (B) 九进制计数器 (C) 四进制计数器 (D) 八进制计数器

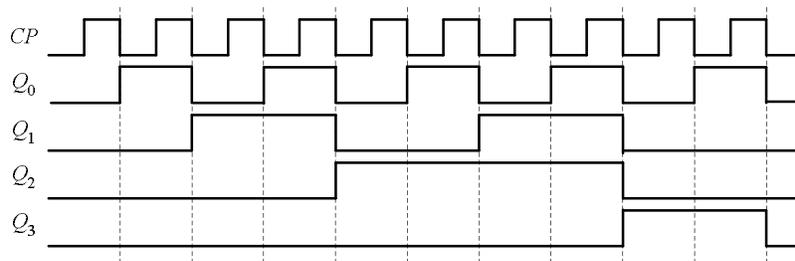


图 T4.15

习 题

[P4.1] 写出 D、T、T' 三种触发器的特性方程，然后将 D 触发器分别转化成 T' 和 T 触发器，画出连线图。

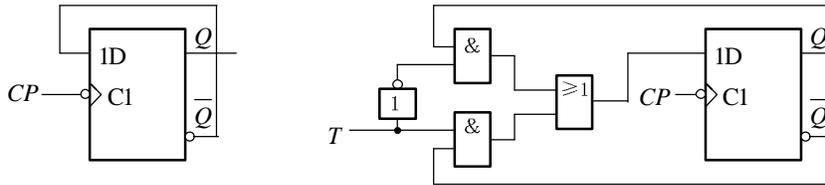
解：D、T、T' 三种触发器的特性方程分别为：

$$Q^{n+1} = D$$

$$Q^{n+1} = TQ^n + \bar{T}\bar{Q}^n$$

$$Q^{n+1} = \bar{Q}^n$$

D 触发器转换为 T' 触发器和 T 触发器的连线图分别为：



[P4.2] 由或非门构成的基本 SR 锁存器如图 P4.2 所示，已知输入端 S、R 的电压波形，试画出与之对应的 Q 和 \bar{Q} 的波形。

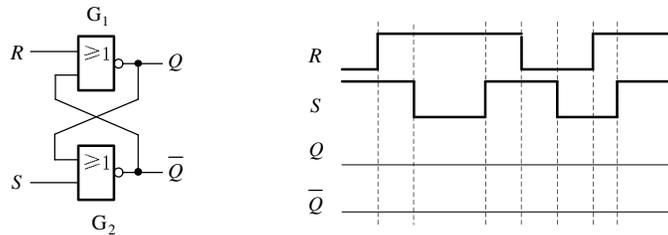
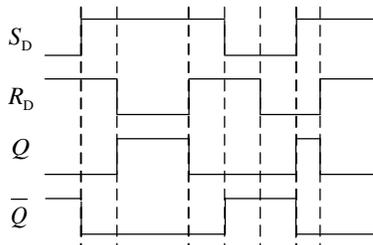


图 P4.2

解：



[P4.3] 由与非门构成的基本 SR 锁存器如图 P4.3 所示，已知输入端 \bar{S} 、 \bar{R} 的电压波形，试画出与之对应的 Q 和 \bar{Q} 的波形。

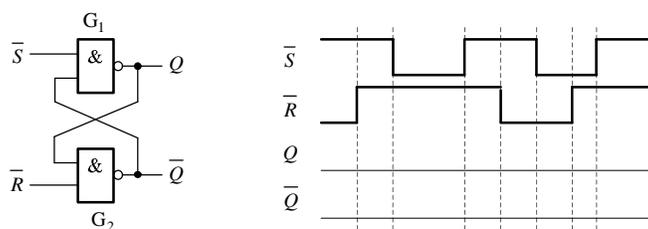
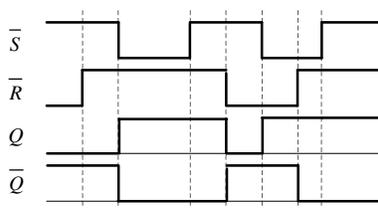


图 P4.3

解:



[P4.4] 同步 SR 锁存器如图 P4.4 (a) 所示, 设初始状态为逻辑 0, 如果给定 CP、S、R 的波形如图 P4.4 (b) 所示, 试画出相应的输出 Q 波形。

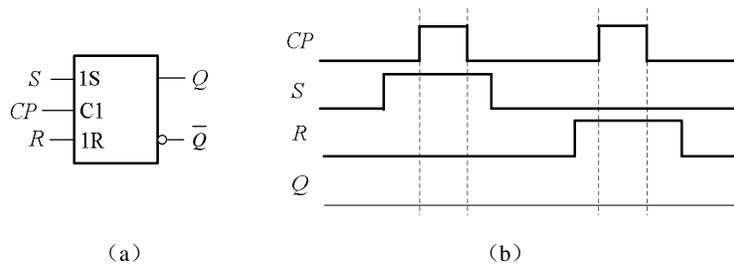
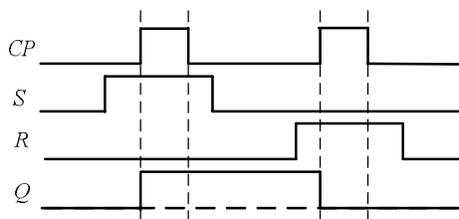


图 P4.4

解:



[P4.5] 有一简单时序逻辑电路如图 P4.5 所示, 试写出当 $C=0$ 和 $C=1$ 时, 电路的状态方程 Q^{n+1} , 并说出各自实现的功能。

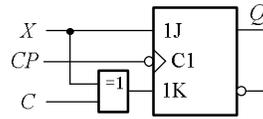


图 P4.5

解：当 $C=0$ 时， $J=X$ ， $K=X$

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n = X\overline{Q}^n + \overline{X}Q^n \quad \text{为 T 触发器}$$

当 $C=1$ 时， $J=X$ $K = \overline{X}$

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n = X \quad \text{为 D 触发器}$$

[P4.6] 有一上升沿触发的 JK 触发器如图 P4.6 (a) 所示，已知 CP、J、K 信号波形如图 P4.6 (b) 所示，画出 Q 端的波形。(设 Q 的初始态为 0)

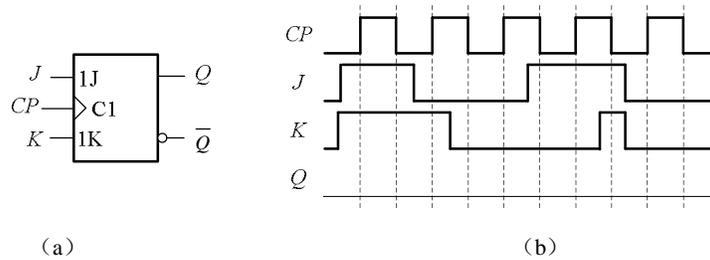
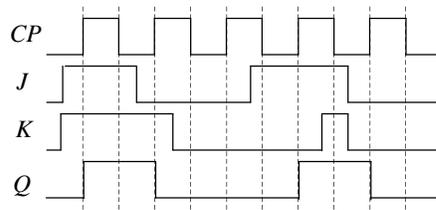


图 P4.6

解：



[P4.7] 试画出图 P4.7 所示电路 Q 及 Z 端的波形 (设触发器的初态为 0)。

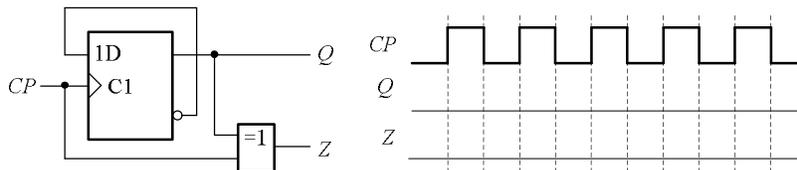
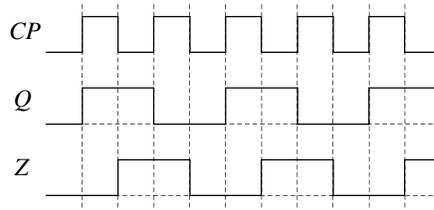


图 P4.7

解：



[P4.8] 由边沿 JK 触发器和维持阻塞 D 触发器构成的电路如图 P4.8 (a) 所示, 各输入端波形如图 P4.8 (b), 当各个触发器的初态为 0 时, 试画出 Q_0 和 Q_1 端的波形, 并说明此电路的功能。

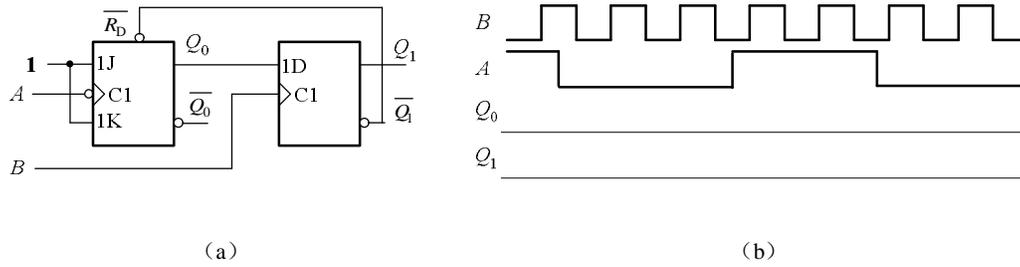
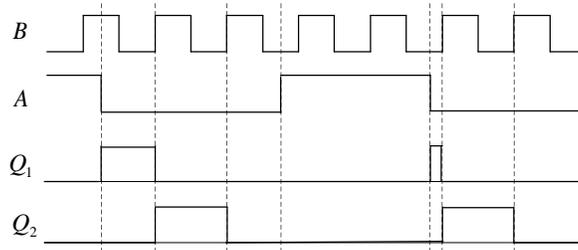


图 P4.8

解:



电路波形如左, 它是一个单发脉冲发生器, A 可以为随机信号, 每一个 A 信号的下降沿后; Q_2 端输出一个脉宽周期的脉冲。

[P4.9] 试画出如图 P4.9 所示时序电路在一系列 CP 信号作用下, Q_0 、 Q_1 、 Q_2 的输出电压波形。设触发器的初始状态为 $Q=0$ 。

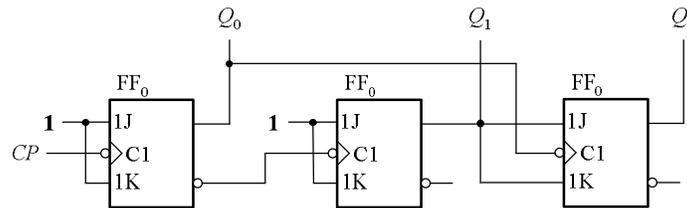
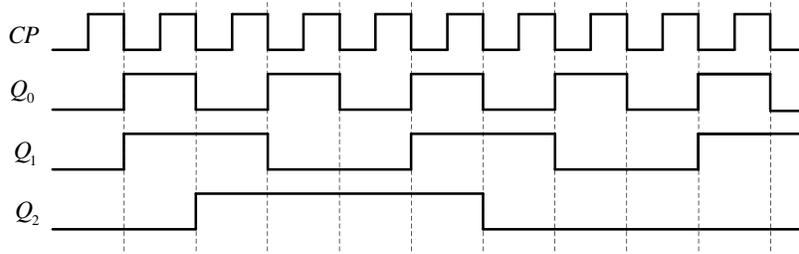


图 P4.9

解:



[P4.10] 电路和输入波形 CP 、 A 如图 P4.10 所示, 设起始状态 $Q_1Q_0=00$, 试画出 Q_1 、 Q_0 、 B 、 C 的波形。

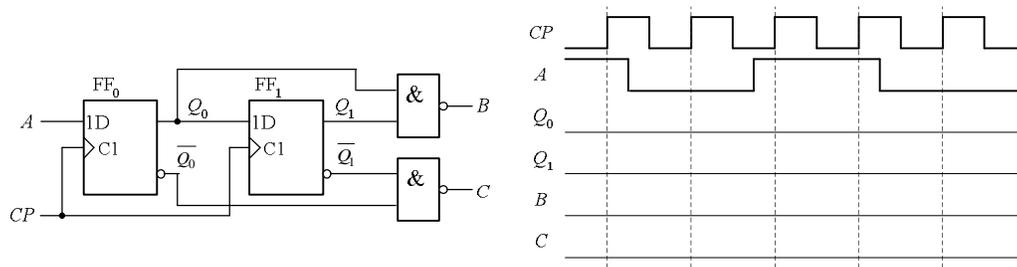
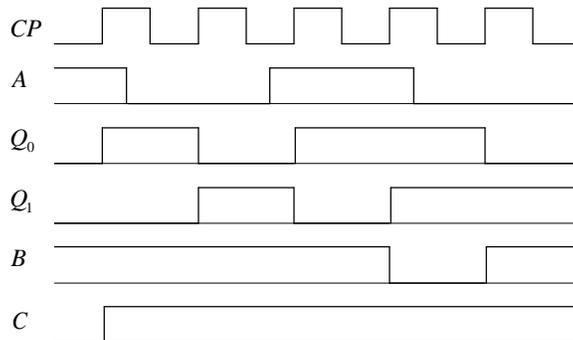


图 P4.10

解:



[P4.11] 分析如图 P4.11 所示电路, (1) 画出电路时序图; (2) 画出状态图; (3) 说明是几进制计数器。设各触发器的初态均为 0 。

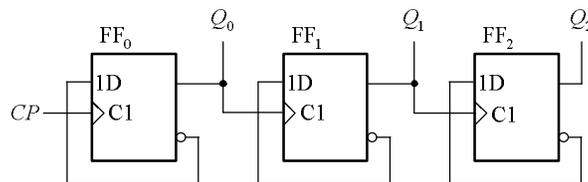
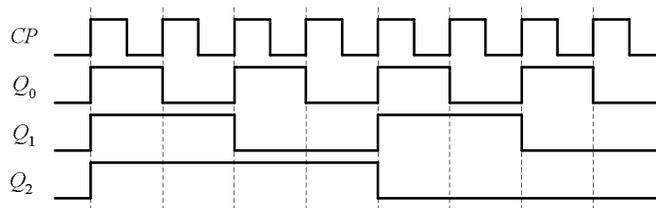


图 P4.11

解:



[P4.12] 已知时序电路如图 P4.12 所示。要求:

- (1) 写出各触发器的驱动方程和状态方程。
- (2) 画出电路的状态图。

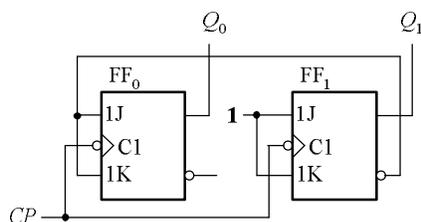


图 P4.12

解: (1) 驱动方程

$$J_0 = K_0 = \overline{Q_1^n}, \quad J_1 = K_1 = 1$$

(2) 状态方程

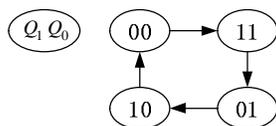
$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_1^n} \overline{Q_0^n} + Q_1^n Q_0^n$$

$$Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n}$$

(3) 状态真值表

Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}
0	0	1	1
0	1	1	0
1	0	0	0
1	1	0	1

(4) 状态转换图



[P4.13] 分析如图 P4.13 所示同步时序逻辑电路的功能，写出分析过程。

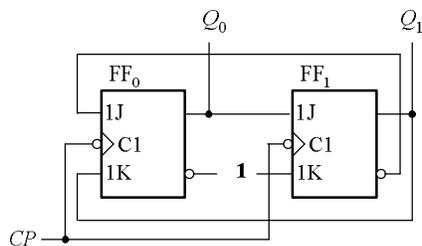


图 P4.13

解：(1) 驱动方程

$$J_0 = \overline{Q_1}, \quad K_0 = Q_1, \quad J_1 = Q_0, \quad K_1 = \overline{Q_0}$$

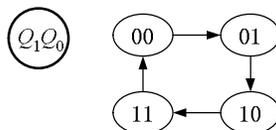
(2) 状态方程

$$Q_0^{n+1} = \overline{Q_1^n}, \quad Q_1^{n+1} = Q_0^n$$

(3) 状态真值表

Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}
0	0	0	1
0	1	1	1
1	0	0	0
1	1	1	0

(4) 状态转换图



(5) 功能

采用格雷码的四进制计数器。

[P4.14] 电路如图 P4.14 所示，设各触发器的初始状态为 0。请画出在输入信号作用下，对应的输出 Q_0 、 Q_1 的波形，并描述电路实现的功能。

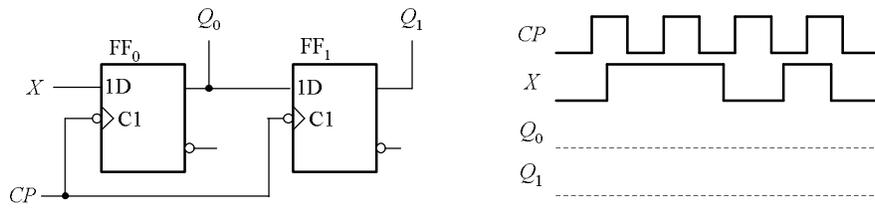
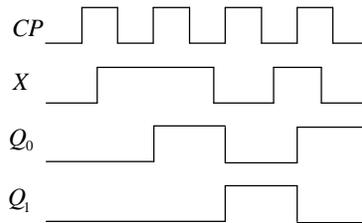


图 P4.14

解：(1) 波形图：



(2) 功能：右移寄存器

[P4.15] 一逻辑电路如图 P4.15 所示，试画出时序电路部分的状态图，并画出在 CP 作用下 2—4 译码器 74LS139 输出 \bar{Y}_0 、 \bar{Y}_1 、 \bar{Y}_2 、 \bar{Y}_3 的波形，设 Q_1 、 Q_0 的初态为 0 。

2 线—4 线译码器的逻辑功能为：当 $\overline{EN} = 0$ 时，电路处于工作状态， $\bar{Y}_0 = \overline{A_1 A_0}$ ， $\bar{Y}_1 = \overline{A_1} A_0$ ， $\bar{Y}_2 = A_1 \overline{A_0}$ ， $\bar{Y}_3 = A_1 A_0$ 。

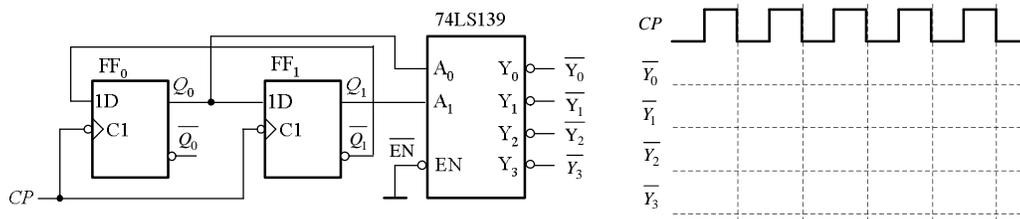
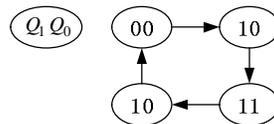
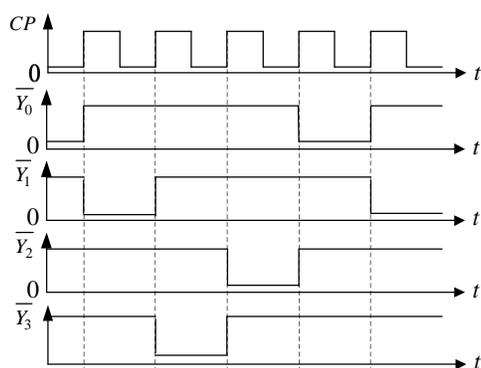


图 P4.15

解：(1) 状态转换图



(2) 波形图



[P4.16] 试分析如图 P4.16 同步时序逻辑电路，并写出分析过程。

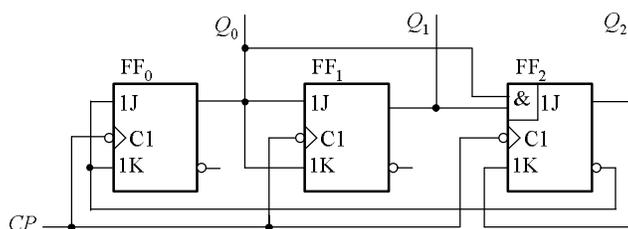


图 P4.16

解：(1) 写出驱动方程

$$\begin{aligned} J_0 &= \overline{Q_2^n} & J_1 &= Q_0^n & J_2 &= Q_0^n Q_1^n \\ K_0 &= Q_2^n & K_1 &= Q_0^n & K_2 &= Q_2^n \end{aligned}$$

(2) 写出状态方程

$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n} + Q_2^n Q_0^n$$

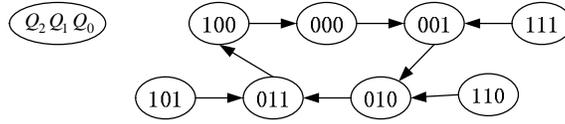
$$Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

$$Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n}$$

(3) 列出状态转换真值表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1	1	0	0	0	0	0
0	0	1	0	1	0	1	0	1	0	1	1
0	1	0	0	1	1	1	1	0	0	1	0
0	1	1	1	0	0	1	1	1	0	0	1

(4) 画出状态转换图



(5) 自启动校验，能够自启动

(6) 结论：具有自启动能力的同步五进制加法计数器。

[P4.17] 试分析如图 P4.17 所示同步时序逻辑电路，并写出分析过程。

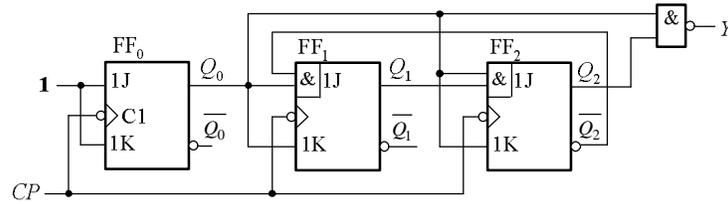


图 P4.17

解：(1) 写出驱动方程输出方程

$$\begin{aligned} J_0 &= K_0 = 1 \\ J_1 &= \overline{Q_2^n} Q_0^n & K_1 &= Q_0^n \\ J_2 &= Q_2^n Q_0^n & K_2 &= \overline{Q_0^n} \\ Y &= Q_2^n \overline{Q_0^n} \end{aligned}$$

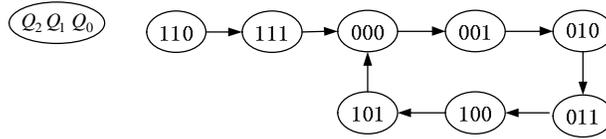
(2) 写出状态方程

$$\begin{aligned} Q_0^{n+1} &= \overline{Q_0^n} \\ Q_1^{n+1} &= \overline{Q_2^n} \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \\ Q_2^{n+1} &= \overline{Q_2^n} \overline{Q_1^n} Q_0^n + Q_2^n \overline{Q_0^n} \end{aligned}$$

(4) 列出状态转换真值表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1	1	0	0	1	0	1
0	0	1	0	1	0	1	0	1	0	0	0
0	1	0	0	1	1	1	1	0	1	1	1
0	1	1	1	0	0	1	1	1	0	0	0

(5) 画出状态转换图



(6) 逻辑功能
同步六进制加法计数器

(7) 自启动校验
可以自启动

[P4.18] 同步时序电路如图 P4.18 所示。

(1) 试分析图中虚线框电路，画出 Q_0 、 Q_1 、 Q_2 波形，并说明虚线框内电路的逻辑功能。

(2) 若把电路中的 Y 输出和置零端 $\overline{R_D}$ 连接在一起，试说明当 $X_0X_1X_2$ 为 **110** 时，整个电路的逻辑功能。

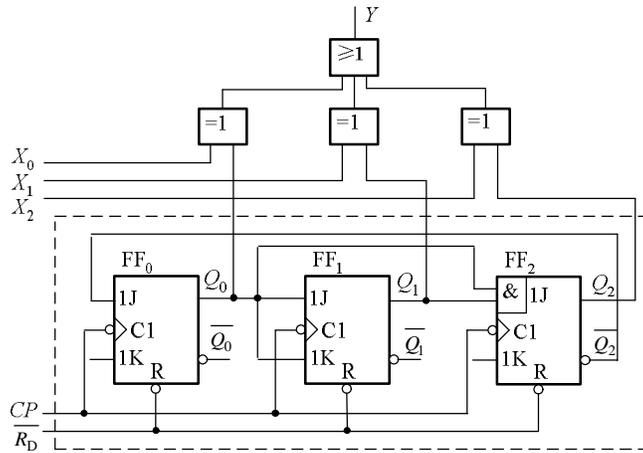
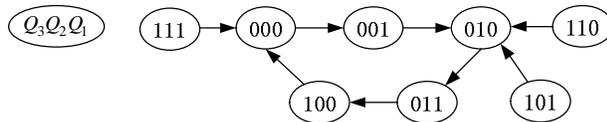


图 P4.18

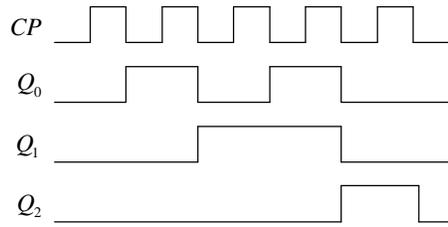
解：(1) 写出每级触发器的状态方程

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n \quad Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \quad Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n}$$

分析后，其状态转换图为：



所以波形图为：



电路是一个同步五进制可以自启动的加法计数器

$$(2) Y = (X_1 \oplus Q_0) + (X_2 \oplus Q_1) + (X_3 \oplus Q_2),$$

当 $X_1X_2X_3=110$ 时,

$$Y = \overline{Q_0} + \overline{Q_1} + Q_2,$$

当 $Q_2Q_1Q_0$ 出现 011 状态时, $\overline{R_D} = Y = 0$ 使计数器的状态清 0, 故此种情况下, 整个电路功能为一个三进制加法计数器。

[P4.19] 用一个 JK 触发器和一个 D 触发器设计一个能产生如图 P4.19 所示波形的同步时序逻辑电路, 不得使用其它门电路。要求: 给出设计过程, 检查自启动, 画出逻辑图, 包括进位输出。

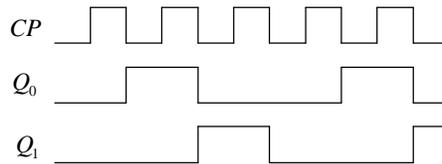
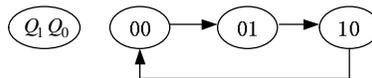


图 P4.19

解: (1) 根据时序图画出自态转换图



(2) 列出状态转换真值表

Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}
0	0	0	1
0	1	1	0
1	0	0	0
1	1	×	×

(3) 求状态方程

$$Q_1^{n+1} = \overline{Q_1^n} Q_0^n$$

$$Q_0^{n+1} = \overline{Q_1^n} \overline{Q_0^n}$$

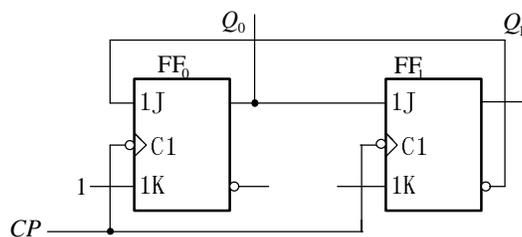
在求状态方程时，真值表中的×当作0。

(4) 求驱动方程

$$J_1 = Q_0^n \quad K_1 = 1$$

$$J_0 = \overline{Q_1^n} \quad K_0 = 1$$

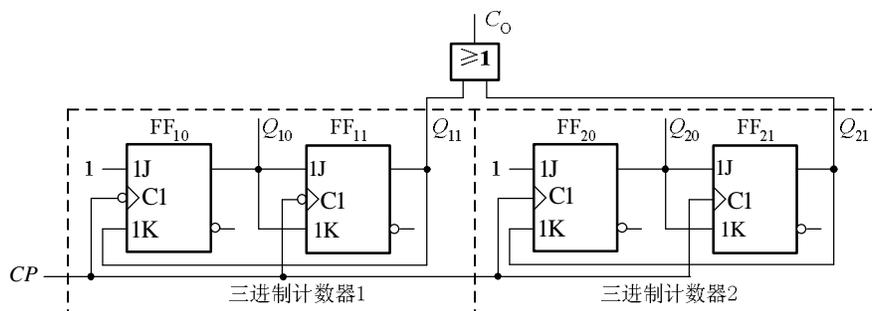
(5) 画出连线图



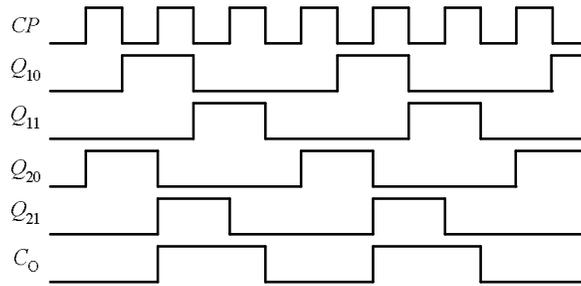
(6) 能够自启动

[P4.20] 用 JK 触发器设计一个 3 分频电路，要求输出信号的占空比为 50%。画出逻辑图，说明其工作原理。

解：(1) 设计两个 3 进制加法计数器，一个采用 CP 上升沿触发，一个采用下降沿触发，其逻辑图：

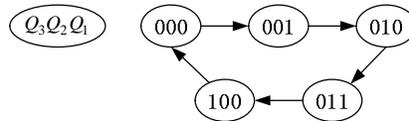


(2) 工作波形图：



[P4.21] 试用 D 触发器设计一个同步五进制加法计数器，要求写出设计过程。
解：

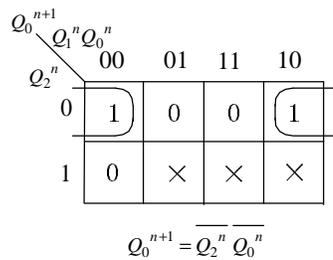
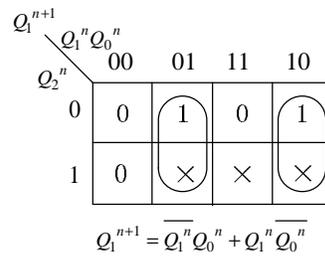
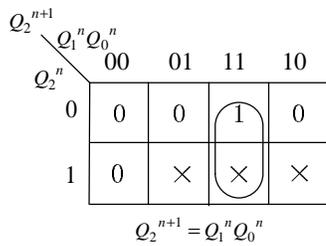
(1) 状态转换图



(2) 状态真值表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1	1	0	0	0	0	0
0	0	1	0	1	0	1	0	1	×	×	×
0	1	0	0	1	1	1	1	0	×	×	×
0	1	1	1	0	0	1	1	1	×	×	×

(3) 求状态方程



(4) 驱动方程

$$D_2 = Q_1^n Q_0^n$$

$$D_1 = Q_1^n \oplus Q_0^n$$

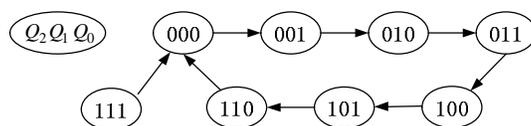
$$D_0 = \overline{Q_2^n Q_0^n}$$

(5) 逻辑图 (略)

(6) 自启动检验。

[P4.22] 试用 JK 触发器设计一个同步七进制加法计数器, 要求写出设计过程。

解: (1) 画出状态转换图



(2) 根据状态图列出状态转换表。

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	0	0	0
1	1	1	0	0	0

(3) 写出状态方程

$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_2^n Q_1^n} \overline{Q_0^n}$$

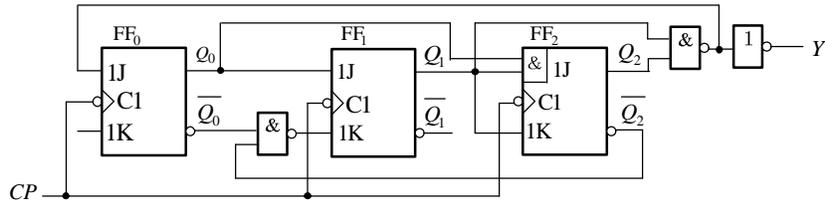
$$Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} \overline{Q_2^n} Q_1^n$$

$$Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = Q_0^n Q_1^n \overline{Q_2^n} + \overline{Q_1^n} Q_2^n$$

(4) 写出驱动方程:

$$\begin{cases} J_0 = \overline{Q_2^n Q_1^n} \\ K_0 = 1 \end{cases} \quad \begin{cases} J_1 = Q_0^n \\ K_1 = \overline{Q_0^n} \overline{Q_2^n} \end{cases} \quad \begin{cases} J_2 = Q_0^n Q_1^n \\ K_2 = Q_1^n \end{cases}$$

(5) 电路图



[P4.23] 请用 D 触发器和门电路设计一个 8 节拍格雷码计数器。8 节拍格雷码的状态图如图 P4.23 所示。

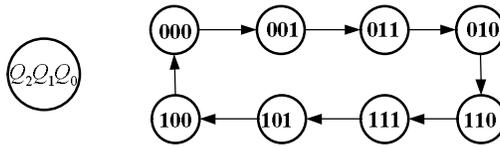
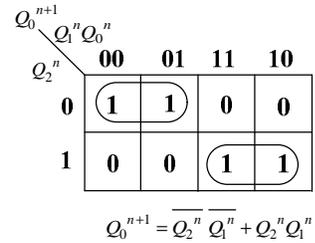
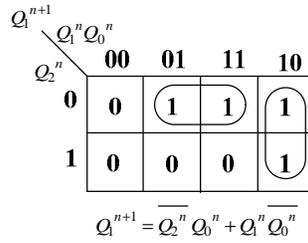
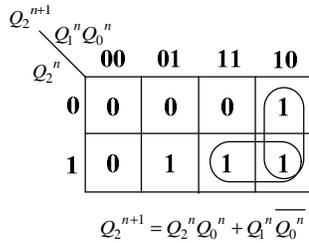


图 P4.23

解：(1) 根据状态转换图，列出状态表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1	1	0	0	0	0	0
0	0	1	0	1	1	1	0	1	1	0	0
0	1	0	1	1	0	1	1	0	1	1	1
0	1	1	0	1	0	1	1	1	1	0	1

(2) 求状态方程



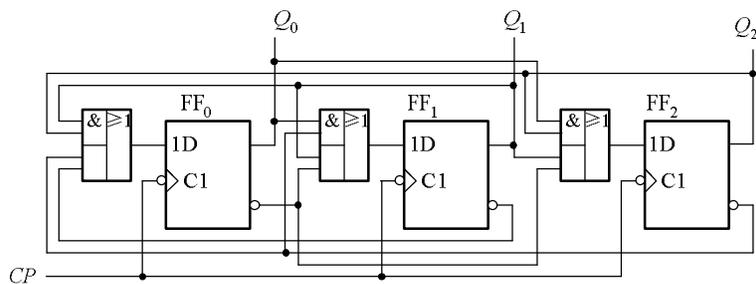
(3) 求驱动方程

$$D_2 = Q_2^n Q_0^n + Q_1^n Q_0^n$$

$$D_1 = Q_2^n Q_0^n + Q_1^n Q_0^n$$

$$D_0 = Q_2^n Q_1^n + Q_2^n Q_1^n$$

(4) 电路图



[P4.24] 试用 JK 触发器及门电路设计一个能预置初态为零的 5421BCD 码十进制同步加法计数器。

解：(1) 列出状态真值表

Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	1	0	0	0
0	1	0	1	1×	0×	1×	0×
0	1	1	0	1×	0×	1×	0×
0	1	1	1	1×	0×	0×	0×
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	0	0	0	0
1	1	0	1	0×	0×	1×	0×
1	1	1	0	0×	0×	1×	0×
1	1	1	1	0×	0×	0×	0×

(2) 求状态方程

$Q_3^{n+1} \backslash Q_1^n Q_0^n$	00	01	11	10
$Q_3^n Q_2^n \backslash$	00	01	11	10
00	0	0	0	0
01	1	×	×	×
11	0	×	×	×
10	1	1	1	1

$$Q_3^{n+1} = Q_2^n \overline{Q_3^n} + \overline{Q_2^n} Q_3^n$$

$Q_2^{n+1} \backslash Q_1^n Q_0^n$	00	01	11	10
$Q_3^n Q_2^n \backslash$	00	01	11	10
00	0	0	1	0
01	0	×	×	×
11	0	×	×	×
10	0	0	1	0

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n$$

$Q_1^{n+1} \backslash Q_1^n Q_0^n$	00	01	11	10
$Q_3^n Q_2^n \backslash$	00	01	11	10
00	0	1	0	1
01	0	×	×	×
11	0	×	×	×
10	0	1	0	1

$$Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

$Q_0^{n+1} \backslash Q_1^n Q_0^n$	00	01	11	10
$Q_3^n Q_2^n \backslash$	00	01	11	10
00	1	0	0	1
01	0	×	×	×
11	0	×	×	×
10	1	0	0	1

$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n}$$

(3) 驱动方程

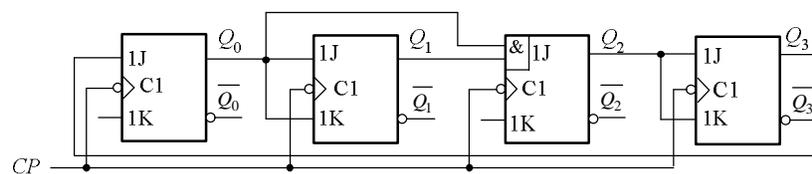
$$J_3 = K_3 = Q_2^n$$

$$J_2 = Q_1^n Q_0^n, K_2 = 1$$

$$J_1 = K_1 = Q_0^n$$

$$J_0 = \overline{Q_2^n}, K_0 = 1$$

(4) 电路图



(5) 自启动校验

从状态表可知, 无效状态通过几个 CP 脉冲以后能够进入有效循环, 所以能够自启动。

[P4.25] 表 P4.25 为循环 BCD 码的编码表, 试用 JK 触发器及门电路设计出相应的能预置初态为 0 的十进制同步加法计数器, 画出电路。

表 P4.25 循环 BCD 码

十进制数	A	B	C	D	十进制数	A	B	C	D
0	0	0	0	0	5	1	1	1	0
1	0	0	0	1	6	1	0	1	0
2	0	0	1	1	7	1	0	1	1
3	0	0	1	0	8	1	0	0	1
4	0	1	1	0	9	1	0	0	0

解: (1) 列出状态真值表

Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	1
0	0	1	0	0	1	1	0
0	0	1	1	0	0	1	0
0	1	0	0	1×	1×	0×	1×
0	1	0	1	1×	1×	1×	1×
0	1	1	0	1	1	1	0
0	1	1	1	1×	1×	1×	0×
1	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0
1	0	1	0	1	0	1	1
1	0	1	1	1	0	0	1
1	1	0	0	0×	0×	0×	0×
1	1	0	1	0×	0×	0×	0×
1	1	1	0	1	0	1	0
1	1	1	1	0×	0×	0×	1×

(2) 求状态方程

Q_3^{n+1}	$Q_1^n Q_0^n$				
$Q_3^n Q_2^n$		00	01	11	10
00		0	0	0	0
01		×	×	×	1
11		×	×	×	1
10		0	1	1	1

Q_2^{n+1}	$Q_1^n Q_0^n$				
$Q_3^n Q_2^n$		00	01	11	10
00		0	0	0	1
01		×	×	×	1
11		×	×	×	0
10		0	0	0	0

$$Q_3^{n+1} = \overline{Q_2^n} \overline{Q_3^n} + Q_3^n \overline{Q_2^n} Q_0^n + Q_3^n Q_1^n \overline{Q_0^n} = \overline{Q_2^n} \overline{Q_3^n} + (\overline{Q_2^n} Q_0^n + Q_1^n \overline{Q_0^n}) Q_3^n$$

$$Q_2^{n+1} = \overline{Q_2^n} \overline{Q_3^n} + \overline{Q_3^n} \overline{Q_2^n} Q_1^n \overline{Q_0^n} = \overline{Q_3^n} \overline{Q_1^n} \overline{Q_0^n} \overline{Q_2^n} + \overline{Q_3^n} Q_2^n$$

Q_1^{n+1}	$Q_1^n Q_0^n$				
$Q_3^n Q_2^n$		00	01	11	10
00		0	1	1	1
01		×	×	×	1
11		×	×	×	1
10		0	0	0	1

Q_0^{n+1}	$Q_1^n Q_0^n$				
$Q_3^n Q_2^n$		00	01	11	10
00		1	1	0	0
01		×	×	×	0
11		×	×	×	0
10		0	0	1	1

$$Q_1^{n+1} = Q_1^n \overline{Q_0^n} + \overline{Q_3^n} Q_1^n + \overline{Q_3^n} \overline{Q_1^n} Q_0^n = \overline{Q_3^n} \overline{Q_0^n} \overline{Q_1^n} + (\overline{Q_0^n} + \overline{Q_3^n}) Q_1^n$$

$$\begin{aligned} Q_0^{n+1} &= \overline{Q_3^n} \overline{Q_1^n} + \overline{Q_3^n} \overline{Q_2^n} Q_1^n \\ &= (\overline{Q_3^n} \overline{Q_1^n} + \overline{Q_3^n} \overline{Q_2^n} Q_1^n) \overline{Q_0^n} + (\overline{Q_3^n} \overline{Q_1^n} + \overline{Q_3^n} \overline{Q_2^n} Q_1^n) Q_0^n \end{aligned}$$

(3) 驱动方程

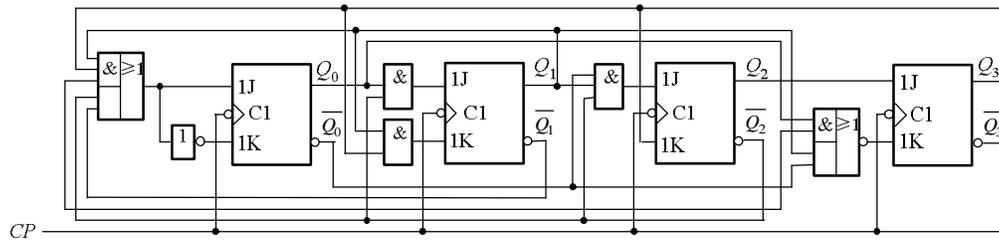
$$J_3 = Q_2^n, \quad K_3 = \overline{\overline{Q_2^n} Q_0^n + Q_1^n \overline{Q_0^n}}$$

$$J_2 = \overline{Q_3^n} \overline{Q_1^n} \overline{Q_0^n}, \quad K_2 = Q_3^n$$

$$J_1 = \overline{Q_3^n} \overline{Q_0^n}, \quad K_1 = Q_0^n Q_3^n$$

$$J_0 = \overline{\overline{Q_3^n} \overline{Q_1^n} + \overline{Q_3^n} \overline{Q_2^n} Q_1^n}, \quad K_0 = \overline{\overline{Q_3^n} \overline{Q_1^n} + \overline{Q_3^n} \overline{Q_2^n} Q_1^n}$$

(4) 电路图



(5) 自启动校验

从状态表可知, 无效状态通过几个 CP 脉冲以后能够进入有效循环, 所以能够自启动。

[P4.26] 图 P4.26 为一个电路的状态转换图。用 D 触发器实现该电路。(S₀、S₁、S₂ 的编码分别为 00、01、11)

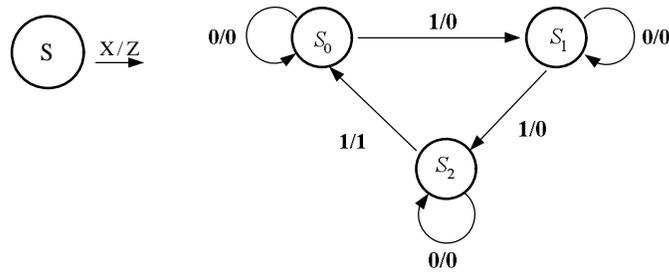


图 P4.26

解: (1) 根据题意列出电路的状态表:

X	Q ₁ ⁿ	Q ₀ ⁿ	Q ₁ ⁿ⁺¹	Q ₀ ⁿ⁺¹	Z
0	0	0	0	0	0
0	0	1	0	1	0
0	1	1	1	1	0
1	0	0	0	1	0
1	0	1	1	1	0
1	1	1	0	0	1
0	1	0	1×	0×	0×
1	1	0	0×	0×	1×

(2) 状态方程:

Q_1^{n+1}	$Q_1^n Q_0^n$			
X	00	01	11	10
0	0	0	1	×
1	0	1	0	×

Q_0^{n+1}	$Q_1^n Q_0^n$			
X	00	01	11	10
0	0	1	1	×
1	1	1	0	×

Z	$Q_1^n Q_0^n$			
X	00	01	11	10
0	0	0	0	×
1	0	0	1	×

$$Q_1^{n+1} = X\bar{Q}_1Q_0 + \bar{X}Q_1,$$

$$Q_0^{n+1} = \bar{X}Q_0 + X\bar{Q}_1,$$

$$Z = XQ_1Q_0$$

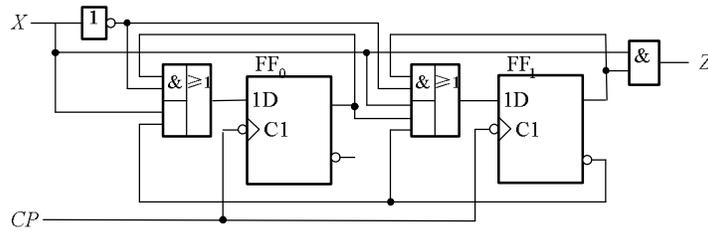
(3) 输出方程: $Z = XQ_1Q_0$

(4) 驱动方程:

$$D_1 = X\bar{Q}_1Q_0 + \bar{X}Q_1Q_0$$

$$D_0 = \bar{X}Q_0 + X\bar{Q}_1$$

(5) 电路图



[P4.27] 采用如图 P4.27 所示的二片 74LS194 双向移位寄存器、一个 1 位全加器和一个 D 型触发器设计二个 4 位二进制数 $A=A_3A_2A_1A_0$ 、 $B=B_3B_2B_1B_0$ 的加法电路。要求画出电路, 说明所设计电路的工作过程以及最后输出结果在何处。

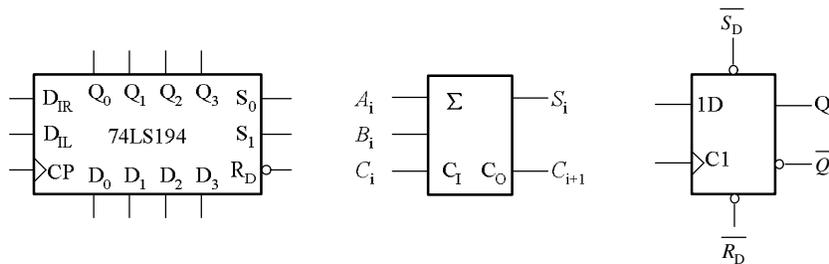
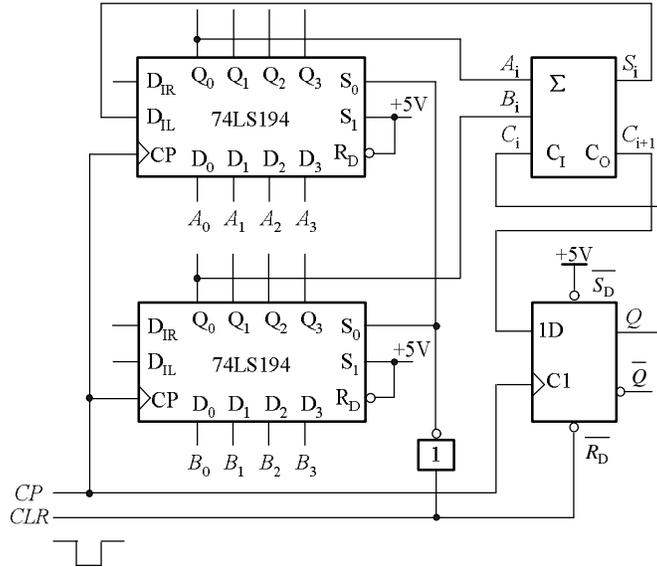


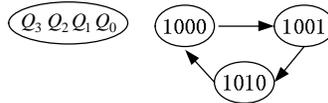
图 P4.27

解:



[P4.28] 由四位二进制计数器 74161 及门电路组成的时序电路如图 P4.28 所示。画出状态图，指出该电路的功能。

解：



三进制计数器

[P4.29] 由四位二进制计数器 74161 及门电路组成的时序电路如图 P4.29 所示。要求：

- (1) 分别列出 $X=0$ 和 $X=1$ 时的状态图；
- (2) 指出该电路的功能。

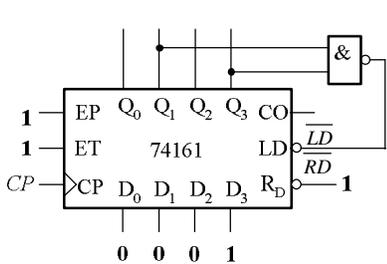


图 P4.28

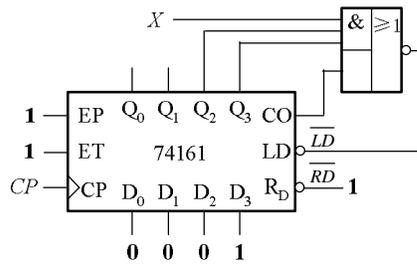
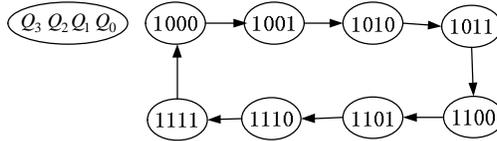


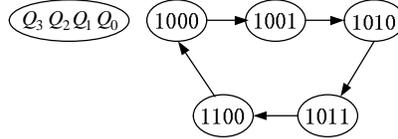
图 P4.29

解：

- (1) $X=0$ 时，电路为 8 进制加计数器，状态转换图为：



(2) $X=1$ 时, 电路为 5 进制加计数器, 状态转换图为:



[P4.30] 电路如图 P4.30 所示, 74LS151 为 8 选 1 数据选择器, 74161 为四位二进制计数器。请问:

- (1) 74161 接成了几进制的计数器?
- (2) 画出输出 CP 、 Q_0 、 Q_1 、 Q_2 、 L 的波形 (CP 波形不少于 10 个周期)。

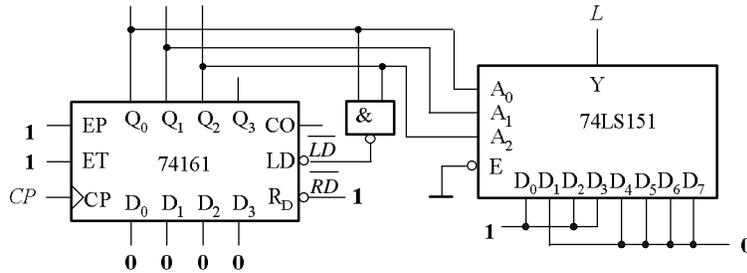
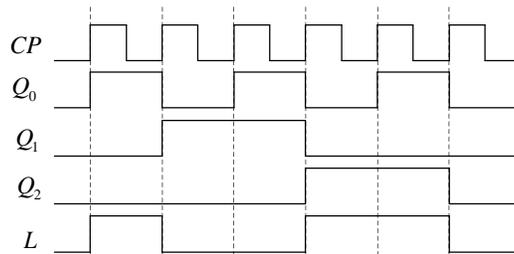


图 P4.30

解: (1) 74161 接成 6 进制计数器
 (2) 波形如下:



[P4.31] 试分析如图 P4.31 所示电路的逻辑功能。图中 74LS160 为十进制同步加法计数器, 其功能如表 P4.31 所示。

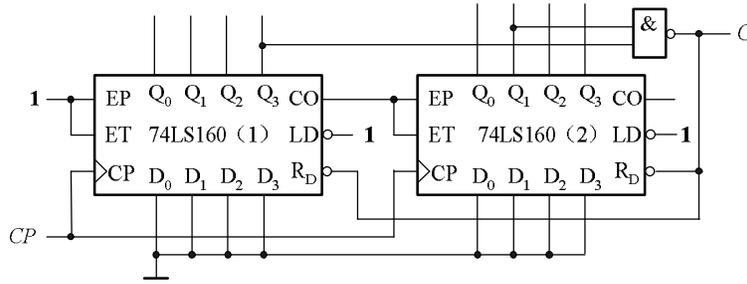


图 P4.31

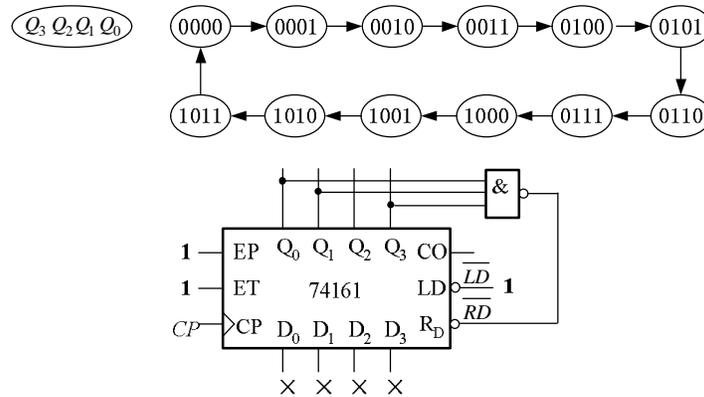
表 P4.31 74LS160 功能表

CP	$\overline{R_D}$	\overline{LD}	EP	ET	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但 $CO=0$)
↑	1	1	1	1	计数

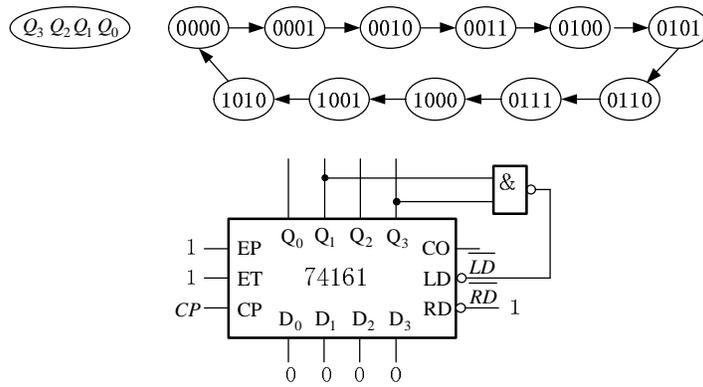
解：28 进制加法计数器。

[P4.32] 用同步四位二进制计数器 74161 构成十一进制计数器。要求分别用“清零法”和“置数法”实现。

解：(1) 清零法



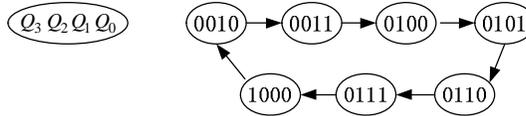
(2) 置数法



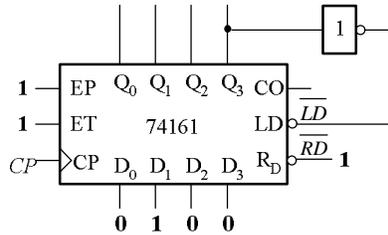
[P4.33] 用中规模集成计数器 74LS161 构成初始状态为 **0010** 的七进制计数器。

- (1) 画出状态转换图;
- (2) 画出电路图。

(1) 状态转换图

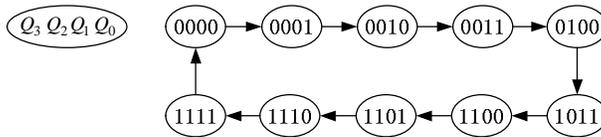


(2) 连线图

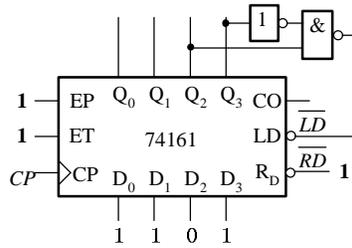


[P4.34] 用十六进制同步加法计数器 74161 设计能自启动的 2421BCD 码十进制加法计数器, 可用必要的门电路。

解: 2421BCD 码的状态转换图

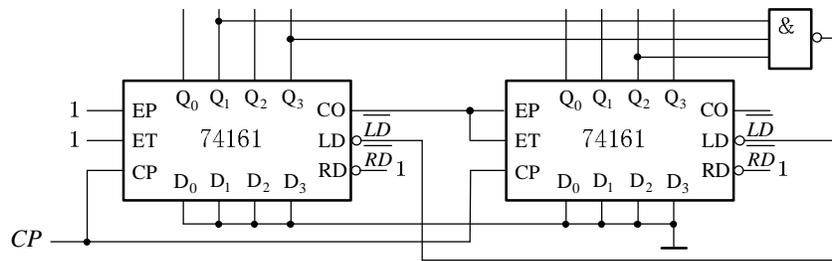


计至 4 时置 1011: $\overline{LD} = \overline{Q_3 Q_2}$, $D_3 D_2 D_1 D_0 = 1011$, 连线图为:



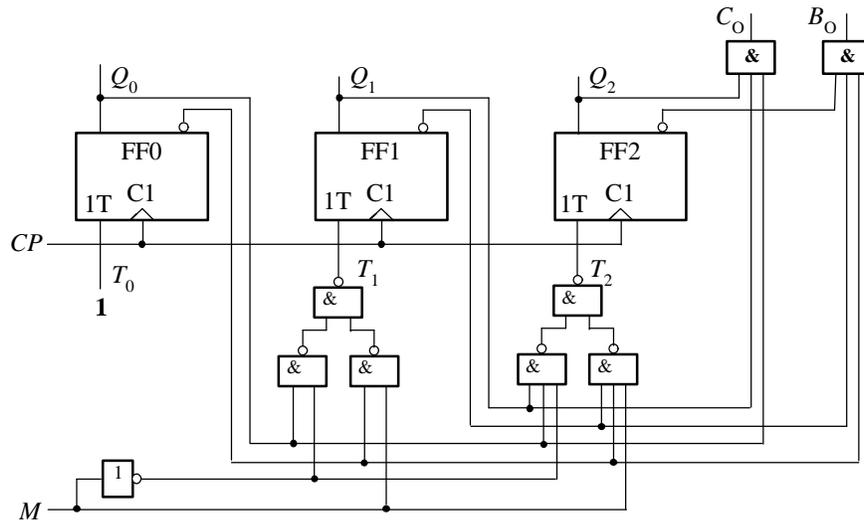
[P4.35] 用两片集成计数器 74161 构成 75 进制计数器，画出连线图。

解：



[P4.36] 用上升沿触发 T 触发器和与非门设计采用自然二进制码的 8 进制双向同步计数器，当 $M=0$ 时为加法计数器，当 $M=1$ 时为减法计数器，并要有进位和借位输出信号。画出电路。

解：



[P4.37] 中规模集成计数器 74LS193 引脚图和功能表分别如图 P4.37 和如表 P4.37 所示，其中 \overline{CO} 和 \overline{BO} 分别为进位和借位输出。

(1) 请画出进行加法计数实验时的实际连接电路。

(2) 试通过外部的适当连线, 将 74LS193 连接成 8421BCD 码的十进制减法计数器。

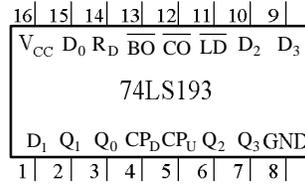
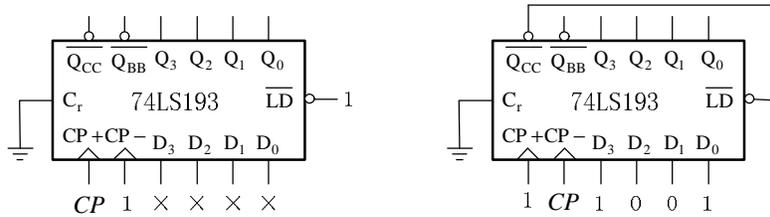


图 P4.37

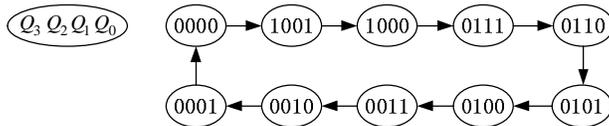
表 P4.37

输 入								输 出			
R_D	\overline{LD}	CP_U	CP_D	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0
1	×	×	×	×	×	×	×	0	0	0	0
0	0	×	×	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0
0	1	↑	1	×	×	×	×	4 位二进制加计数			
0	1	1	↑	×	×	×	×	4 位二进制减计数			

解: (1) 进行加法计数实验时的电路连接如图, $CP^- = "1"$, CP^+ 接计数脉冲, $C_r=0$, \overline{LD} 接 "1", 输出为 Q_3 、 Q_2 、 Q_1 、 Q_0 。



(2) 要求按 8421 编码十进制减法计数时, 电路图如上右图所示, 状态转换图为



由功能表可知, 74LS193 是异步置数, 因此当出现 0000 后, 先出现 1111, 才能把计数器置成 1001, 随后开始减法计数, 电路如图所示 (利用 $\overline{Q_{CC}}$ 作计数控制)

[P4.38] 一种能产生 7 位编码信息的编码电路如图 P4.38 所示。试分析:

- (1) 接通电源但未按下按键 P 时各 IC 的工作状态;
- (2) 说明按下图示位置按键 P 时, 编码值是如何存入寄存器 74LS374 中的;
- (3) 写出按键 P 时, $b_6b_5b_4b_3b_2b_1b_0$ 的编码值。

自我检测题

[T5.1] 在存储器结构中,什么是“字”?什么是“字长”,如何标注存储器的容量?

采用同一个地址存放的一组二进制数,称为字。字的位数称为字长。习惯上用总的位数来表示存储器的容量,一个具有 n 字、每字 m 位的存储器,其容量一般可表示为 $n \times m$ 。

[T5.2] 试述 RAM 和 ROM 的区别。

RAM 称为随机存储器,在工作中既允许随时从指定单元内读出信息,也可以随时将信息写入指定单元,最大的优点是读写方便。但是掉电后数据丢失。

ROM 在正常工作状态下只能从中读取数据,不能快速、随时地修改或重新写入数据,内部信息通常在制造过程或使用前写入,

[T5.3] 试述 SRAM 和 DRAM 的区别。

SRAM 通常采用锁存器构成存储单元,利用锁存器的双稳态结构,数据一旦被写入就能够稳定地保持下去。动态存储器则是以电容为存储单元,利用对电容器的充放电来存储信息,例如电容器含有电荷表示状态 **1**,无电荷表示状态 **0**。根据 DRAM 的机理,电容内部的电荷需要维持在一定的水平才能保证内部信息的正确性。因此,DRAM 在使用时需要定时地进行信息刷新,不允许由于电容漏电导致数据信息逐渐减弱或消失。

[T5.4] 与 SRAM 相比,闪烁存储器有何主要优点?

容量大,掉电后数据不会丢失。

[T5.5] 用 ROM 实现两个 4 位二进制数相乘,试问:该 ROM 需要有多少根地址线?多少根数据线?其存储容量为多少?

8 根地址线,8 根数据线。其容量为 64×8 。

[T5.6] 一个 ROM 共有 10 根地址线,8 根位线(数据输出线),则其存储容量为_____。

(A) 10×8 (B) $10^2 \times 8$ (C) 10×8^2 (D) $2^{10} \times 8$

[T5.7] 为了构成 4096×8 的 RAM,需要_____片 1024×2 的 RAM。

(A) 8 片 (B) 16 片 (C) 2 片 (D) 4 片

[T5.8] 哪种器件中存储的信息在掉电以后即丢失_____?

(A) SRAM (B) UVEPROM (C) E^2 PROM (D) PAL

[T5.9] 关于半导体存储器的描述,下列哪种说法是错误的_____。

(A) RAM 读写方便,但一旦掉电,所存储的内容就会全部丢失

(B) ROM 掉电以后数据不会丢失

(C) RAM 可分为静态 RAM 和动态 RAM

(D) 动态 RAM 不必定时刷新

[T5.10] PAL 是一种_____的可编程逻辑器件。

(A) 与阵列可编程、或阵列固定的 (B) 与阵列固定、或阵列可编程的

(C) 与、或阵列固定的 (D) 与、或阵列都可编程的

习 题

[P5.1] 现有如图 P5.1 所示的 4×4 字位 RAM 若干片,现要把它们扩展成 8×8 字位

RAM。

- (1) 试问需要几片 4×4 字位 RAM?
- (2) 画出扩展后电路图 (可用少量门电路)。

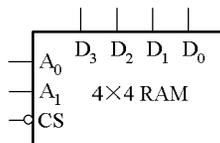
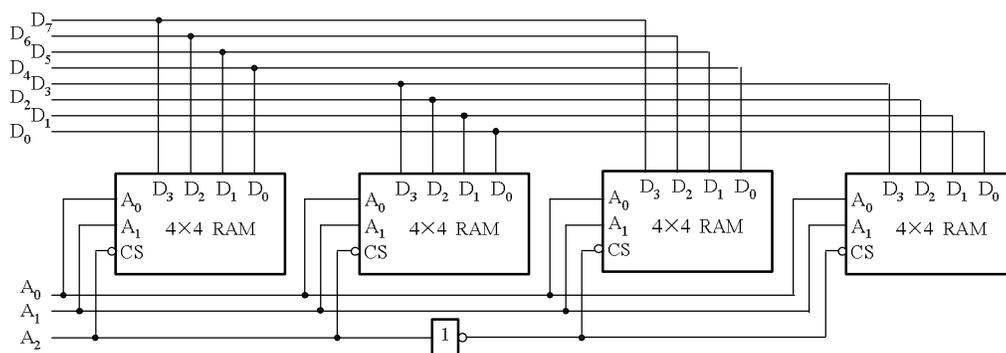


图 P5.1

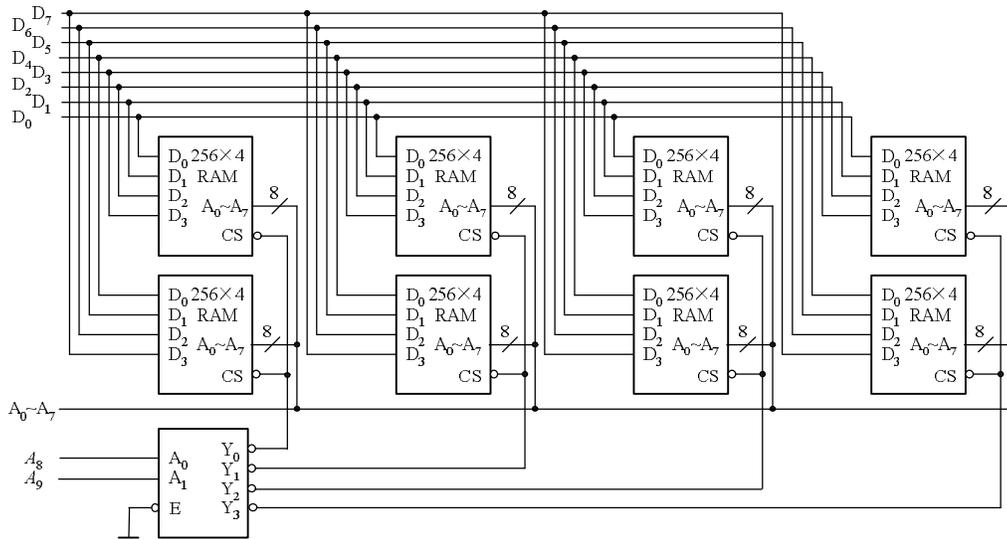
解: (1) 用 4×4 RAM 扩展成 8×8 字位 RAM 时, 需进行字数和位数扩展, 故需要 4 片 4×4 的 RAM

(2) 扩展后电路如图:



[P5.2] 在微机中, CPU 要对存储器进行读写操作, 首先要由地址总线给出地址信息, 然后发出相应读或写的控制信号, 最后才能在数据总线上进行信息交流。现有 256×4 位的 RAM 二片, 组成一个页面, 现需 4 个页面的存储容量, 画出用 256×4 组成 $1K \times 8$ 位的 RAM 框图, 并指出各个页面的地址分配。

解: 电路连接图如图所示。从左到右四个页面的地址为:
 $000H \sim 0FFH$, $100H \sim 1FFH$, $200H \sim 2FFH$, $300H \sim 3FFH$ 。



[P5.3] 试用 4×2 字位容量的 ROM 实现半加器的逻辑功能，并直接在图 P5.2 中画出用 ROM 点阵图实现的半加法器电路。

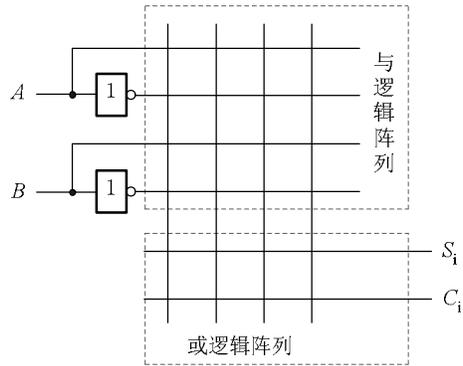
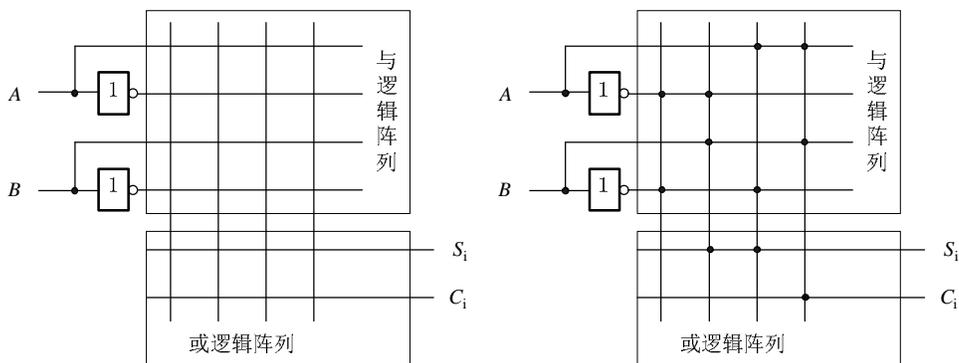


图 P5.3



解：由于半加器的输出 $S_i = \overline{A}B + A\overline{B}$

$$C_i = AB$$

所以 ROM 点阵图如图所示。

[P5.4] 用 EPROM 实现二进制码与格雷码的相互转换电路，待转换的代码由 $I_3I_2I_1I_0$ 输入，转换后的代码由 $O_3O_2O_1O_0$ 输出。 X 为转换方向控制位，当 $X=0$ 时，实现二进制码到格雷码的转换；当 $X=1$ 时，实现格雷码到二进制码的转换。试求：

(1) 列出 EPROM 的地址与内容对应关系真值表；

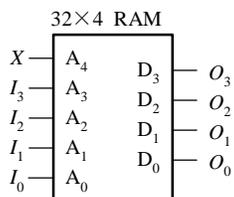
(2) 确定输入变量和输出变量与 ROM 地址线和数据线对应关系。

解：真值表为：

X	I_3	I_2	I_1	I_0	O_3	O_2	O_1	O_0
0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	0	1	1
0	0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	1	0	1	0	1	1	1
0	0	1	1	0	0	1	0	1
0	0	1	1	1	0	1	0	0
0	1	0	0	0	1	1	0	0
0	1	0	0	1	1	1	0	1
0	1	0	1	0	1	1	1	1
0	1	0	1	1	1	1	1	0
0	1	1	0	0	1	0	1	0
0	1	1	0	1	1	0	1	1
0	1	1	1	0	1	0	0	1
0	1	1	1	1	1	0	0	0
1	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1

1	0	0	1	0	0	0	1	1
1	0	0	1	1	0	0	1	0
1	0	1	0	0	0	1	1	1
1	0	1	0	1	0	1	1	0
1	0	1	1	0	0	1	0	0
1	0	1	1	1	0	1	0	1
1	1	0	0	0	1	1	1	1
1	1	0	0	1	1	1	1	0
1	1	0	1	0	1	1	0	0
1	1	0	1	1	1	1	0	1
1	1	1	0	0	1	0	0	0
1	1	1	0	1	1	0	0	1
1	1	1	1	0	1	0	1	1
1	1	1	1	1	1	0	1	0

输入变量和输出变量与 ROM 地址线和数据线对应关系如图所示：



[P5.5] 试分析如图 P5.5 所示 PLA 构成电路。写出 F_1 、 F_2 的逻辑表达式。

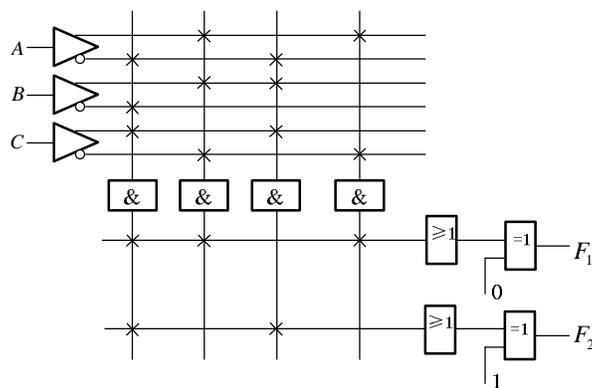


图 P5.5

解： $F_1 = \overline{A}C + A\overline{B}C + \overline{A}B\overline{C}$

$$F_2 = \overline{\overline{ABC} + \overline{A}BC}$$

[P5.6] 试分析如图 P5.6 所示电路。

(1) 列出时序 PLA 的状态表和状态图

(2) 简述该时序 PLA 的逻辑功能。

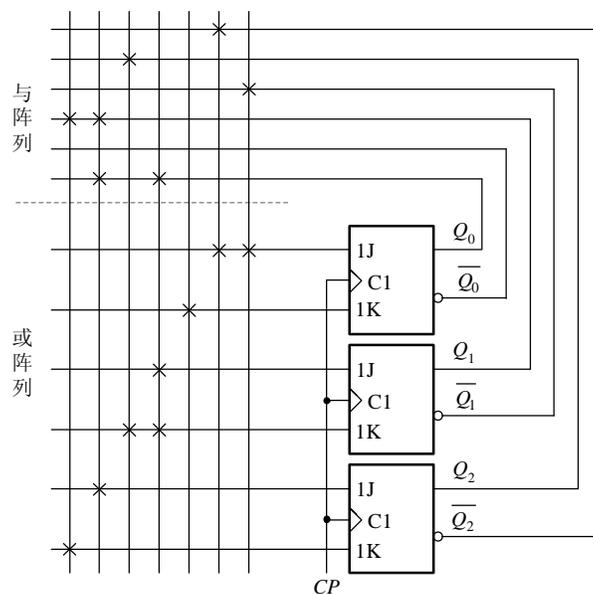


图 P5.6

解：(1) 根据电路图写出各触发器驱动方程

$$J_0 = \overline{Q_2^n} + \overline{Q_1^n}, \quad K_0 = 1$$

$$J_1 = Q_0^n, \quad K_1 = \overline{Q_2^n} + Q_0^n$$

$$J_2 = Q_1^n Q_0^n, \quad K_2 = Q_1^n$$

(2) 写出各触发器状态方程

$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_2^n} \overline{Q_0^n} + Q_1^n \overline{Q_0^n}$$

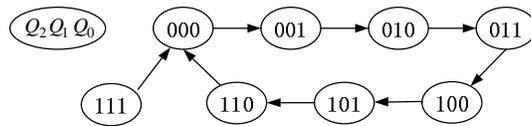
$$Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = Q_0^n \overline{Q_1^n} + \overline{Q_2^n} Q_1^n + Q_0^n Q_1^n$$

$$Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = Q_1^n Q_0^n \overline{Q_2^n} + \overline{Q_1^n} Q_2^n$$

(3) 列出状态表

Q_2^n	Q_1^n	Q_0^n	CP	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	↓	0	0	1
0	0	1	↓	0	1	0
0	1	0	↓	0	1	1
0	1	1	↓	1	0	0
1	0	0	↓	1	0	1
1	0	1	↓	1	1	0
1	1	0	↓	0	0	0
1	1	1	↓	0	0	0

(4) 状态转换图



(5) 功能：同步七进制加法计数器。

自我检测题

[T6.1] 单稳态触发器的主要用途是_____。

- (A) 整形、延时、鉴幅 (B) 延时、定时、存储
(C) 延时、定时、整形 (D) 整形、鉴幅、定时

[T6.2] 为了将正弦信号转换成与之频率相同的脉冲信号, 可采用_____。

- (A) 多谐振荡器 (B) 移位寄存器 (C) 单稳态触发器 (D) 施密特触发器

[T6.3] 将三角波变换为矩形波, 需选用_____。

- (A) 单稳态触发器 (B) 施密特触发器 (C) RC 微分电路 (D) 双稳态触发器

[T6.4] 滞后性是_____的基本特性。

- (A) 多谐振荡器 (B) 施密特触发器 (C) T 触发器 (D) 单稳态触发器

[T6.5] 自动产生矩形波脉冲信号为_____。

- (A) 施密特触发器 (B) 单稳态触发器 (C) T 触发器 (D) 多谐振荡器

[T6.6] 如图 T6.6 所示的单稳态触发器电路中, 为加大输出脉冲宽度, 可采取的下列措施中哪条:

- _____。
(A) 加大 R_d (B) 加大 R (C) 提高 V_{DD} (D) 增加输入触发脉冲的宽度。

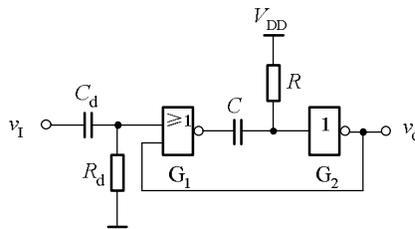


图 T6.6

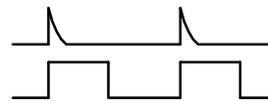


图 T6.7

[T6.7] 已知某电路的输入输出波形如图 T6.7 所示, 则该电路可能为_____。

- (A) 多谐振荡器 (B) 双稳态触发器 (C) 单稳态触发器 (D) 施密特触发器

[T6.8] 由 555 定时器构成的单稳态触发器, 其输出脉冲宽度取决于_____。

- (A) 电源电压 (B) 触发信号幅度 (C) 触发信号宽度
(D) 外接 R 、 C 的数值

[T6.9] 由 555 定时器构成的电路如图 T6.9 所示, 该电路的名称是_____。

- (A) 单稳态触发器 (B) 施密特触发器 (C) 多谐振荡器 (D) SR 触发器

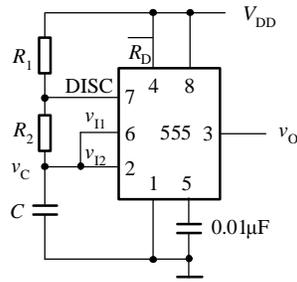


图 T6.9

[T6.10] 四个电路输入 v_i 、输出 v_o 的波形如图 T6.10 所示，试写出分别实现下列功能的最简电路类型（不必画出电路）。

- (a) 二进制计数器； (b) 施密特触发器；
 (c) 单稳态触发器； (d) 六进制计数器。

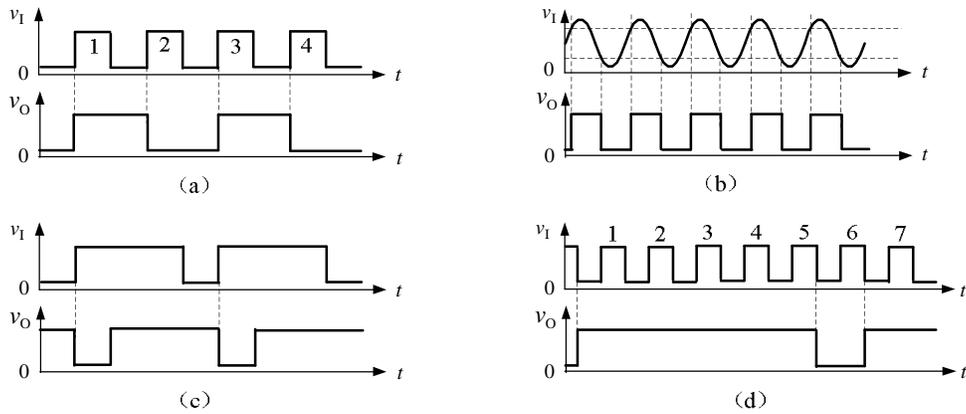


图 T6.10

习 题

[P6.1] 电路如图 P6.1 所示， G_1 、 G_2 均为 CMOS 系列。

- (1) 说出电路名称；
- (2) 画出其传输特性；
- (3) 列出主要参数计算公式。

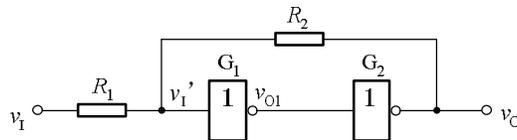
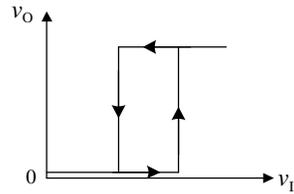


图 P6.1

解:

- (1) 由门电路构成的施密特触发器。
- (2) 传输特性



$$(3) V_{T+} = \frac{1}{2}V_{DD}\left(1 + \frac{R_1}{R_2}\right)$$

$$V_{T-} = \frac{1}{2}V_{DD}\left(1 - \frac{R_1}{R_2}\right)$$

$$\text{回差电压} = V_{DD} \cdot \frac{R_1}{R_2}$$

[P6.2] 图 P6.2 所示的电路是用施密特触发器构成的多谐振荡器，施密特触发器的阈值电压分别为 V_{T+} 和 V_{T-} ，试画出电容器 C 两端电压 v_C 和输出电压 v_O 的波形。如要使输出波形的占空比可调，试问电路要如何修改？

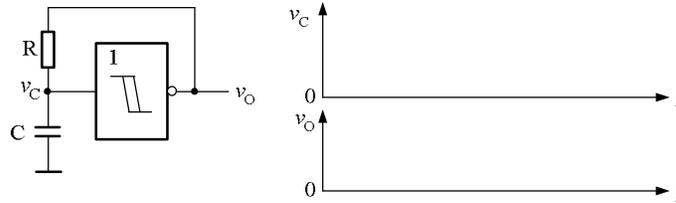
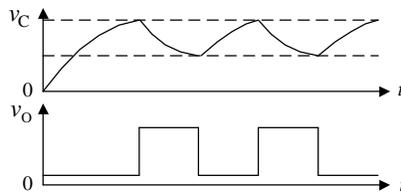
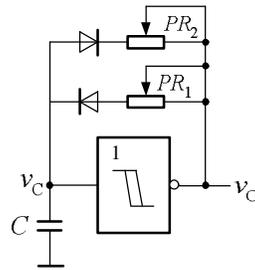


图 P6.2

解:



占空比可调电路



[P6.3] 由 CC40106 构成的电路如图 P6.3 (a) 所示, 图 P6.3 (b) 为 CC40106 的电压传输特性曲线, 图 P6.3 (c) 中的输入 v_I 高电平脉宽和低电平脉宽均大于时间常数 RC 。要求画出 v_I 作用下的 v_A 、 v_{O1} 和 v_{O2} 波形。

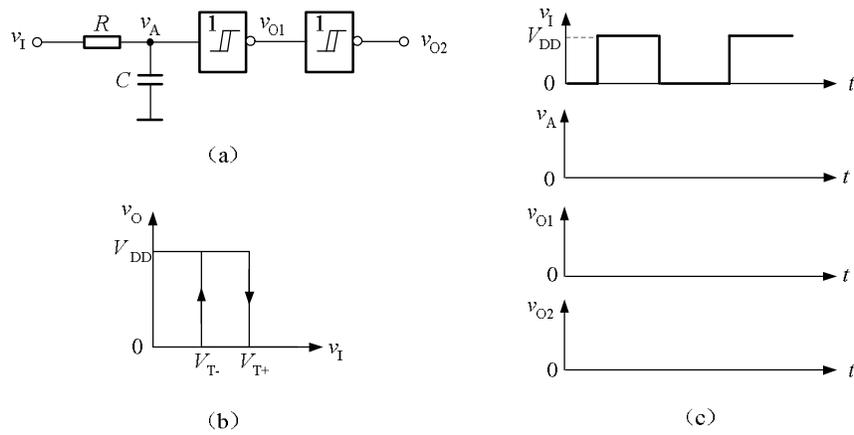
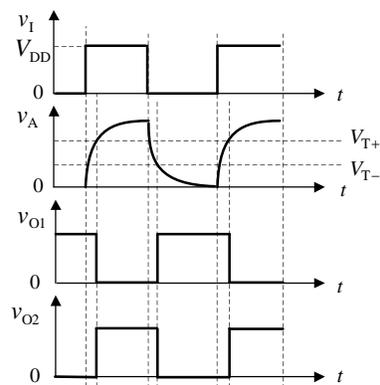


图 P6.3

解: 波形图如下:



[P6.4] 如图 P6.4 所示是用 CMOS 与非门组成的单稳态触发器电路, v_1 为输入触发脉冲。指出稳态时 a、b、d、e 各点的电平高低; 为加大输出脉冲宽度所采取的下列措施哪些是对的, 哪些是错的。如果是对的, 在 () 内打 \checkmark , 如果是错的, 在 () 内打 \times 。

- (1) 加大 R_d ();
- (2) 减小 R ();
- (3) 加大 C ();
- (4) 提高 V_{DD} ();
- (5) 增加输入触发脉冲的宽度 ()。

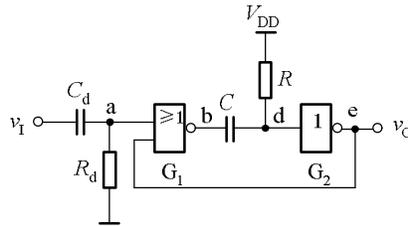


图 P6.4

解: (1) \times (2) \times (3) \checkmark (4) \times (5) \times

[P6.5] 如图 P6.5 所示电路为由 CMOS 或非门构成的单稳态触发器。

- (1) 画出加入触发脉冲 v_1 后, v_{O1} 及 v_{O2} 的工作波形;
- (2) 写出输出脉宽 t_w 的表达式。

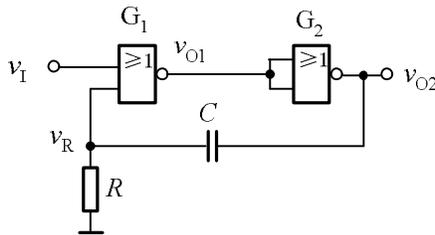
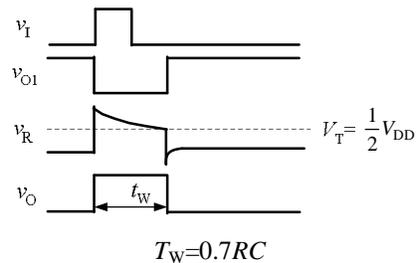


图 P6.5

解: 工作波形为;



[P6.6] 用集成定时器 555 所构成的施密特触发器电路及输入波形 v_1 如图 P6.6 所示,

试画出对应的输出波形 v_O 。

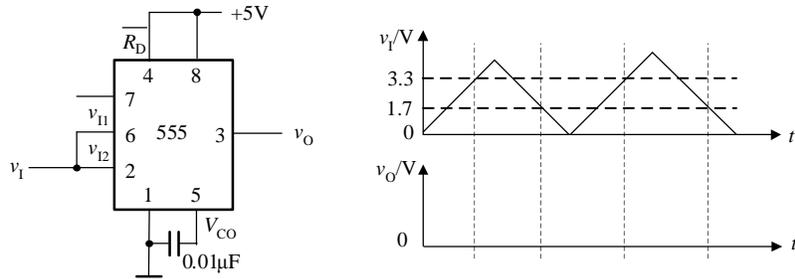
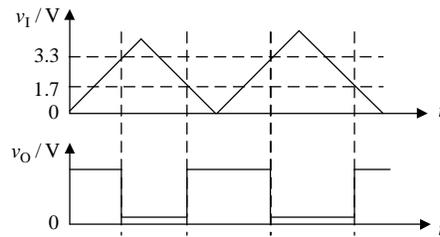


图 P6.6

解:



[P6.7] 由集成定时器 555 的电路如图 P6.7 所示, 请回答下列问题:

- (1) 构成电路的名称;
- (2) 已知输入信号波形 v_I , 画出电路中 v_O 的波形 (标明 v_O 波形的脉冲宽度);

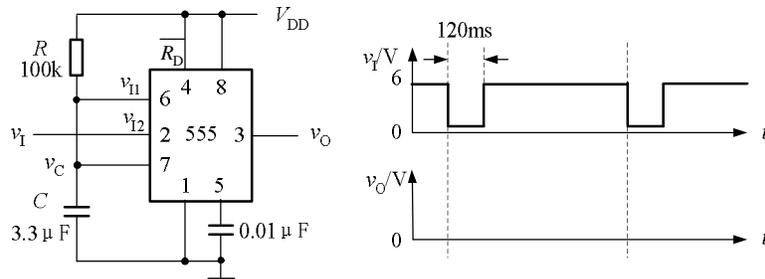
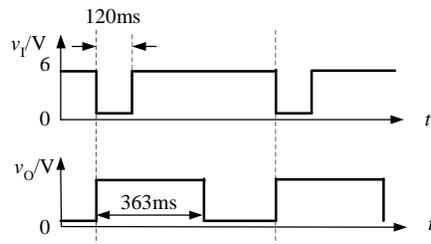


图 P6.7

解: (1) 555 组成的单稳态触发器。

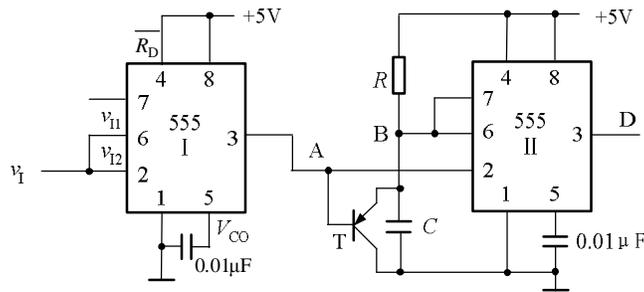
(2) v_I 、 v_O 波形如图所示。输出脉冲宽度由下式求得:

$$T_W = RC \ln 3 = 100 \times 10^3 \times 3.3 \times 10^{-6} \times 1.1 = 363 \text{ (ms)}$$



[P6.8] 图 P6.8 (a) 所示为由 555 定时器构成的心率失常报警电路。经放大后的心电图信号 v_I 如图 P6.8 (b) 所示, v_I 的峰值 $V_m=4\text{V}$ 。

- (1) 分别说出 555 定时器 I 和 555 定时器 II 所构成单元电路的名称;
- (2) 对应 v_I 分别画出 A、B、D 三点波形;
- (3) 说明心率失常报警的工作原理。



(a)

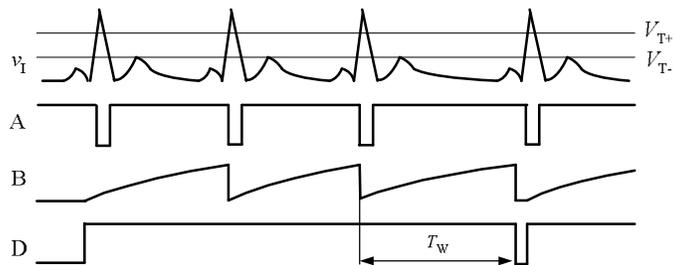


(b)

图 P6.8

解: (1) 电路 I 为施密特触发器, 电路 II 为可重触发单稳态触发器;

(2)



[P6.9] 由集成定时器 7555 构成的电路如图 P6.9 所示, 请回答下列问题。

- (1) 构成电路的名称;
 (2) 画出电路中 v_C 、 v_O 的波形 (标明各波形电压幅度, v_O 波形周期)。

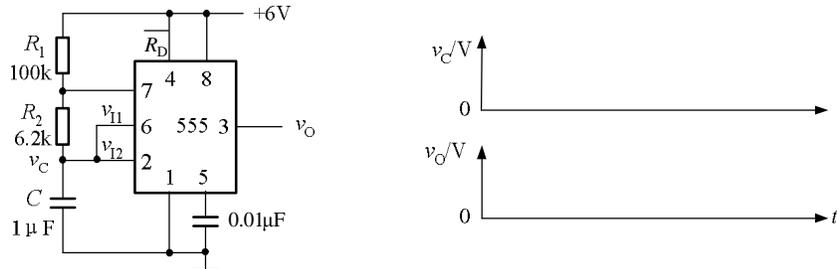
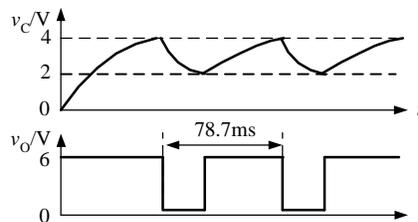


图 P6.9

解: (1) 构成多谐振荡器;

(2) 参数计算:

$$T = T_1 + T_2 = (R_1 + 2R_2) C \ln 2 = (100 \times 10^3 + 2 \times 6.2 \times 10^3) \times 10 \times 10^{-6} \times 0.7 = 78.7 \text{ (ms)}$$



[P6.10] 由 555 定时器构成的多谐振荡器如图 P6.10 所示, 现要产生 1kHz 的方波 (占空比不作要求), 确定元器件参数, 写出调试步骤和所需测试仪器。

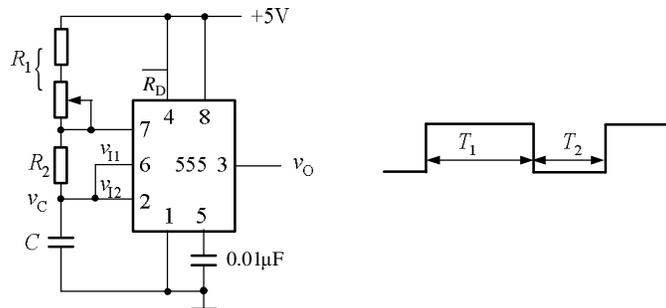
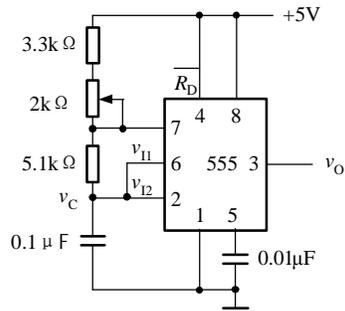


图 P6.10

解: 取 $C = 0.1 \mu\text{F}$, 则

$$R_1 + 2R_2 = \frac{T}{C \ln 2} = \frac{1 \times 10^{-3}}{0.1 \times 10^{-6} \times 0.7} = 14.3 \text{ k}\Omega$$

取 $R_2 = 5.1 \text{ k}\Omega$, 则 $R_1 = 4.1 \text{ k}\Omega$, 可用一只 $3.3 \text{ k}\Omega$ 的固定电阻和一只 $2 \text{ k}\Omega$ 的精密电位器组成。原理图如图所示。



调试步骤：按原理图连好线，用示波器观察输出波形，调节精密电位器，使输出方波频率为 1kHz。

[P6.11] 如图 P6.11 所示是一个由 555 定时器构成的防盗报警电路，a、b 两端被一细铜丝接通，此铜丝置于盗窃者必经之路，当盗窃者闯入室内将铜丝碰断后，扬声器即发出报警声。

- (1) 试问 555 接成何种电路？
- (2) 说明本报警电路的工作原理。

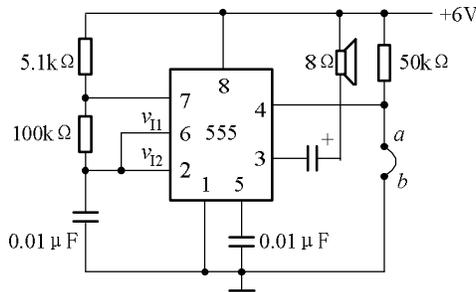


图 P6.11

解：(1) 多谐振荡器

(2) 当细铜丝不断时，555 定时器的 $\overline{R_D}$ 置成低电平，使 Q 输出始终为低电平，喇叭不响。当细铜丝拉断时，555 定时器的 $\overline{R_D}$ 置成高电平， Q 输出方波信号，喇叭发出报警声。

[P6.12] 4 位二进制加法计数器 74161 和集成单稳态触发器 74LS121 组成如图 P6.12 (a) 所示电路。

- (1) 分析 74161 组成电路，画出状态图；
- (2) 估算 74LS121 组成电路的输出脉宽 T_w 值；
- (3) 设 CP 为方波（周期 $T \geq 1\text{ms}$ ），在图 P6.12 (b) 中画出图 P6.12 (a) 中 v_1 、 v_0 两点的工作波形。

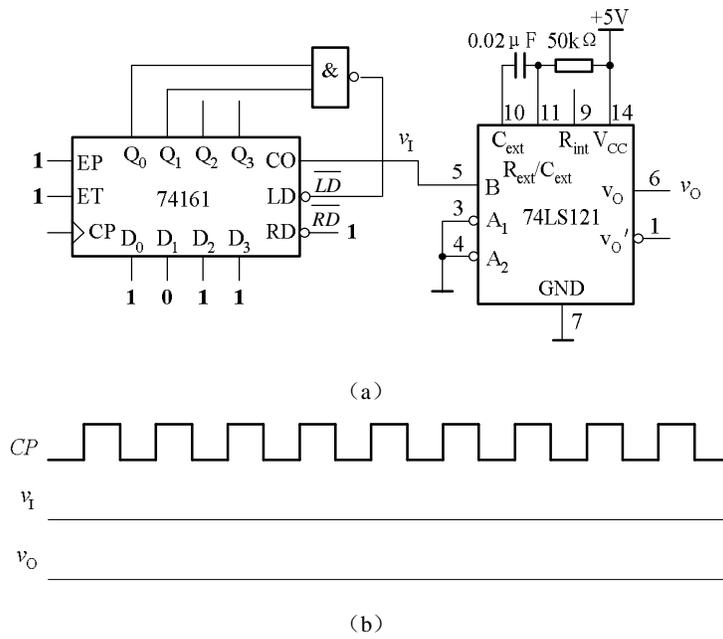
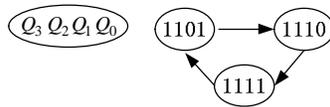


图 P6.12

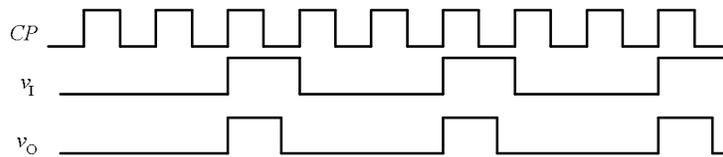
解：(1) 计数器的状态转换图为：



为三进制计数器。

(2) $T_W=0.7R_{ext}C_{ext}=0.7 \times 50 \times 10^3 \times 0.02 \times 10^{-6}=0.7\text{ms}$

(3)



自我检测题

[T7.1] 将模拟信号转换为数字信号，应选用 A/D 转换器。

[T7.2] A/D 转换的过程可分为 采样、保持、量化、编码 4 个步骤。

[T7.3] 就逐次逼近型和双积分型两种 A/D 转换器而言，双积分型 的抗干扰能力强，逐次逼近型 的转换速度快。

[T7.4] A/D 转换器两个最重要的指标是 分辨率 和 转换速度。

[T7.5] 8 位 D/A 转换器当输入数字量只有最低位为 **1** 时，输出电压为 0.02V，若输入数字量只有最高位为 **1** 时，则输出电压为 V。

(A) 0.039 (B) 2.56 (C) 1.27 (D) 都不是

[T7.6] D/A 转换器的主要参数有 、转换精度和转换 速度。

(A) 分辨率 (B) 输入电阻 (C) 输出电阻 (D) 参考电压

[T7.7] D/A 转换器可能存在哪几种转换误差？试分析误差的特点及其产生误差的原因。

D/A 转换器的转换误差是一个综合性的静态性能指标，通常以偏移误差、增益误差、非线性误差等内容来描述转换误差。

偏移误差是指 D/A 转换器输出模拟量的实际起始数值与理想起始数值之差。

增益误差是指实际转换特性曲线的斜率与理想特性曲线的斜率的偏差。

D/A 转换器实际的包络线与两端点间的直线比较仍可能存在误差，这种误差称为非线性误差。

[T7.8] 比较权电阻 型、R-2R 网络型、权电流型等 D/A 转换器的特点，结合制造工艺、转换的精度和转换的速度等方面比较。

权电阻型 D/A 转换器的精度取决于权电阻精度和外接参考电源精度。由于其阻值范围太宽，很难保证每个电阻均有很高精度，因此在集成 D/A 转换器中很少采用。

R-2R 网络型 D/A 转换器电阻网络中只有 R 和 2R 两种阻值的电阻，且比值为 2。虽然集成电路技术制造的电阻值精度不高，但可以较精确地控制不同电阻之间的比值，从而使 R-2R 网络型 D/A 转换器获得较高精度。

权电流型 D/A 转换器可以消除模拟开关导通电阻产生的影响。同时可获得较高的转换速度。

习 题

[P7.1] n 位权电阻 型 D/A 转换器如图 P7.1 所示。

(1) 试推导输出电压 v_o 与输入数字量的关系式；

(2) 如 $n=8$ ， $V_{REF} = -10V$ 时，如输入数码为 20H，试求输出电压值。

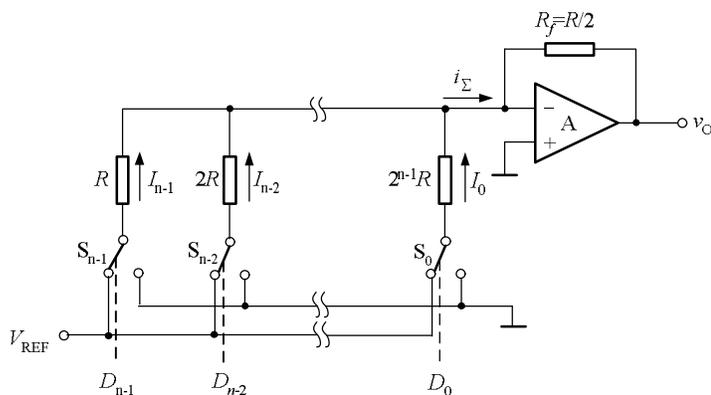


图 P7.1

解: (1) $v_O = -\frac{V_{REF}}{2^n} \sum_{i=0}^{n-1} D_i \times 2^i$

(2) $v_O = \frac{10}{256} \times 32 = 1.25V$

[P7.2] 10位 R-2R 网络型 D/A 转换器如图 P7.2 所示。

(1) 求输出电压的取值范围;

(2) 若要求输入数字量为 200H 时输出电压 $v_O = 5V$, 试问 V_{REF} 应取何值?

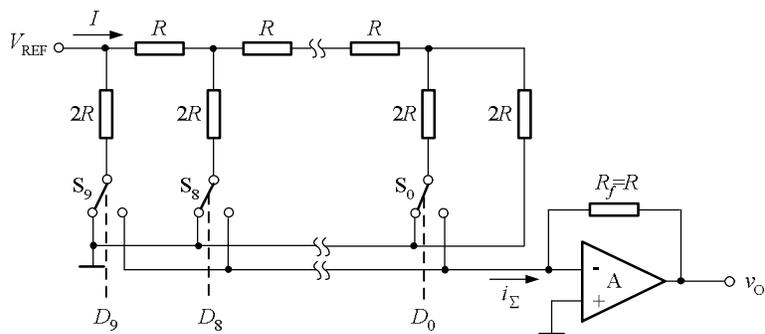


图 P7.2

解: $v_O = -\frac{V_{REF}}{2^{10}} \sum_{i=0}^9 D_i \times 2^i$

(1) 输出电压范围 $0 \sim -\frac{2^{10}-1}{2^{10}} V_{REF}$

(2) $V_{REF} = -\frac{1023}{512} \times 5V \approx -10V$

[P7.3] 由 555 定时器、3 位二进制加法计数器、理想运算放大器 A 构成如图 P7.3 所示电路。设计数器初始状态为 **000**，且输出低电平 $V_{OL}=0\text{V}$ ，输出高电平 $V_{OH}=3.2\text{V}$ ， R_d 为异步清零端，高电平有效。

- (1) 说明虚框 (1)、(2) 部分各构成什么功能电路？
- (2) 虚框 (3) 构成几进制计数器？
- (3) 对应 CP 画出 v_o 波形，并标出电压值。

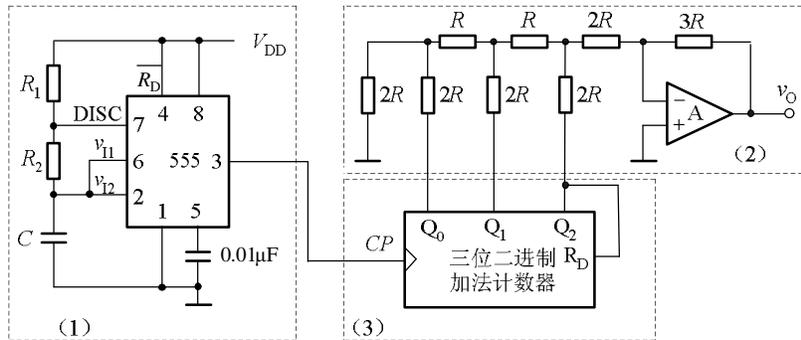
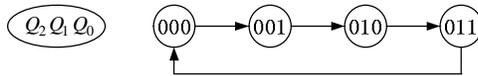


图 P7.3

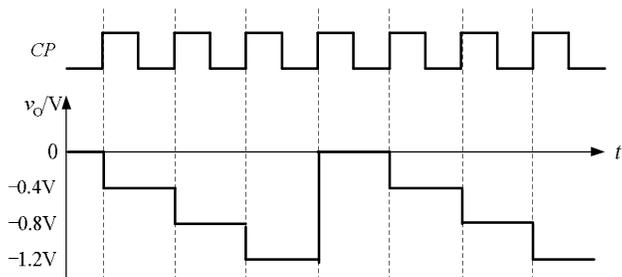
解：(1) 虚框 (1) 电路为多谐振荡器，虚框 (2) 电路为 D/A 转换器，
(2) 虚框 3 为 4 进制计数器



(3) 利用叠加定理可得 D/A 转换器的输出表达式为

$$v_o = -V_{OH} \left(\frac{1}{8} Q_0 + \frac{1}{4} Q_1 + \frac{1}{2} Q_2 \right)$$

当 $Q_2Q_1Q_0=000$ 时， $v_o=0\text{V}$ ；
 当 $Q_2Q_1Q_0=001$ 时， $v_o=-0.4\text{V}$ ；
 当 $Q_2Q_1Q_0=010$ 时， $v_o=-0.8\text{V}$ ；
 当 $Q_2Q_1Q_0=011$ 时， $v_o=-1.2\text{V}$ ；
 因此，对应 CP 的 v_o 波形为：



[P7.4] 一个 6 位并行比较型 A/D 变换器, 步进步距为 Δ , 为量化 0~5V 电压, 问 Δ 应为多少? 共需多少比较器? 工作时是否要取样保持电路? 为什么?

解: $\Delta = \frac{1}{64} \times 5V = \frac{5}{64} V$

共需要 63 个比较器。

工作时不需要采样保持器, 因为转换速度极快, 在转换过程中可认为输入电压不变。

[P7.5] 一程控增益放大电路如图 P7.5 所示, 图中计数器某位输出 $Q_i=1$ 时, 相应的模拟开关 S_i 与 v_I 相接; $Q_i=0$, S_i 与地相接。(R_f 改为 R)

(1) 试求该放大电路的电压放大倍数 $A_V = \frac{v_O}{v_I}$ 与数字量 $Q_3Q_2Q_1Q_0$ 之间的关系表达式;

(2) 试求该放大电路的输入电阻 $R_I = \frac{v_I}{i_I}$ 与数字量 $Q_3Q_2Q_1Q_0$ 之间的关系表达式。

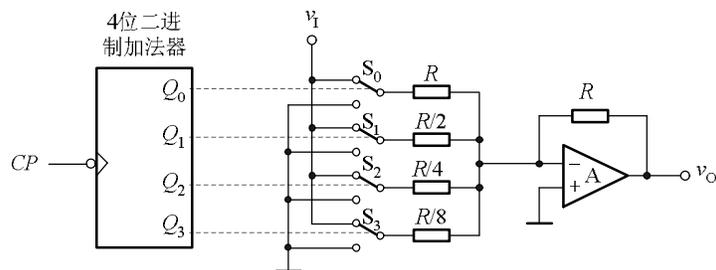


图 P7.5

解: (1) $v_O = -v_I(Q_3 \times 2^3 + Q_2 \times 2^2 + Q_1 \times 2^1 + Q_0 \times 2^0)$

$$A_V = \frac{v_O}{v_I} = -(Q_3 \times 2^3 + Q_2 \times 2^2 + Q_1 \times 2^1 + Q_0 \times 2^0)$$

(2) $i = \frac{v_I}{R}(Q_3 \times 2^3 + Q_2 \times 2^2 + Q_1 \times 2^1 + Q_0 \times 2^0)$

$$R_I = \frac{v_I}{i} = \frac{R}{Q_3 \times 2^3 + Q_2 \times 2^2 + Q_1 \times 2^1 + Q_0 \times 2^0}$$

[P7.6] 如图 P7.6 (a) 所示为一 4 位逐次逼近型 A/D 转换器, 其 4 位 D/A 输出波形

v_o 与输入电压 v_i 分别如图 P7.6 (b) 和 (c) 所示。

(1) 转换结束时, 图 P7.6 (b) 和 (c) 的输出数字量各为多少?

(2) 若 4 位 D/A 转换器的最大输出电压 $V_{O(max)} = 5V$, 估计两种情况下的输入电压范围各为多少?

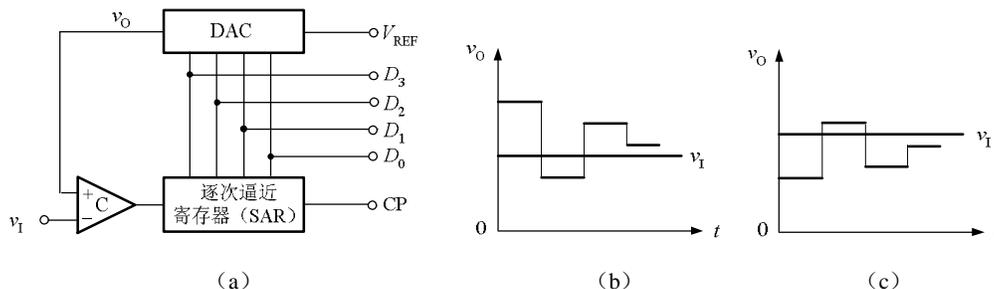


图 P7.6

解: (1) 图 (b) 输出的数字量为 0100, 图 (c) 输出的数字量为 1011 (3 分)

(2) (b) $1.25 < v_i < 1.5625$ (c) $3.4375 < v_i < 3.75$

[P7.7] 双积分式 A / D 如图 P7.7 所示。

(1) 若被测电压 $v_{i(max)} = 2V$, 要求分辨率 $\leq 0.1mV$, 则二进制计数器的计数总容量 N 应大于多少?

(2) 需要多少位的二进制计数器?

(3) 若时钟频率 $f_{cp} = 200kHz$, 则采样保持时间为多少?

(4) 若 $f_{cp} = 200kHz$, $|v_i| < |V_{REF}| = 2V$, 积分器输出电压的最大值为 $5V$, 此时积分时间常数 RC 为多少毫秒?

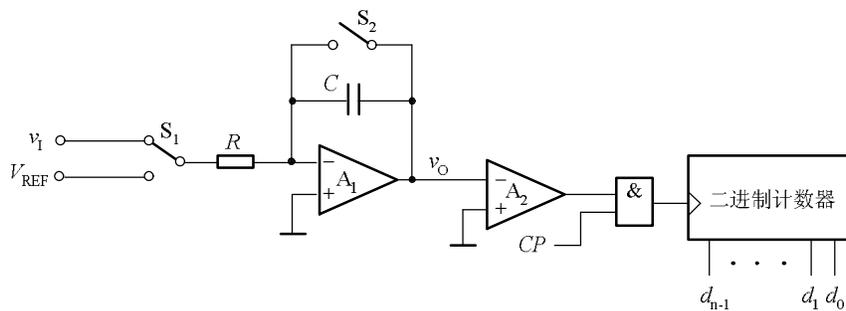


图 P7.8

解: (1) ADC 的分辨率为:

$$F = \frac{V_{LSB}}{V_m} = \frac{1}{2^n - 1}$$

计数器的总容量 N 为:

$$N = 2^n > \frac{1}{F} + 1 = \frac{2 \times 10^3}{0.1} + 1 = 20001$$

(回答 20000 亦可算对)

$$(2) \because 2^{15-1} < N < 2^{15}$$

故需 15 位的二进制计数器, 如果包括控制开关 S 用的一位时, 应存 16 位二进制计数器。(回答 15 位可以算对)

(3) 采样/保持时间

$$T_H \geq 2^n \times T_{CP} = 2^{15} \times \frac{1}{200 \text{ kHz}} = 163.84 \text{ mS}$$

$$(4) v_{O(\max)} = \frac{T_1}{RC} v_1 = \frac{1}{RC} \times 2^n \times T_{CP} \times V_{REF}$$

则 $RC=65.536\text{mS}$

自我检测题

[T8.1] 什么是数字系统?

数字系统是指对数字信息进行存储、传输、处理的电子系统。只要包括控制单元和数据处理单元就称为数字系统。

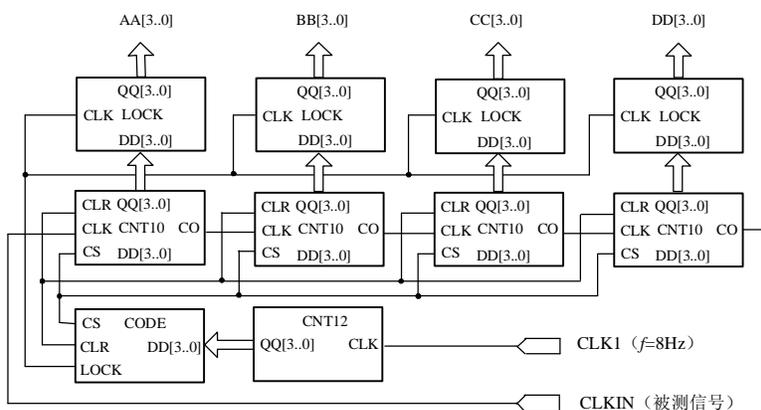
[T8.2] 说明自顶向下的设计方法及步骤。

首先从系统设计入手, 在顶层将整个系统划分成几个子系统, 然后逐级向下, 再将每个子系统分为若干功能模块, 每个功能模块还可以继续向下划分成子模块, 直至分成许多最基本模块实现。

练习题

[P8.1] 采用“自顶向下”设计方法设计一 4 位数字频率计, 测量范围为 0~9999Hz, 假设被测信号为标准的方波信号。

解: (1) 4 位数字频率计的顶层原理图



(2) 底层功能模块的设计

① CNT10 模块设计

根据顶层设计对 CNT10 模块的功能定义, 其 VHDL 语言源程序编写如下:

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
```

```
ENTITY cnt10 IS
PORT(clk: IN STD_LOGIC;
      clr: IN STD_LOGIC;
      cs: IN STD_LOGIC;
      qq: BUFFER STD_LOGIC_VECTOR(3 DOWNTO 0));
```

```

        co: OUT STD_LOGIC
    );
END cnt10;

ARCHITECTURE one OF cnt10 IS
BEGIN
    PROCESS(clk,clr,cs)
    BEGIN
        IF (clr= '1' ) THEN
            qq<= "0000";
        ELSIF (clk'EVENT AND clk= '1' ) THEN
            IF (cs= '1' ) THEN
                IF (qq=9) THEN
                    qq<= "0000";
                ELSE
                    qq<=qq+1;
                END IF;
            END IF;
        END IF;
    END PROCESS;
    PROCESS(qq)
    BEGIN
        IF (qq=9) THEN
            co<= '0';
        ELSE
            co<= '1';
        END IF;
    END PROCESS;
END one;

```

根据频率计的原理图，前级计数器的进位输出作为下一级计数器的时钟输入。由于计数器采用时钟的上升沿触发，因此，计数器模块的进位输出设为低电平有效，以免下级计数器提前进位。

② LOCK 模块的设计

LOCK 模块的功能是在锁存信号的上升沿将输入数据锁存到输出端，其 VHDL 语言源程序为：

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

```

```
ENTITY lock IS
  PORT(clk: IN STD_LOGIC;
        dd: IN STD_LOGIC_VECTOR(3 DOWNTO 0);
        qq: OUT STD_LOGIC_VECTOR(3 DOWNTO 0)
        );
END lock;
```

```
ARCHITECTURE one OF lock IS
  BEGIN
    PROCESS(clk,dd)
      BEGIN
        IF (clk'EVENT AND clk= '1' ) THEN
          qq<=dd;
        END IF;
      END PROCESS;
    END one;
```

③ CNT12 模块的设计

CNT12 模块的功能比较简单，主要实现十二进制加法计数器，其 VHDL 语言源程序为：

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY cnt12 IS
  PORT(clk: IN STD_LOGIC;
        qq : BUFFER STD_LOGIC_VECTOR(3 DOWNTO 0)
        );
END cnt12;
ARCHITECTURE one OF cnt12 IS
  BEGIN
    PROCESS(clk)
      BEGIN
        IF (clk'EVENT AND clk='1') THEN
          IF (qq=11) THEN
            qq<= "0000";
          ELSE
            qq<=qq+1;
          END IF;
        END IF;
      END IF;
```

```
END PROCESS;
```

```
END one;
```

④ CODE 模块的设计

CODE 模块对 12 进制计数器的状态进行译码产生控制信号。其 VHDL 语言源程序为：

```
LIBRARY IEEE;
```

```
USE IEEE.STD_LOGIC_1164.ALL;
```

```
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
```

```
ENTITY code IS
```

```
    PORT(dd: IN STD_LOGIC_VECTOR(3 DOWNTO 0);
```

```
          cs: OUT STD_LOGIC;
```

```
          clr: OUT STD_LOGIC;
```

```
          lock: OUT STD_LOGIC
```

```
    );
```

```
END code;
```

```
ARCHITECTURE one OF code IS
```

```
    BEGIN
```

```
        PROCESS(dd)
```

```
            BEGIN
```

```
                IF (dd=0) THEN
```

```
                    clr<= '1';
```

```
                ELSE
```

```
                    clr<= '0';
```

```
                END IF;
```

```
                IF (dd=11) THEN
```

```
                    lock<= '1';
```

```
                ELSE
```

```
                    lock<= '0';
```

```
                END IF;
```

```
                IF ((dd > 0) AND (dd < 9)) THEN
```

```
                    cs<= '1';
```

```
                ELSE
```

```
                    cs<= '0';
```

```
                END IF;
```

```
            END PROCESS;
```

```
        END one;
```

[P8.2] 十字路口的示意图如图 P8.2-1 所示。在主干道和支干道上两个方向上都安装红、黄、绿三色信号灯。Cx 和 Cy 分别是安装在主干道和支干道上的传感器，输出高电平说明有车需要通过。技术要求为：

(1) 如果只有一个方向有车时, 则保持该方向畅通; 当两个方向都有车时, 主干道和支干道交替通行;

(2) 在只有主干道有车时, 主干道亮绿灯, 支干道亮红灯; 当只有支干道有车时, 主干道亮红灯, 支干道亮绿灯;

(3) 当两个方向都有车时, 则轮流亮绿灯和红灯。主干道每次亮绿灯 40s, 支干道每次亮绿灯 20s, 在由绿灯转红灯之间亮 5s 的黄灯。

图 P8.2-2 所示为交通灯控制系统结构框图。控制系统由控制器和定时器两部分组成, 定时器用于亮灯时间控制。CNT 是定时的值, LD 是定时值的同步预置信号, 高电平有效。ST 是定时器状态信号, 当定时结束时, ST 输出为 1。clk 是周期为秒的时钟信号, reset 是复位信号, 低电平有效。

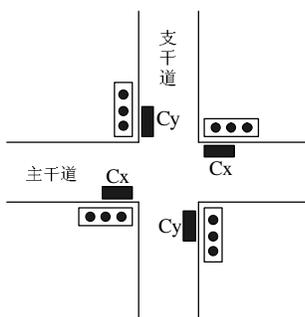


图 P8.1-1 十字路口示意图

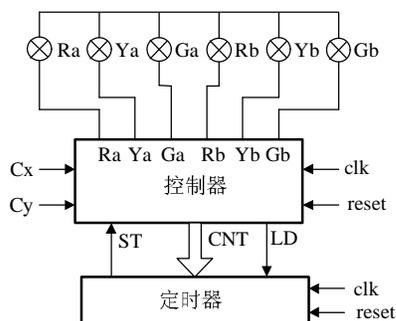


图 8.2-2 交通灯控制系统结构图

根据交通灯控制系统的技术要求和结构图, 完成以下内容:

- (1) 画出控制器的 ASM 图;
- (2) 用 VHDL 语言对控制器和定时器进行描述;
- (3) 设计交通灯控制系统的顶层原理图;
- (4) 完成实际电路的制作。

解: (1) 顶层设计 traffic 的 VHDL 语言程序

```
library ieee;
```

```
use ieee.std_logic_1164.all;
```

```
use ieee.std_logic_signed.all;
```

```
entity traffic is
```

```
port (reset, clk, cx, cy: in std_logic;
```

```
      Ra, Ya, Ga, Rb, Yb, Gb: out std_logic);
```

```
end;
```

```
architecture one of traffic is
```

```
component control port (reset, clk, ST, cx, cy: in std_logic;
```

```
                        Ra, Ya, Ga, Rb, Yb, Gb, LD: out std_logic;
```

```
CNT: OUT integer range 0 to 63);
end component;
component counter port (reset, clk, LD: in std_logic;
                        CNT: in integer range 0 to 63;
                        ST: out std_logic);
end component;

signal ST, LD: std_logic;
signal CNT: integer range 0 to 63;

begin
u1: control
  port map (reset, clk, ST, cx, cy, Ra, Ya, Ga, Rb, Yb, Gb, LD, CNT);
u2: counter
  port map (reset, clk, LD, CNT, ST);
end;
```

(2) 底层模块 counter 的 VHDL 语言程序

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_signed.all;
entity counter is
port (reset, clk, LD: in std_logic;
      CNT: integer range 0 to 63;
      ST: out std_logic);
end ;
architecture one of counter is
signal Q: integer range 0 to 63;
begin
process (reset, clk)
begin
  if (reset='0') then
    Q<=40;
  Elself (clk'event and clk='1') then
    If (LD='1') then
      Q<=CNT;
    Elself (Q/=0) then
      Q<=Q-1;
    end if;
  end if;
end if;
```

```

end process;
process (Q)
begin
    if (Q=0) then
        ST<='1';
    else
        ST<='0';
    end if;
end process;
end;

```

(3) 底层模块 control 的 VHDL 语言程序

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_signed.all;
entity control is
port (reset, clk, ST, cx, cy: in std_logic;
      Ra, Ya, Ga, Rb, Yb, Gb, LD: out std_logic;
      CNT:OUT integer range 0 to 63);
End;
architecture one of control is
    constant T1:integer:=40;
    constant T2:integer:=20;
    constant T3:integer:=10; ;
    type state_type is (S0, S1, S2, S3);
    signal state: state_type;
    signal RYG: std_logic_vector (5 downto 0);
begin
process (reset, clk)
begin
    if (reset='0') then state<=S0;
    elsif (clk'event and clk='1') then
        if (ST='1') THEN
            case state is
                when s0=>if (cy='0') then state<=S0;
                    else state<=S1;
                end if;
                when S1=> state<=S2;
                when S2=> if (cx='0') then state<=S2;

```

```
        else state<=S3;
        end if;
        when S3=>state<=S0;
        end case;
    end if;
end if;
end process;
process (state)
begin
    case state is
        when S0=>RYG<="001100";
        when S1=>RYG<="010100";
        when S2=>RYG<="100001";
        when S3=>RYG<="100010";
    end case;
end process;
process (state, cx, cy)
begin
    case state is
        when S0=>if (cy='0')then CNT<=T1;
            else CNT<=T3;
            end if;
        when S1=>CNT<=T2;
        when S2=>if (cx='0') then CNT<=T2;
            else CNT<=T3;
            end if;
        when S3=>CNT<=T1;
    end case;
end process;
LD<=ST;
Ra<=RYG (5); Ya<=RYG (4); Ga<=RYG (3);
Rb<=RYG (2); Yb<=RYG (1); Gb<=RYG (0);
End;
```